

2020 年全国大学生 FPGA 创新设计竞赛现场测试题

(测试时间：18:00—20:00，以组为单位进行测试，在下列四道题中任意选择一道进行编程仿真，并按提供的接口进行编程，并使用提供的仿真源文件进行仿真。开发环境不限，可以显示仿真波形即可)

1. bcd 码加法器，bcd 码是用二进制码表示十进制 0-9 所有数，已知输入 a[3:0],b[3:0]，输出个位 bcd1[3:0]和十位 bcd2[3:0]，实现二进制加法到 bcd 码的变换，例如 a=4'b1011,b=4'b1001, 那么输出结果为十进制的 20，即 bcd2=4'b0010,bcd1=4'b0000。

```
module adder_bcd(  
    input [3:0] a,//输入加数 a  
    input [3:0] b, //输入加数 b  
    input rst_n, //系统复位，低电平有效  
    output [3:0] bcd1, //输入个位  
    output [3:0] bcd2//输入十位  
);  
///////////coding  
endmodule
```

2. 阶乘运算函数，求 n! 的结果。当 n 的值改变时，且上一次 n 的阶层结果并未输出时，此时将继续前一次 n 的计算，计算完成后紧接着计算下一次 n 的阶层结果。

```
module funct (  
    input clk,  
    input [2:0] n,//阶层 n  
    input rst_n, //系统复位，低电平有效  
    output [15:0] result//阶层结果  
);  
///////////coding  
endmodule
```

3. 设计序列信号检测器，具体要求：当输入码流为 111000 或 101110 时输出信号为 1，否则输出信号 result 为 0。输入信号有效 valid 为 1 时表示当前输入有效，为 0 时表示无效，之前输入依旧计入序列中并不清零。

```
module seq(  
    input clk,  
    input i_data,//输入信号  
    input valid,//输入信号有效  
    input rst_n, //系统复位，低电平有效
```

```
    output result//有效序列输出
);
///////////coding
endmodule
```

4. 设计有符号累加器模块，固定模块接口如下：

```
module add(
input clk,//系统时钟
input rst_n,//系统复位，低电平有效
input [3:0] i_data,//数据输入口（最高位是符号位）大小：-8~+7 范围有符号数
input valid,//数据有效（高有效）
output [5:0] o_data,//输出数据口（最高位是符号位）
output o_ready//输出数据有效
);
//coding
endmodule
```

每个累加期输入 -8~+7 范围有符号数 i_data 共 4 个，i_valid 在输入数据有效时置高，无效时置低，当接收到 4 个数据后，进行有符号数累加运算并输出累加结果 o_data，同时拉高 o_ready 线（此时也可以接收下一轮数据的输入）。o_ready 拉高一个时钟周期脉冲表明一次有效累加输出。