ahb-sram控制器的设计

|  |  |
| --- | --- |
| 姓名： | 刘金硕 |
| 学号： | 202428015926051 |

# 目录

[目录 1](#_Toc150846839)

[1 设计规格与要求 1](#_Toc150846840)

[2 算法原理与算法设计 1](#_Toc150846841)

[3 实现架构 3](#_Toc150846842)

[4 仿真结果 4](#_Toc150846843)

[5 综合结果 5](#_Toc150846844)

# 设计规格与要求

设计一个基于AHB从接口的单端口SRAM控制器，实现SRAM存储器与AHB总线的数据信息交换，将AHB总线上的读写操作转换成标准SRAM读写操作。

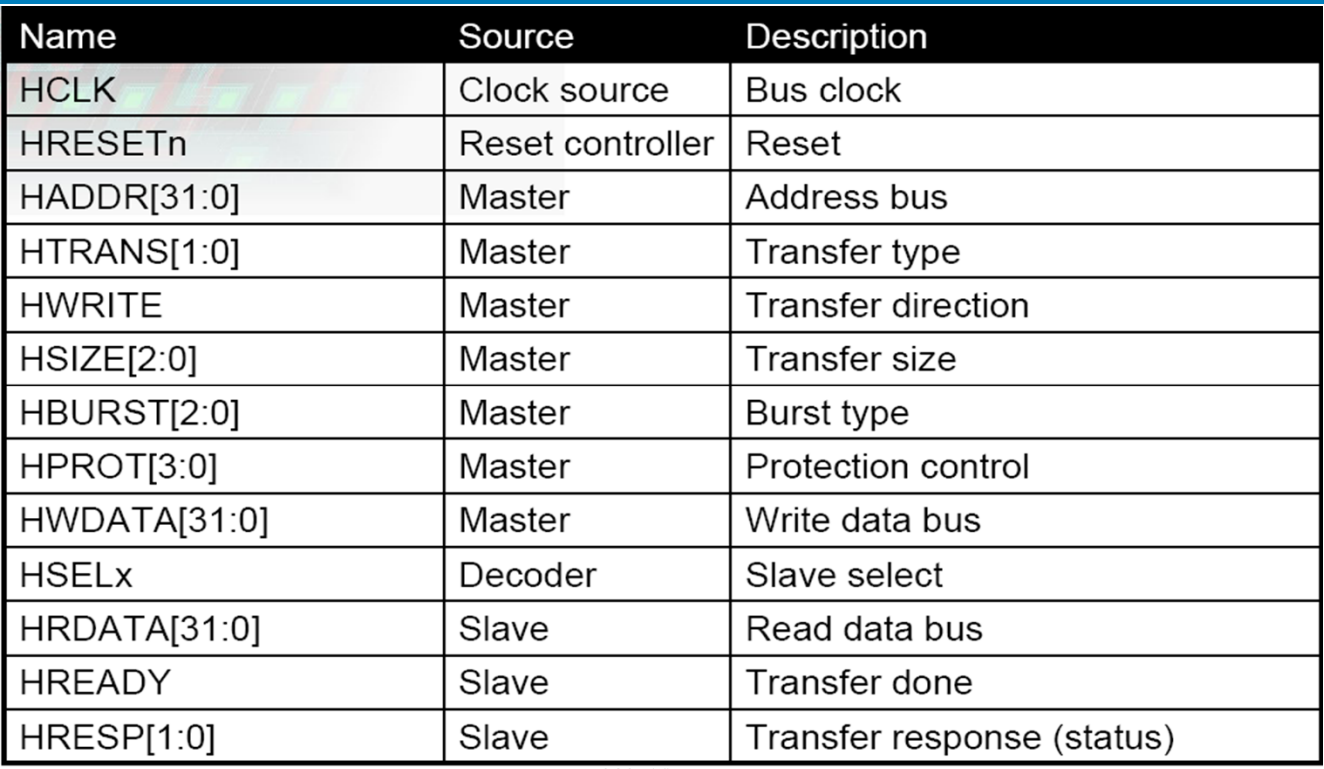
SRAM大小为4096x32-bit，AHB接口数据大小固定为32-bit，AHB接口地址范围为0x00000000 – 0x00003FFC。AHB接口能够实现单次或突发模式的数据读写操作。

# 算法原理与算法设计

**ahb总线**

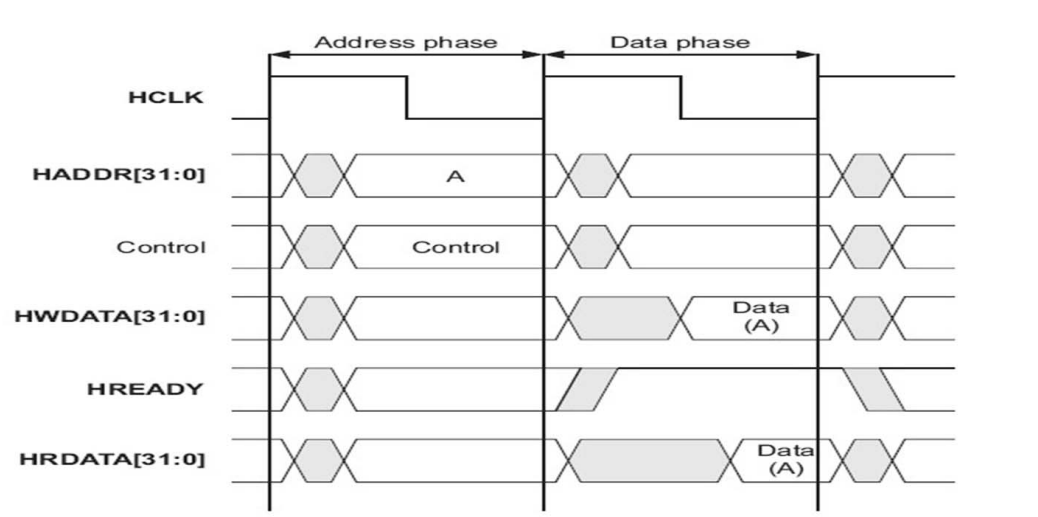
ahb（advanced high performance bus）是典型的高速片上总线，具有上升沿触发，流水线操作，支持多种数据大小传输以及支持burst传输的特点。

**ahb总线信号**

****

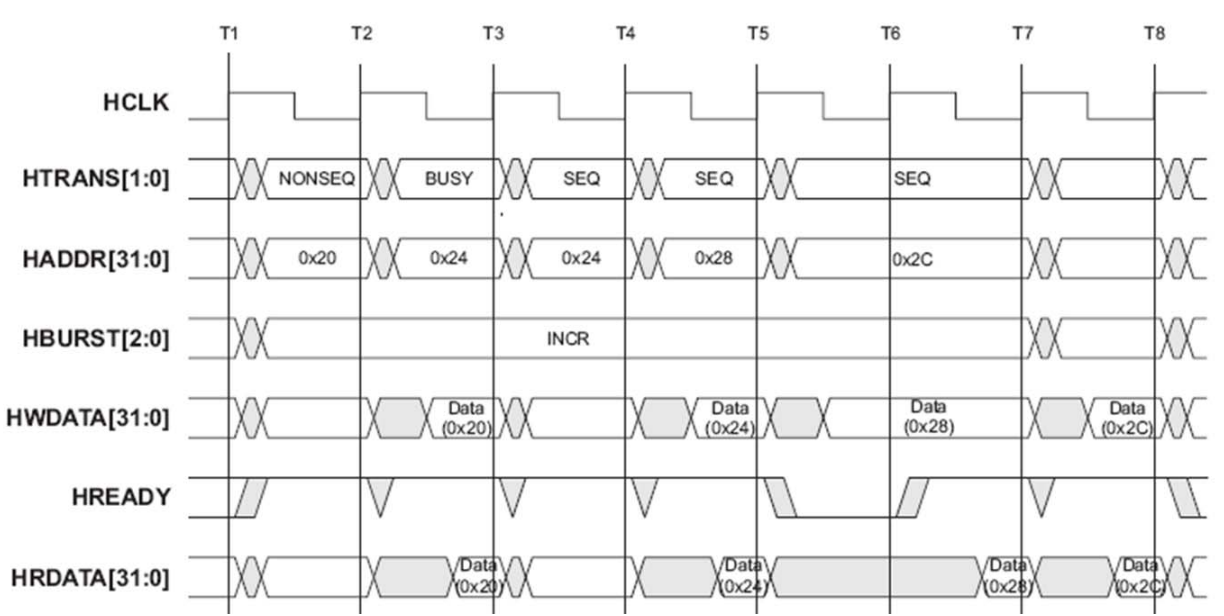
**ahb单次传输时序**

ahb总线单次数据传输分为两个阶段，第一个阶段发送地址信号与各类控制信号，第二个周期发送数据。当数据准备好时，从设备发送ready与resp信号进行响应。



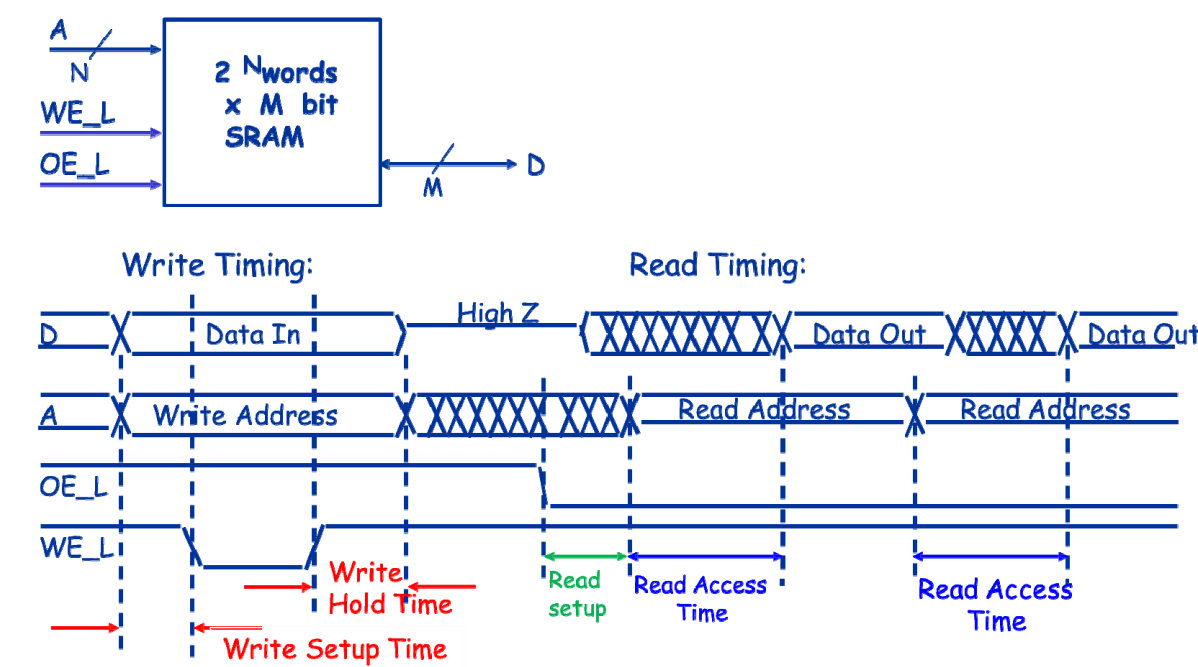
**ahb burst传输**

burst传输指的是一次进行多个数据传输，ahb总线支持4beat、8beat、16beat、单个字节传输、未定义长度的传输以及incr和wrap两种模式。对于本设计，burst传输类型并不会影响控制器设计，因为无论何种burst传输类型，ahb总线每周期都会传输相应的地址与控制信号，无论burst信号值如何，控制器都能够通过地址与控制信号正确响应总线，因此对于本设计burst传输与单次传输别无二致。对于连续多个的数据传输，第一次HTRANS为NONSEQ后续则为SEQ，无论NONSEQ还是SEQ，控制器都会进行响应。



**sram**

sram是一种片上存储结构，常用作缓存这样的片上存储，soc中常挂载在ahb总线中。常见的sram端口与时序如下。本设计中，使用行为模型实现一个简单的sram，sram在一个周期内完成读或写。因此为了配合ahb总线地址与数据分开的机制，在第一个周期需要将地址与控制信号寄存，在第二个周期完成数据的读或写。



# 实现架构

**模块端口说明**

**top module：ahb\_sram\_top**

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| hclk | I | 1 | 系统时钟 |
| hresetn | I | 1 | 系统异步复位，低电平有效 |
| hwrite | I | 1 | 写有效 |
| htrans | I | 2 | 当前传输类型 |
| hsize | I | 3 | 当前传输大小 |
| haddr | I | 32 | 读写地址 |
| hburst | I | 3 | 当前突发类型 |
| hwdata | I | 32 | 写数据 |
| hready | O | 1 | 传输完成指示 |
| hresp | O | 2 | 传输响应 |
| hrdata | O | 32 | 读数据 |
| sram\_csn | O | 1 | SRAM片选，低电平有效 |
| sram\_we | O | 1 | SRAM写使能 |
| sram\_a | O | 12 | SRAM读写地址 |
| sram\_d | O | 32 | SRAM写数据 |
| sram\_q | I | 32 | SRAM读数据 |

**模块架构**

本设计中top模块分为ahb控制器模块ahb\_slave\_if(interface)以及sram两个部分。其中32×4096大小的sram通过四片8×4096的sram块实现，这样就能够通过片选信号实现8，16，32bit的不同大小数据传送。

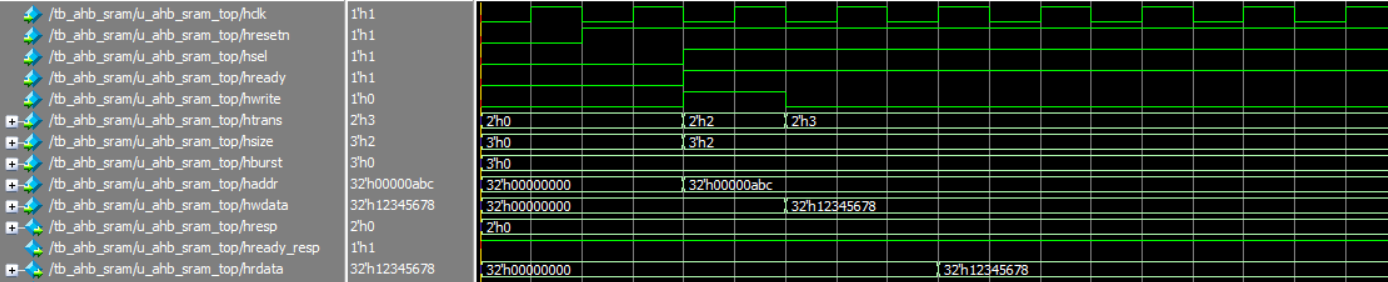


# 仿真结果

testbench依次对单次32bit、16bit、8bit数据传输（设置地址为0xABC），以及32bit INCR4数据传输进行仿真，进行写操作后对相同的地址进行读操作验证结果。分析波形结果，对于典型的几种传输模式，波形结果符合要求，可以认为该设计符合要求。

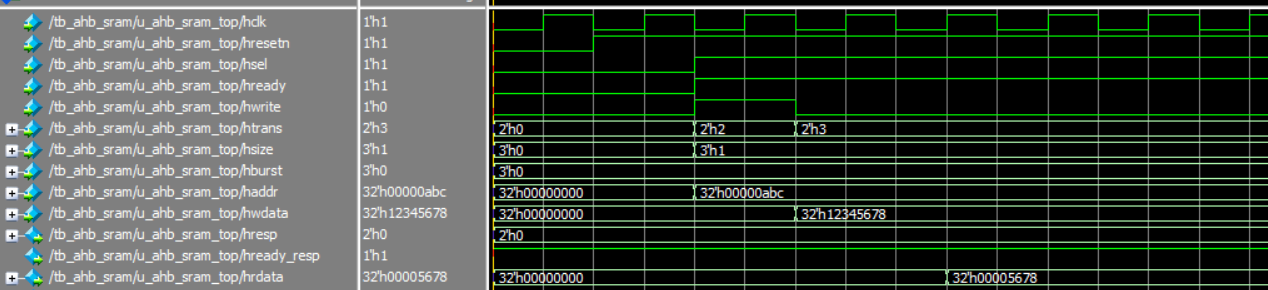
**单次32bit传输**

写数据0x12345678，读出数据0x12345678。



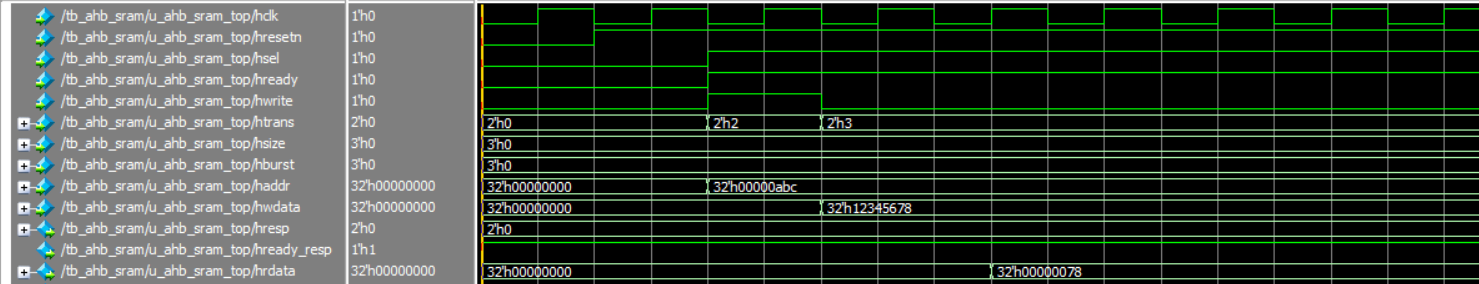
**单次16bit传输**

写数据0x5678，读出数据0x5678。



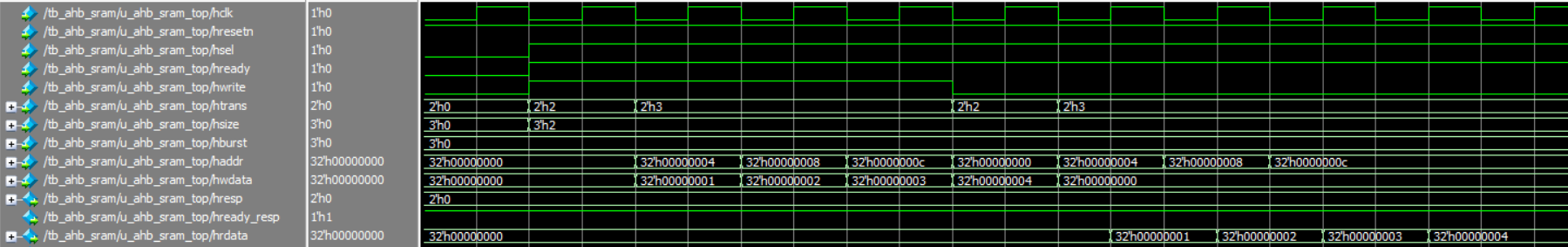
**单次8bit传输**

写数据0x78，读出数据0x78。



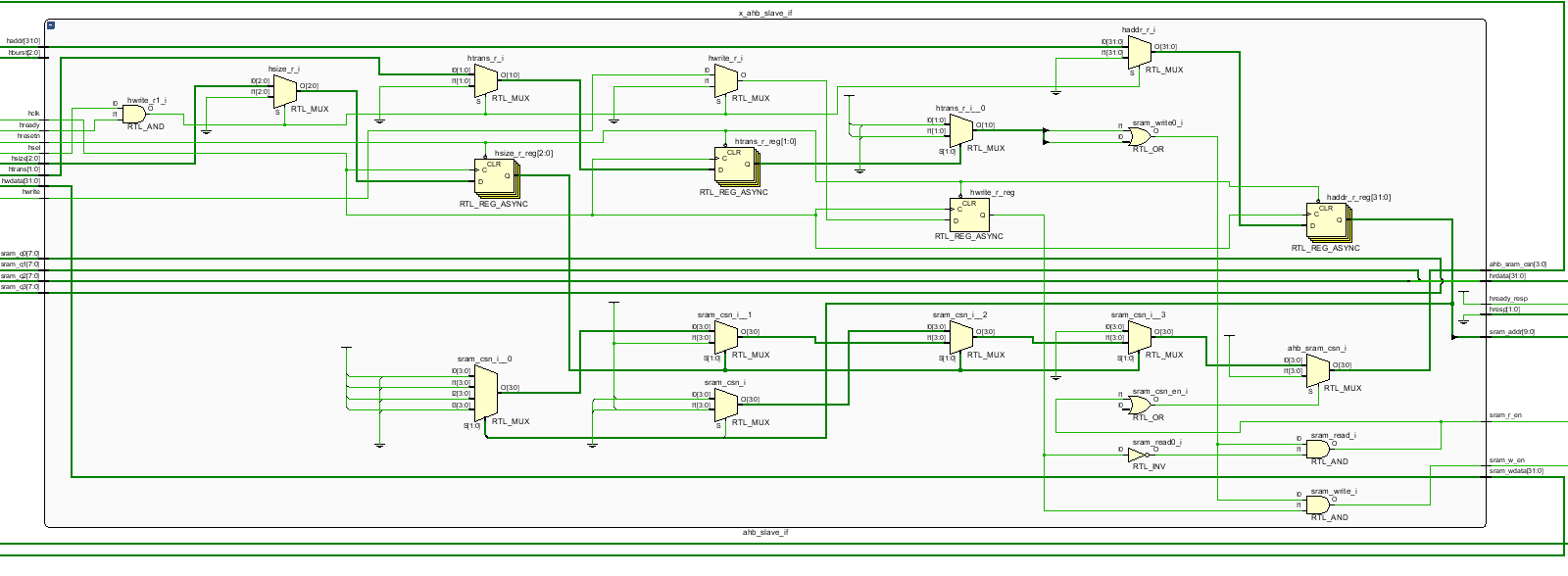
**BURST INCR4 32bit传输**

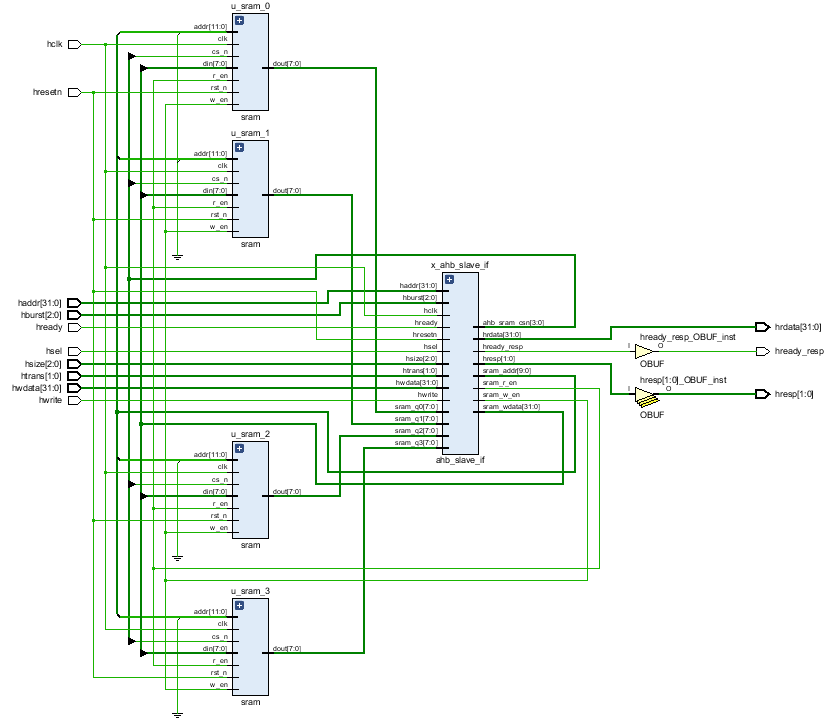
依次向地址0x0000，0x0004，0x0008，0x000C写数据0x0001，0x0002，0x0003，0x0004，依次读出数据。



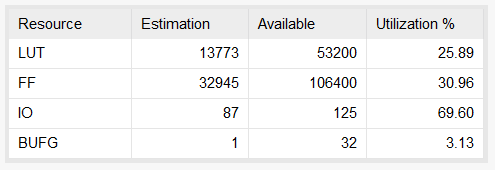
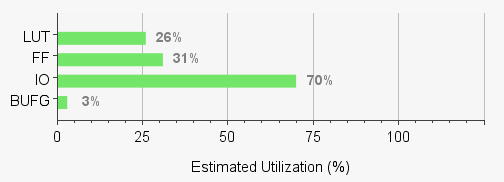
# 综合结果

**RTL SCHEMATIC**



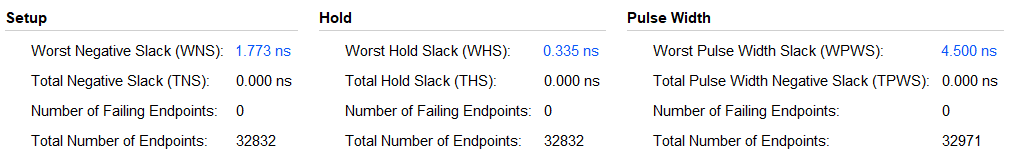


**FPGA资源使用**



**时序分析**

时钟约束为100MHZ，时序分析结果如下：



可以计算出最大工作频率约为