## 设计规格与要求

设计一个8位无符号二进制数（取值范围0 ~ 255）到10位BCD码的转换组合逻辑电路。其中12位BCD码定义如下：

|  |  |
| --- | --- |
| **数据位** | **描述** |
| 9:8 | 百位BCD码，取值0 ~ 2 |
| 7:4 | 十位BCD码，取值0 ~ 9 |
| 3:0 | 个位BCD码，取值0 ~ 9 |

例如：

输入8'b10100101（十进制165），输出10'b01\_0110\_0101；

输入8'b11110000（十进制240），输出10'b10\_0100\_0000.

## 算法原理

二进制码转bcd码的算法使用“+3移位法”，将输入的二进制数从高到低进行左移位，每四位之间需要进行进位，由于bcd码为四位之间进位为十进制，因此在移位前，若判断移位前的三位数>4，则需要进行+3调整，移位后即为+6。完成移位即可得到bcd码。

## RTL实现架构

**bin2bcd模块**

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| bin\_in | I | 8 | 输入二进制数 |
| bcd\_out | O | 10 | 输出BCD编码 |

设计顶层模块，输入8位二进制数，输出10位bcd码。

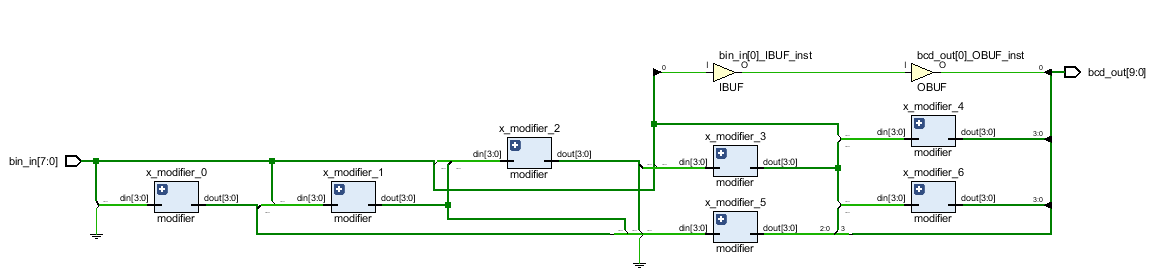
**modifier模块**

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| din | I | 4 | 输入二进制数 |
| dout | O | 4 | 输出调整后二进制数 |

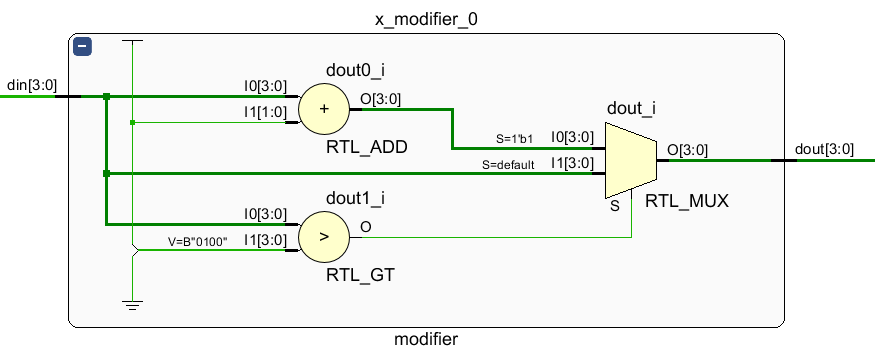
对四位输入二进制数进行进位调整，若>4则+3调整，输出的最高位即为将要移位后的进位值。

**RTL实现**

由于要求组合逻辑实现，因此采用多级modifier实现类似移位的效果



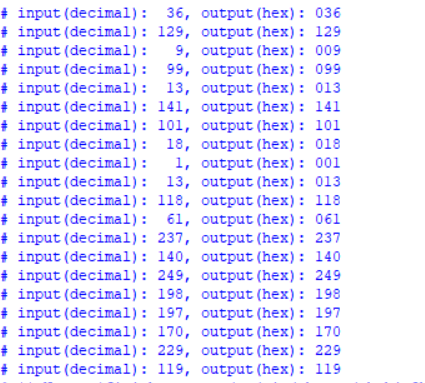
modifier模块：



## RTL仿真结果

testbench生成20个随机8位二进制数作为输入，打印结果进行验证，无需查看波形。

结果如下：



可以看到对于20次随机输入，均能够正确输出bcd码结果，可以认为模块功能正确。

## FPGA综合结果

**FPGA资源使用**

