32位桶形移位器的设计

|  |  |
| --- | --- |
| 姓名： | 刘金硕 |
| 学号： | 202428015926051 |

# 目录

[目录 1](#_Toc150846839)

[1 设计规格与要求 1](#_Toc150846840)

[2 算法原理与算法设计 1](#_Toc150846841)

[3 实现架构 1](#_Toc150846842)

[4 仿真结果 2](#_Toc150846843)

[5 综合结果 2](#_Toc150846844)

# 设计规格与要求

实现桶形移位器组合逻辑，要实现的功能如下：

输入为32位二进制向量，根据方向和位移值输出循环移位后的32位结果。例如：

输入向量00011000101000000000000000000000，方向左，位移值10，输出向量10000000000000000000000001100010；

输入向量00000000111111110000000000000011，方向右，位移植20，输出向量11110000000000000011000000001111.。

设计要求：

Verilog实现代码可综合，逻辑延迟越小越好，给出综合以及仿真结果

# 算法原理与算法设计

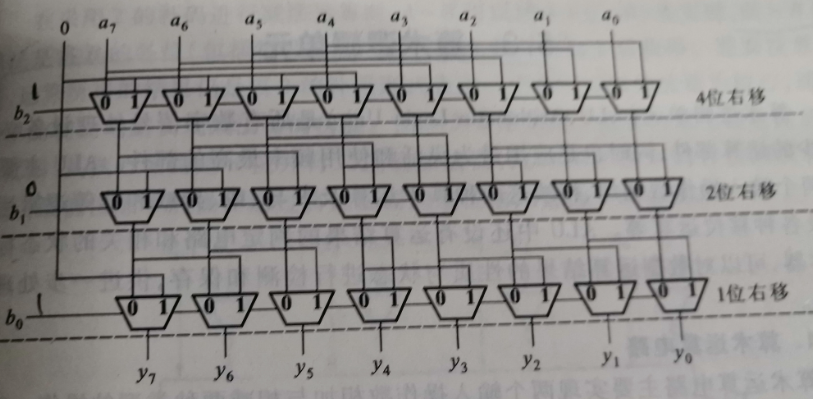
该桶形移位器的移位量由5位二进制数指定，其中每一位若为1则分别对应移位1，2，4，8，16次，因此可以将移位过程分为5级，每一级根据sh的一位进行判断并进行移位，下一级基于上一级的移位结果继续进行判断与移位。对于不同的移位方向，可以将上述移位过程的数据通路分两路分别实现。

综合来看，实现一路的移位器需要个1-bit mux，两路一共需要320个mux。这种结构的桶形移位器对于n位来说需要个1-bit mux。

# 实现架构

**架构图**

根据算法描述，8位桶形移位器架构如下图，32位实现思路相同，只是位数增加。

****

**模块端口说明**

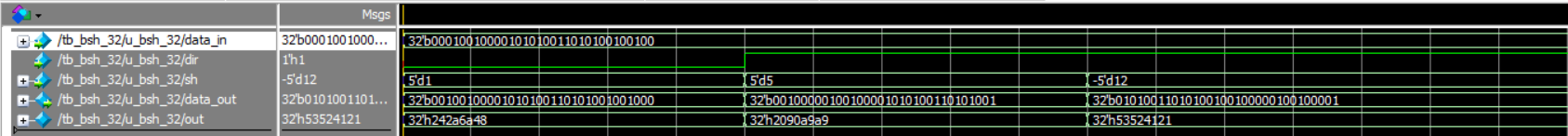
**top module：bsh\_32**

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 方向 | 位宽 | 描述 |
| data\_in | I | 32 | 输入数据 |
| dir | I | 1 | 位移方向  0：循环左移  1：循环右移 |
| sh | I | 5 | 位移值，取值0~31 |
| data\_out | O | 32 | 输出数据 |

设计顶层模块，输入32位数据，位移方向以及位移量，输出移位后的数据。

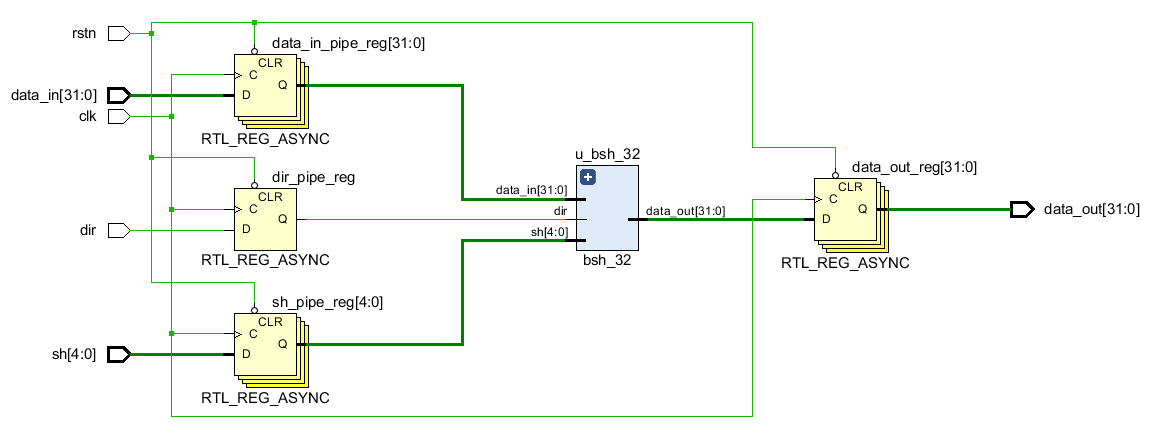
# 仿真结果

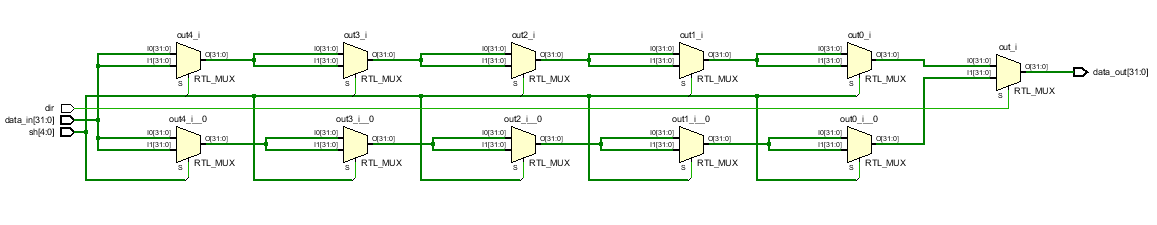
testbench中随机输入32位数据作为data\_in，测试三次不同位移方向以及位移量的data\_out结果，modelsim仿真结果如下图。可以看到，输出数据符合移位结果，可以认为模块功能正确。



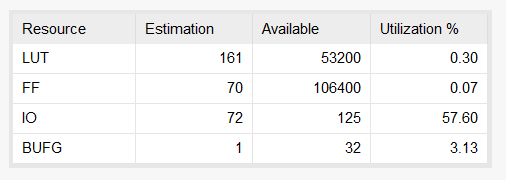
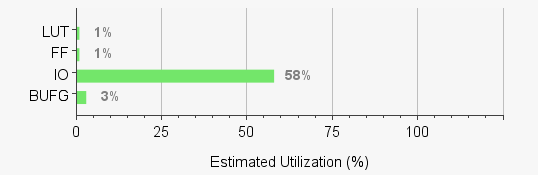
# 综合结果

**RTL SCHEMATIC**



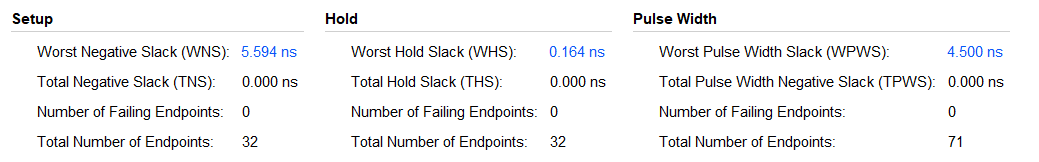


**FPGA资源使用**



**时序分析**

时钟约束为100MHZ，时序分析结果如下：



可以计算出最大工作频率约为