## 设计规格与要求

设计一个组合逻辑电路，检测输入32位0/1向量中从高到低第一个1出现的位置，如果向量为全0则输出32。例如：

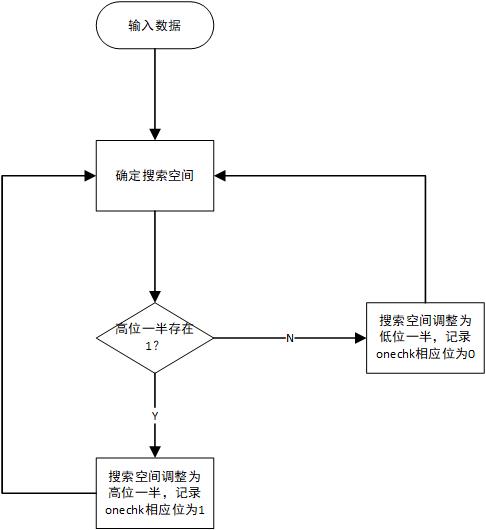
输入000**1**1000 10000000 00000000 00000000，输出3；

输入00000000 **1**1111111 00000000 00000000，输出8；

输入00000000 00000000 00000000 0000**1**010，输出28.

## 算法原理

采用二分法实现搜索功能，对于输入的32位二进制向量，判断高16位是否有1，若有则将下一次搜索空间定为高16位，否则定位低16位。重复此过程直到搜索空间变为1，结束搜索。每一次记录1出现在高位还是低位，将记录值最后转换为1出现的位置。

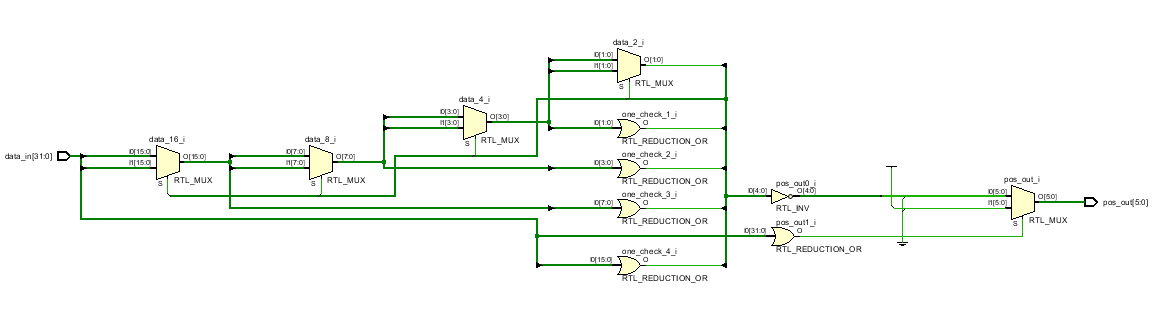


## RTL实现架构

**ldo\_find模块**

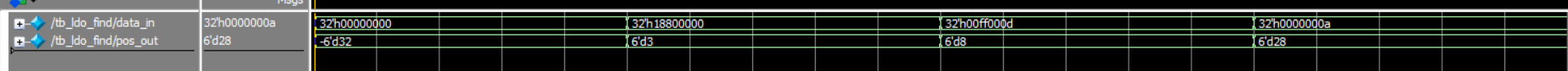
|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| data\_in | I | 32 | 输入0/1向量 |
| pos\_out | O | 6 | 前导1出现位置，取值范围0 ~ 32 |

**RTL实现**



## RTL仿真结果

将设计规范中的三个输入作为测试用例，用时加上32’d0的边界情况进行测试，由于模块较为简单，直接在vivado内置仿真器仿真，仿真波形如下：



## FPGA综合结果

**FPGA资源使用**

