矩阵扫描电路的设计

|  |  |
| --- | --- |
| 姓名： | 刘金硕 |
| 学号： | 202428015926051 |

# 目录

[目录 1](#_Toc150846839)

[1 设计规格与要求 1](#_Toc150846840)

[2 算法原理与算法设计 1](#_Toc150846841)

[3 实现架构 2](#_Toc150846842)

[4 仿真结果 2](#_Toc150846843)

[5 综合结果 2](#_Toc150846844)

# 设计规格与要求

如图所示，ZigZag扫描就是将8x8的矩阵块按照箭头运动方向重新排列（从1开始到64结束）：



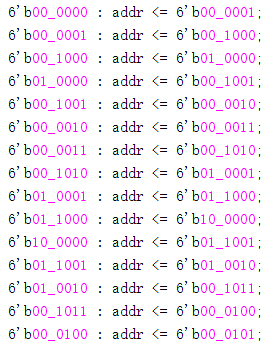
设计一个时序逻辑电路，对输入64个整数（按照行优先方式构成8x8的矩阵块）按照ZigZag扫描方式依次输出。例如：

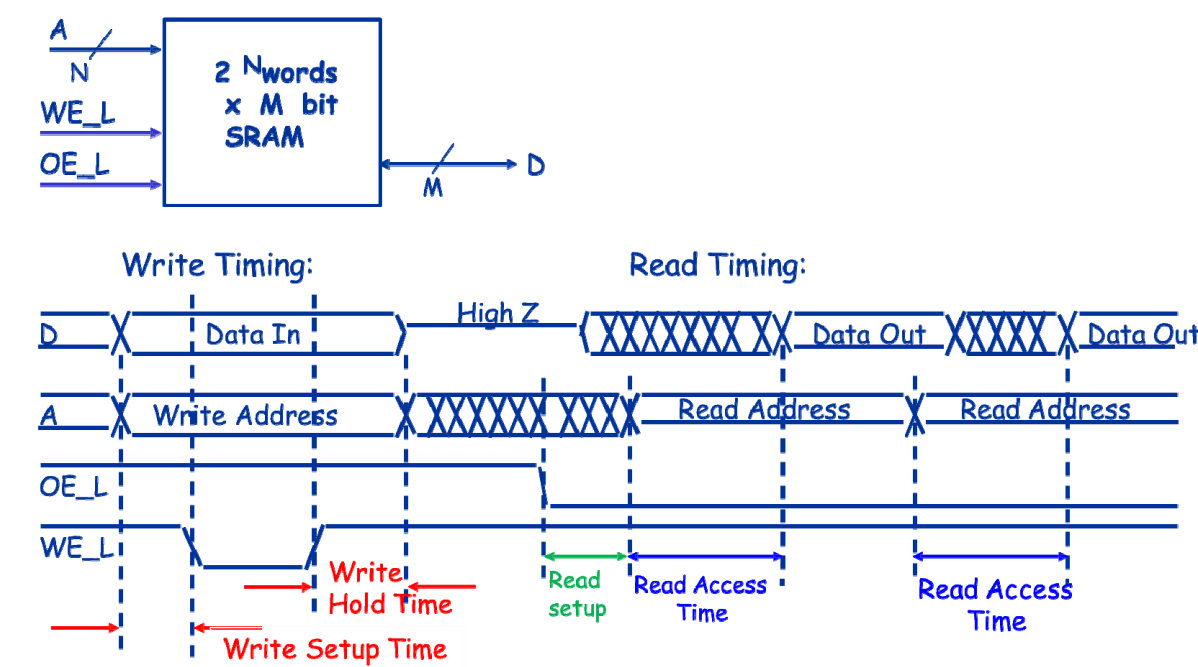
* 输入64个数据依次为：1, 2, 3, 4, ..., 61, 62, 63, 64
* 输出64个数据依次为：1, 2, 9, 17, 10, 3, ..., 62, 55, 48, 56, 63, 64。

每组输入数据连续64个周期输入，即vld\_in连续64个时钟周期有效；每组输出数据连续64个周期输出，即vld\_out连续64个时钟周期有效。

# 算法原理与算法设计

本设计拟采用状态机来实现扫描输出。数据按顺序进入10×64的sram中缓存，通过使地址一次按照zigzag扫描顺序变化就能够扫描输出数据。addr的变化通过状态机实现，部分状态转换方程如下：



sram通过行为级模型实现，其端口与时序如下：

# 实现架构

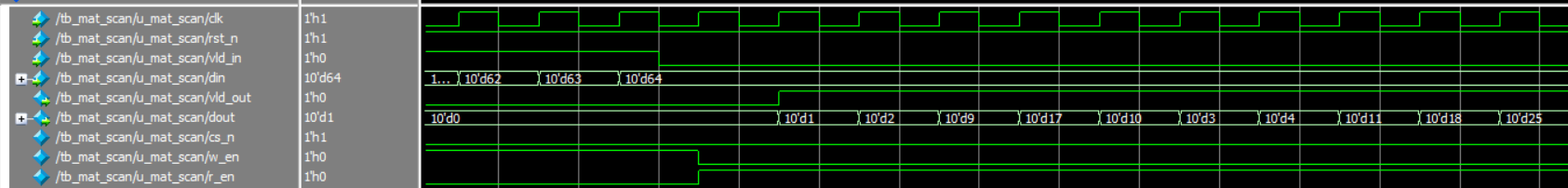
**模块端口说明**

**top module：mat\_scan**

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 系统异步复位，低电平有效 |
| vld\_in | I | 1 | 输入数据有效指示 |
| din | I | 10 | 输入数据 |
| vld\_out | O | 1 | 输出数据有效指示 |
| dout | O | 10 | 输出数据 |

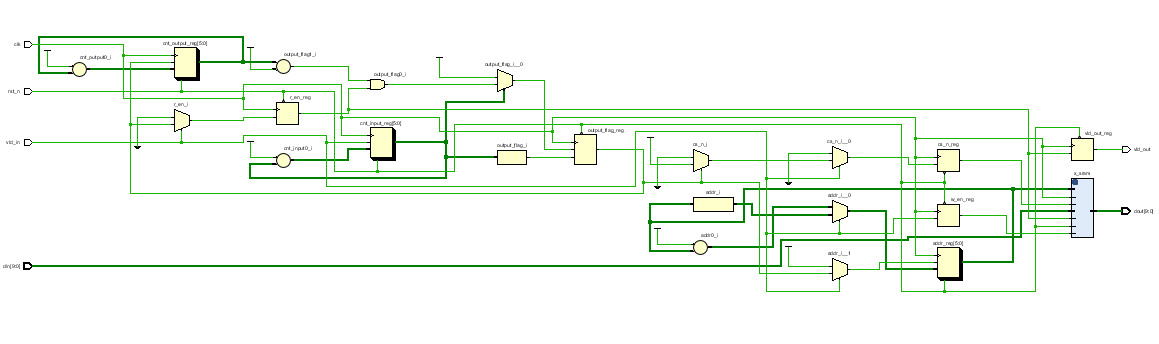
# 仿真结果

testbench中按照设计规范要求中例子输入64个数据依次为：1, 2, 3, 4, ..., 61, 62, 63, 64，从仿真波形中可以看到输出数据依次为1，2，9，17，10…，顺序满足zigzag扫描顺序，证明模块功能正确。

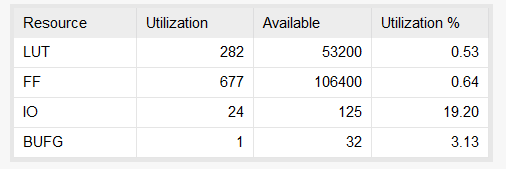
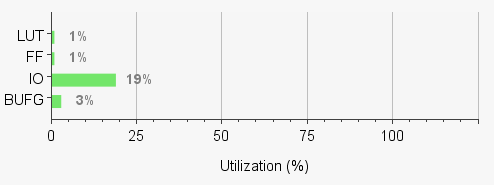


# 综合结果

**RTL SCHEMATIC**

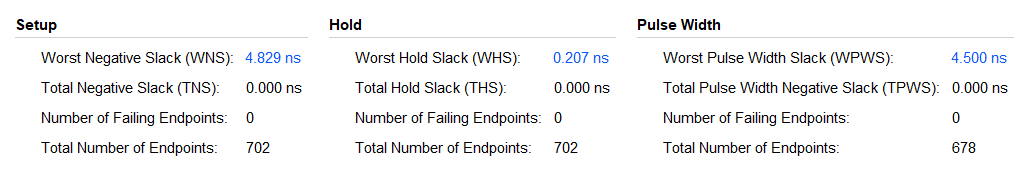


**FPGA资源使用**



**时序分析**

时钟约束为100MHZ，时序分析结果如下：



可以计算出最大工作频率约为