## 设计规格与要求

设计一个序列检测同步时序逻辑电路，要实现的功能如下：

当已有输入码流出现序列111000或101110时输出检测信号为1，否则输出为0。在时序上检测到完整序列的下一个时钟周期输出检测结果。输入信号有效为1时表示当前输入有效，否则表示无效。之前输入依旧计入序列中并不清零，即允许序列重叠检测。例如：

输入码流（设输入数据均有效）和输出检测为

[I] 0 0 **1 1 1 0 0 0** 1 **1 0 1 1 1 0 0 0** 0

[O] 0 0 0 0 0 0 0 0 **1** 0 0 0 0 0 0 **1** 0 **1**

## 算法原理

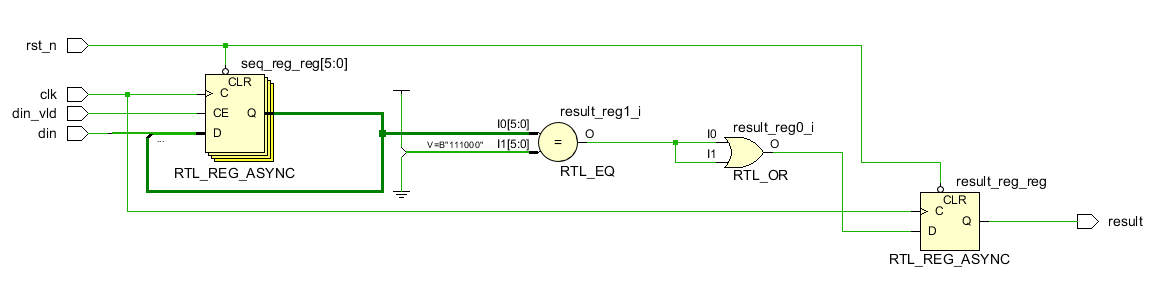
序列检测常使用状态机或移位寄存器来解决。为了减小面积，使用移位寄存器更好。将输入码流输入进入移位寄存器，每一周期将移位寄存器值与目标序列进行比较，输出比较结果。

## RTL实现架构

顶层模块：seq\_detect

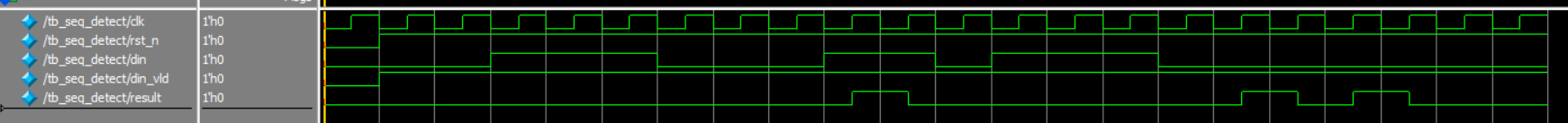
|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 异步复位，低电平有效 |
| din\_vld | I | 1 | 输入数据有效指示 |
| din | I | 1 | 输入数据 |
| result | O | 1 | 输出检测结果 |

**RTL实现**



## RTL仿真结果

使用设计规范中的例子作为测试用例，仿真波形如下。



可以看到result结果正确，可以认为模块功能正确。

## FPGA综合结果

**FPGA资源使用**

