数据排序电路设计

|  |  |
| --- | --- |
| 姓名： | 刘金硕 |
| 学号： | 202428015926051 |

# 目录

[目录 1](#_Toc150846839)

[1 设计规格与要求 1](#_Toc150846840)

[2 算法原理与算法设计 1](#_Toc150846841)

[3 实现架构 1](#_Toc150846842)

[4 仿真结果 2](#_Toc150846843)

[5 综合结果 2](#_Toc150846844)

# 设计规格与要求

设计一个时序逻辑电路，对输入32个8位无符号整数从小到大进行排序（若存在多个数据值相等，则不分先后，见例子）。例如：

输入32个数据依次为：31, 29, 27, 25, 23, 21, 19, 17, 15, 13, 11, 9, 7, 5, 3, 1, 2, 2, 4, 4, 4, 4, 8, 16, 8, 16, 32, 32, 0, 10, 20, 30

输出32个数据依次为：0, 1, 2, 2, 3, 4, 4, 4, 4, 5, 7, 8, 8, 9, 10, 11, 13, 15, 16, 16, 17, 19, 20, 21, 23, 25, 27, 29, 30, 31, 32, 32

# 算法原理与算法设计

整数排序的算法有多种，对于软件算法典型的有冒泡排序，堆排序，快速排序等。对于硬件实现，则需要综合考虑延时与面积。例如，对于冒泡排序这样的串行算法，需要较多的周期完成排序。为了利用FPGA的并行性，本设计使用并行的计分板比较算法实现排序，算法流程如下。



该算法分为三个流水线阶段完成。第一个阶段将输入的数据两两比较，例如对于数据din[i]与din[j]，若din[i]<din[j]，则对应的flag[i][j]置为0.若大于则置为1，若等于则根据i与j顺序若i小于j则置0，否则置1。第二个流水阶段，将每个数据的计分累加。最后根据计分值顺序输出结果。

# 实现架构

**模块端口说明**

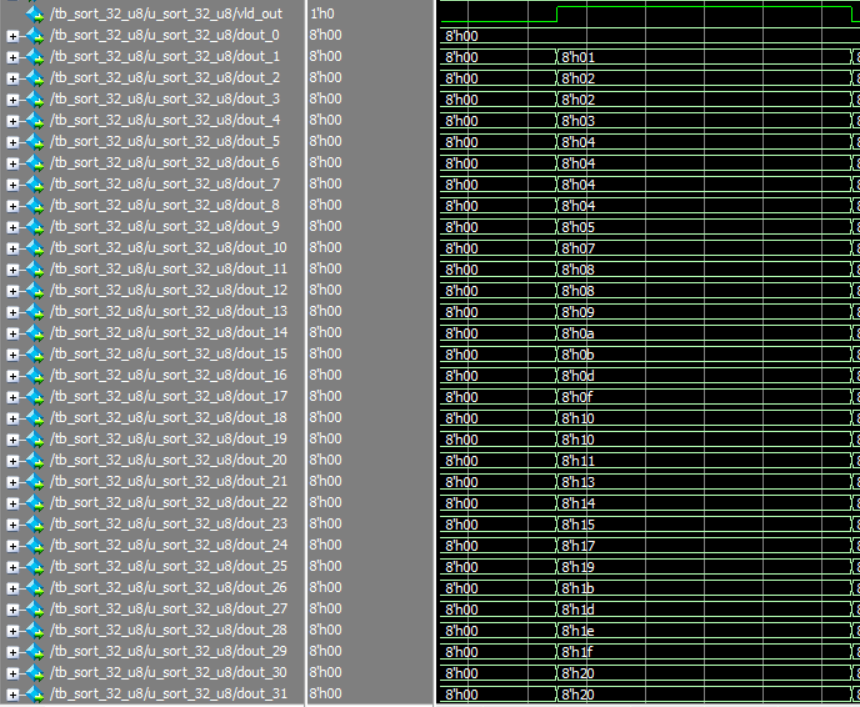
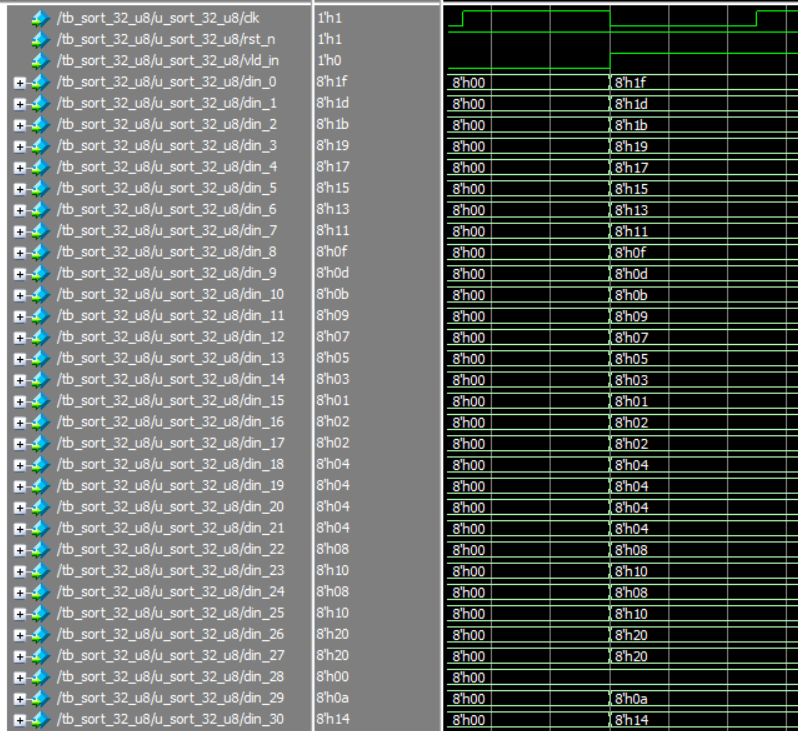
**top module：sort\_32\_u8**

|  |  |  |  |
| --- | --- | --- | --- |
| **名称** | **方向** | **位宽** | **描述** |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 系统异步复位，低电平有效 |
| vld\_in | I | 1 | 输入数据有效指示 |
| din\_0, din\_1, … …, din\_31 | I | 8 | 输入数据0，输入数据1，……， 输入数据31 |
| vld\_out | O | 1 | 输出数据有效指示 |
| dout\_0, dout\_1, … …, dout\_31 | O | 8 | 输出数据0，输出数据1，……， 输出数据31 |

注：din\_0 ~ din\_31共32个输入端口，dout\_0~ dout\_31共32个输出端口。输出数据dout\_0 ~ dout\_31的值从小到大排列。

# 仿真结果

testbench依次将设计要求中的输入数据作为激励输入模块，仿真波形结果如下图。可以看到输出数据顺序符合从大到小的原则，证明模块功能正确。



# 综合结果

**RTL SCHEMATIC**

本设计使用的并行比较算法面积开销较大，从rtl综合图中不难看出。

|  |  |
| --- | --- |
|  |  |

**FPGA资源使用**

