32位平方根计算电路的设计

|  |  |
| --- | --- |
| 姓名： | 刘金硕 |
| 学号： | 202428015926051 |

# 目录

[目录 1](#_Toc150846839)

[1 设计规格与要求 1](#_Toc150846840)

[2 算法原理与算法设计 1](#_Toc150846841)

[3 实现架构 1](#_Toc150846842)

[4 仿真结果 2](#_Toc150846843)

[5 综合结果 2](#_Toc150846844)

# 设计规格与要求

设计一个时序逻辑电路，计算32位非负整数的平方根。对于输入x，计算y = floor(sqrt(x))，即y是平方后不超过x的最大非负整数。例如：

* 输入x = 256，输出y = 16
* 输入x = 255，输出y = 15
* 输入x = 2147483648，输出y = 46340
* 输入x = 4294967295，输出y = 65535

# 算法原理与算法设计

整数开平方根计算的算法有多种，这里采用基于流水线的逐位比较法，算法流程如下。



该算法通过逐次比较法逼近平方根结果，由MSB到LSB进行比较，每次将次高位置1，若平方后大于输入数据则将次高位置0，若小于则保持，将实验值与结果值在流水线中传递，一定次数后输出结果值。循环次数（流水线级数）为结果值的位宽，假设输入数据位宽为DATA\_WIDTH，则输出结果位宽为Q\_WIDTH=DATA\_WIDTH/2。本设计DATA\_WIDTH=32，因此Q\_WIDTH=16。因此数据有效后第一个时钟上升沿起，16个周期后计算结果将进入结果寄存器并有效。

# 实现架构

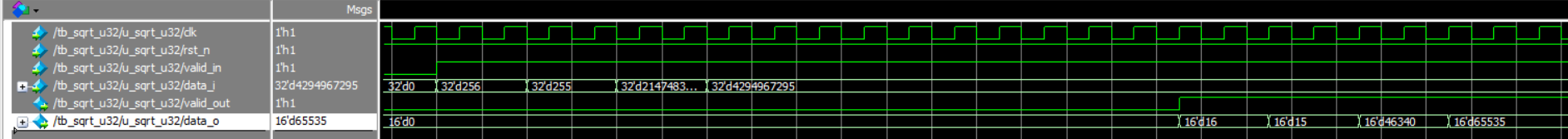
**模块端口说明**

**top module：sqrt\_u32**

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 方向 | 位宽 | 描述 |
| clk | I | 1 | 系统时钟 |
| rst\_n | I | 1 | 系统异步复位，低电平有效 |
| vld\_in | I | 1 | 输入数据有效指示 |
| data\_i | I | 32 | 输入被开方数据 |
| vld\_out | O | 1 | 输出数据有效指示 |
| data\_o | O | 16 | 输出结果数据 |

# 仿真结果

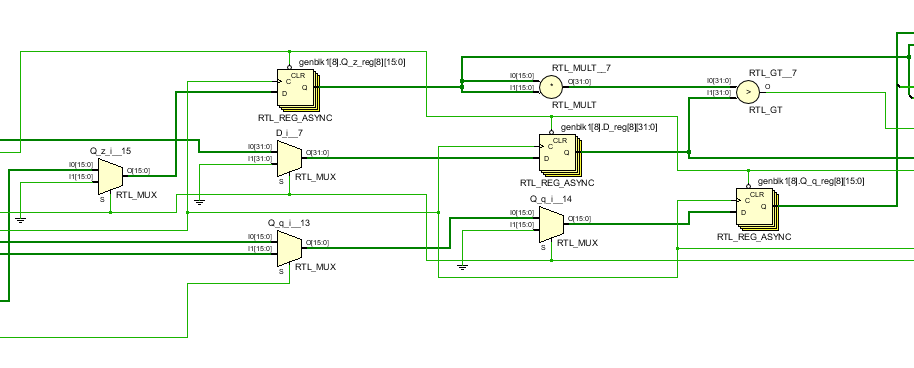
testbench依次将设计要求中的输入数字作为激励输入模块，仿真波形结果如下图。可以看到从数据有效到产生输出结果一共16周期，符合算法原理中的描述，并且结果正确。因此可以认为该设计符合要求。



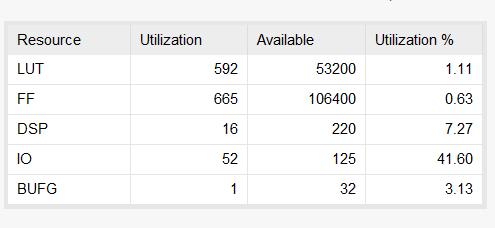
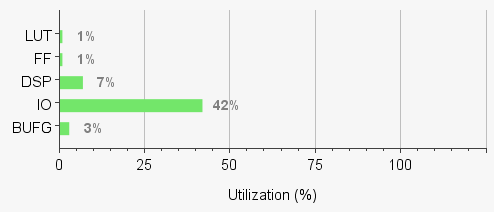
# 综合结果

**RTL SCHEMATIC**

由于流水线数量较多，这里只展示一个流水线综合结果，其余结果类似。

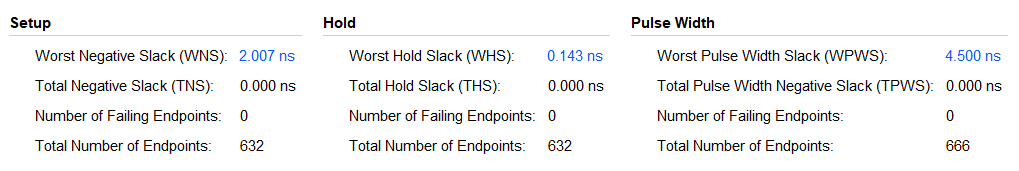


**FPGA资源使用**



**时序分析**

时钟约束为100MHZ，时序分析结果如下：



可以计算出最大工作频率约为