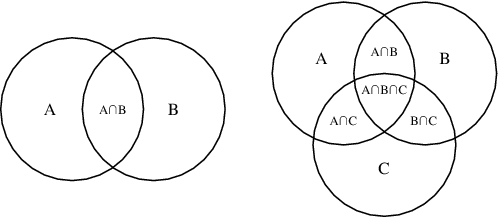
Programmering 1:

Ingen

Digital Design:

13b x (x + y) = x  
14a x \* y + x \* !y = x  
15a !(x\*y) = !x + !y  
15b !(x+y) = !x \* !y  
16a x + !x \* y = x + y  
16b x \* (!x + y) = x \* y  
17a x \* y + y \* z + !x \* z = x \* y + !x \* z  
17b x + y \* y + z \* !x + z = x + y \* !x + z

Regel 5,8,10,12 är nödvändiga regler, som resterande bygger på. Kallas ibland Huntingtons.

Venndiagram:  
Booleans algebra: b = {0,1}  
Cirkel markerad = 1  
Utanför cirkel = 0  
  


+ = v \* = ^  
ex:   
a + b = a v b  
a \* b = a ^ b

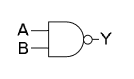
OR AND operationer kallas ofta för logiska summan av operationen( f(x1, x2 ) )  
Syntes(Synthesis), arbetssätt, först sanningstabell 🡪 Utryck

Minterm: x alltid 1. Minterm är vad man ska ta termerna ex, a, b, c för att få ett tal. Börjar med 0. Ex m0 = 0 0 0 = !a !b !c  
m3 = 0 1 1 = !a b c  
  
Maxterm: x alltid 0. Är komplementet till minterm.   
M0 = 0 0 0 = a b c  
M3 = 0 1 1 = a !b !c

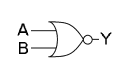
Minterm och Maxterm är varandras spegelbilder, se ex. mn = Mn  
De används för att ta reda på minsta kostnaden för en ”sum-of-producs expression” ( f (x1,x2,x3) = !x1 !x2 x3 + x !x2 !x osv )

POS = **P**roduct **O**f **S**ums  
POS är summan av OR grind eller produket av AND.  
Är det bara maxtermer ( 0:or) så kallas det, Canonical(Kanonisk) POS (CPOS).  
Alla ∫ kan bli syntensierad genom att hitta CPOS.   
OR/Eller/+/v: Summa: ∑  
And/OR/\*/^ Produkt: ∏

**NAND:**Det är som en AND-grind men med en **inventerare**. Sanningstabellen är spegelvänd från en AND-grind.



|  |  |  |  |
| --- | --- | --- | --- |
| x1 | x2 | !(x1 \* x2) NAND | x1 \*x2 - AND |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |

**NOR:**  
Som en OR grind med en **inventerare**.   


|  |  |  |  |
| --- | --- | --- | --- |
| x1 | x2 | !(x1 + x2) NOR | x1 + x2 - OR |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 |

Designa grindar/kretskort  
Kraven 🡪 Syntenisera och implentera 🡪 Testa   
Multiplexer, är en extra ingång(S) som väljer samma signal som A eller B.   
Man bestämmer utsignalen beroende på vad man sätter signal S till.   
Ex: är s1 = väl x1, s1 = 0, välj x2.

**CAD:**   
**C**omputer **A**ided **D**esign.   
1. Design Entery – Hitta kraven, görs manuellt och matas in i CAD.

Alt 1: Med ”Schematic Capture”, drag and drop med grafiskt hjälpmedel.   
Alt 2: HDL(Hardwire Description Language). Programmerar hur kretsen ska bete sig.   
Finns två språk som är IEEE standard, VHDL eller Verilog HDL. VHDL används i boken.

CAD, tar användarens data och skapar en ekvivalent men bättre optimerad krets.   
Testning sker antingen att man bygger den fysiskt, eller genom simulation.   
Simulation sker mha Functional Simulater, resultatet presenteras ofta i tidsdiagram(Timing Diagram).