Digital Design

Efter logisk syntest är nästa steg på den fysiska designen. Finns flera tekniker som introduceras senare.

Propagation Delay: Är tiden det tar från när man ändrar signalen till att utsignalen är ändrad.   
Testas med timing simulator. Klarar man ej kraven så får man gå tillbaka till design fasen.

CAD/VHDL  
Data typ, BIT finns, 0/1  
Koden börjar med ENTITY sen IN/UT portar.   
Variabel namn, bokstav först och får ej vara samma som VHDL standard keyword.