Digital Design

0 och 1 kan representeras med antingen låg eller hög volt.   
0 låg, 1 hög, kallas Positive Logic System(vanligast).   
0 hög, 1 låg, kallas för negative logic system.   
Man bestämmer en gräns, ex 2 volt. Och allt under det är en 0:a och allt över den är en 1:a. Max volt är vanligtvis 5 volt.

Vpp max volt logic value 1  
v1, min undefined  
v0 max max värdet för 0 logic value 0  
vss(Gnd) minst volt

BILD FRÅN ANTECKNINGAR

Antag att en transistor fungerar som en switch.   
0 = switch öppen (”Lamp knapp av”)  
1 = switch stängd (”lamp knapp på”)

MOSFET (Metal Oxide Semiconducter Field-effect Transister)   
n-channel = NMOS  
p-channel = PMOS  
NMOS och PMOS är en slags MOSFET transistor.

PMOS gör utgången till 1  
NMOS gör utgången till 0 osäkert? 0 -> 0 1 -> 1?

NMOS:

Bilder fr bok

PMOS:

Bilder fr bok

Från 1980talet kan man använda båda typerna i en krets. Dem är ofta kombinerade i den populära teknologin CMOS (Complementary MOS). CMOS har bara förlust effekt vid omslag från 0 till 1 eller vise versa. Vid ett litet tag är båda grindarna lite öppna. Om man mäter kommer man se en strömspik.

Streckat runt ett motstånd betyder att man använder en transistor som motstånd.   
Seriekoppling av grindar = AND  
Parallelkoppling av grindar = OR  
  
I ett karnaugh diagram skall alla 1:or vara inringade och överlappning är OK. Helst så stora indragningar som möjligt. Vanligt att man sätter 2 inventerare på utgången, som sedan ”åker” inåt i kretsen.

På grinden är ofta 14 + och 7 jord.   
EN = ENABLE  
OE = OUTPUT ENABLE  
Z = inte ansluten