Digital Design

3.6.5  
CPLD är relativt små, passar för mindre applikationer. Man skall sträva efter att bygga så små och billiga kretsar som möjligt. Man beräknar kostnaden med NAND-grindar, med 2 ingångar.

På SPLD och CPLD brukar en macrocell det vara ca 20 grindar.   
Ex, 8 celler 🡪 8 \* 20 = 160 grindar.

FPGA = FIeld-programmable Gate Array  
PGA = Pin Grid Array  
BGA = Ball Grid Array  
LUT = Loopup Table

FGPA, stödjer relativt stora logiska kretsar. FGPA använder stora logiska block för implentation.

FGPA består utav 3 huvudtyper:  
Logic Blocks  
I/O blocks, för anslutning av pins  
Sammankopplingar utav kablar och switchar.  
Bild s.110

LUT är vanligast på marknaden, innehåller ”storage cells” som implenterar en liten logisk funktion. Varje cell håller ett logiskt värde, 1 eller 0.

LUT Celler = Rader i sanningstabellen, dvs LUT beror på hur många ingångar det finns till utgången.   
FGPA programmeras med ISP-metoden. FGPA är volatile (Den tappar infon om strömmen bryts). FGPA har ofta ett PROM (Programably Read Only Memory)   
Storage Cells laddar auto från PROM när strömmen slås på.   
Små och snabba kretsar = CPLD, Tappar ej info när störmmen slås av (Osäker)  
FGPA, tar ett tag att starta upp, då den måste läsa in data från PROM och ladda rätt funktioner när den slås på.

3.7  
Custom Chip, man specifierar allt på kretskortet för att optimera priset, hastigheten, storleken, antal grindar osv.   
Chip Layout kallas design fasen. Custom Chi, kräver sor design tid 🡪 Hög kostnad.   
Mikroprocessorer och minneskort är ofta custom chip.

ASIC (application-specifi integrated circuits). När man inte behöver deisgna alla transistorer utan kan använda “standard cells”.

Multiple layers, 2 kablar kan krossa varandra utan att skapa en kortare krets. Man kan ha upp till 8 lager.

3.8  
Kiselplatta (Silicon Wafer) som kretsen byggs på, är ofta 6,8 eller 12 diameter. Kisel är en halvledare, ibland leder den ström, ibland inte.

Negativt laddade areor = type N  
Positivt laddade areor = type P

Gate-terminal, var förut utav metall, nu är den utav polykisel (poly silicon), båda är helledare.  
Polykisel gör att MOSFet kan göras med extremt små dimensioner. Gate är elektroniskt isolerad från resten utav transistorn, met ett lager av silicon dioxide (SiO2) som agerar som isolator mellan gate och transistor.

**NMOS**

**0V**  
två dioder finns, mellan source och drain.   
Ena är mellan korsningen substrate och drain.  
Den andra är mellan substrate och drain.  
Mellan dessa två är det ett högt motstånd(resistans) ca 1012 Ω, som motverkar flöde. Transistorn är öppen, ”av”.

**5V**  
Threshold Vola´tage, minsta positiva volten (ofta 0,2 volt) som ändrar transistorn till stängd, ”på”.   
Gate blir ansluten till VDD som gör att den + och attraherar e-. e- kan ej passera isolatorn under gate, samlas dom mellan source drain, som kallas ”channel” storleken på channel beror på längd och bred utav grinden. Elektronerna inventerar kiseln runt channel från P+ till n -, vilket ansluter source och drain.