Digital Kap 8(F9)

Synchronous Sequential Circuits = Synkrona sekvensnät

Utsignalen består av tidigare tillstånd + insignalen.

Synkrona nät styrs av en klocka, clk  
asynkrona nät styrs av en insignal.

Synkrona nät är lättare att designa, består av logik + flipflop(s).

Ändrar sig endast på flanker:  
0 🡪 1 positiv flank  
1 🡪 0 negativ flank

Active clock Edge, den flank som ändras.

Moore nät = utsignalen beror endast utav tidigare tillstånd  
Mealy = utsignalen beror på tidigare tillstånd + insignalen.

Sequence detectors = nät som kan uppfatta ett visst mönster på signalerna.

Fsm = finite state machine

State diagram

FIG 8.3

State Table

FIG 8.4

Utsignalen I fig 8.3 och 8.4 beror endast på tidigare tillstånd = moore nät

Fig 8.6 - state-asigned table

(Slut 494)