DD Föreläsning 10 – 534

När man designar komplexa FSM(Finite State machine, tillstånds maskiner) är det troligt att man gör en maskin med flera tillstånd än vad det behövs. Minimera tillstånd så går det åt mindre flip-flops och kretsen blir mindre komlex.

För att minimera antalet tillstånd i en FSM, så måste ett tillstånd vara ekvivalent med en annat.   
Si och Sj är ekvivalenta om och endast om för varje 2 ingångsekvens kommer utsignalen vara lika, oavsett insignalen på Si och Sj.

Oftast lättare att visa de som inte är ekvivalenta.   
  
W = 0 Si 🡺 Su Su successor of Si  
W = 1 Si 🡺 Sv Sv successor of Si  
Generellt kallas dem k-successor. Har ett tillstånd samma k-successor hamnar dem I samma partionen, sen gör man det en gång till. Till dem bara upprepar sig.

Mealy har färre tillstånd än moore, behöver dock inte vara lättare att designa.

Completely Specified = Alla tillstånd används.

Incompletely Specified = Minst ett DD-tillstånd.   
Partions schema är mindre användbart när en ofullständig specificerad FSM är involverad. Eftersom man måste prova med 0 och 1 på DD-tillstånd för att se den bästa.

8.9

För att analysera en krets gör man tvärt om från syntes processen.  
Utsignalen på flip-flop är förgående tillstånds variabler.

Ex 8.8 bild  
Antag för att y1 = y2 = 0. Kolla stora eller lilla y  
W = 0 🡺 y1 = y2 = 0  
W = 1 🡺 y1 = 1y2 = 0

ASM = Algoritmic State Machine

Fig 8 .86  
Större maskiner använder ofta en annan representation, ASM Chart.

F11

PLD = Programable Logic Device.  
Kan ses som en svartlåda med logiska grindar och programmerbara switchar.

PLA = Programmable Logic Array.  
Första typsen som utvecklaes.

PA används ofta på större chips,tex microprocessorer.

PAL = Programmabe Array Logic  
Or-grindar är fixerade och And-grindar är programmerbara. Billigare, enklare att skapa.

PCB = Printed Circuit Board

CPLD = Complex Programmable Logic Device   
Flera kretsar på ett chip.

JTAG = Jointed Test Action Group.

FPGA = Field-Programmable gate array  
BGA = Ball Grid Array  
LUT = Lookup Table

Lut, Logiska lbock på FPGA

Lut innehåller storage cells, där varje cell kan ha ett värde, 0 eller 1.

CPLD, FPGA, används idag i många applikationer, tex DVVD, Highend Tv.  
CPLD, mindre krets, måste fungera direkt när den startar.  
FPGA, stora kretsar, tar ”ett tag” innan den startar upp.

ASCI = Aplication-Specified integrated circuits  
Använder ofta “standard cells” när man designar dem.