

İSTANBUL TEKNİK ÜNİVERSİTESİ

İTÜ



Sayısal Sistem Tasarım ve Uygulamaları Final Projesi

Muhammet Şamil İkizoğlu
040130044

Eğitmen: Sıddıka Berna Örs Yalçın

10 Ocak 2018

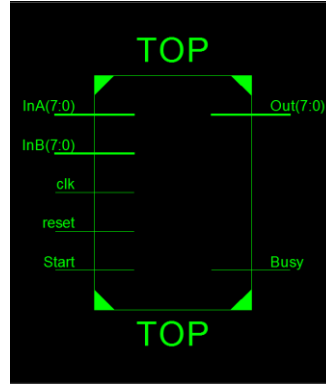
İçerik

1. Designing Micro Controller

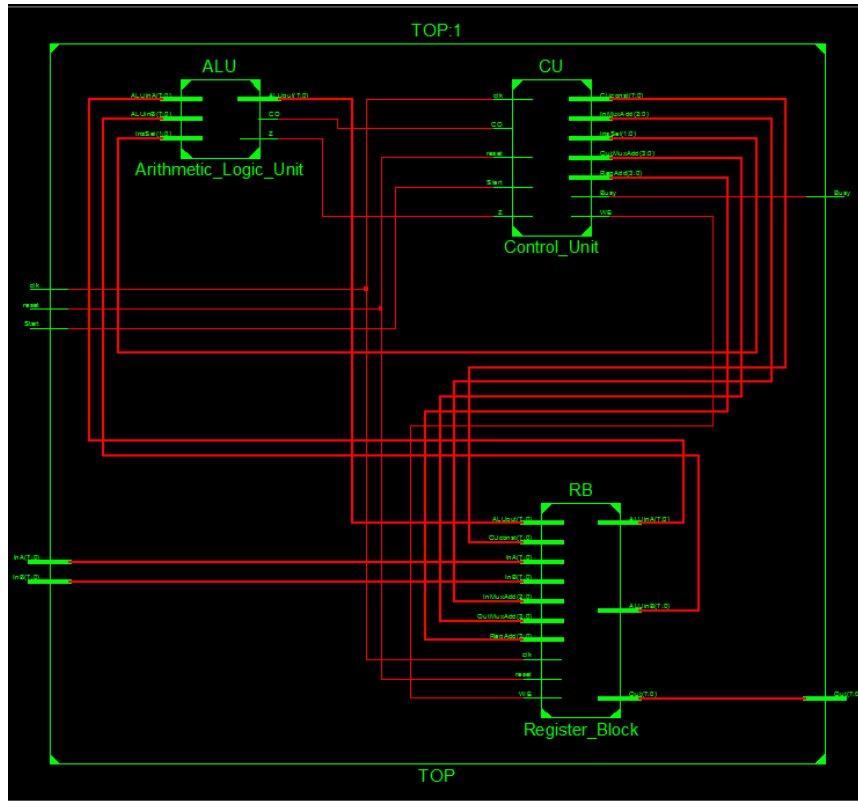
1. Designing Micro Controller

Bu projede her ikisi de 8 bitlik pozitif tamsayı olan A ve B'yi kullanarak, $A=B$ ise $A+B$ 'yi,

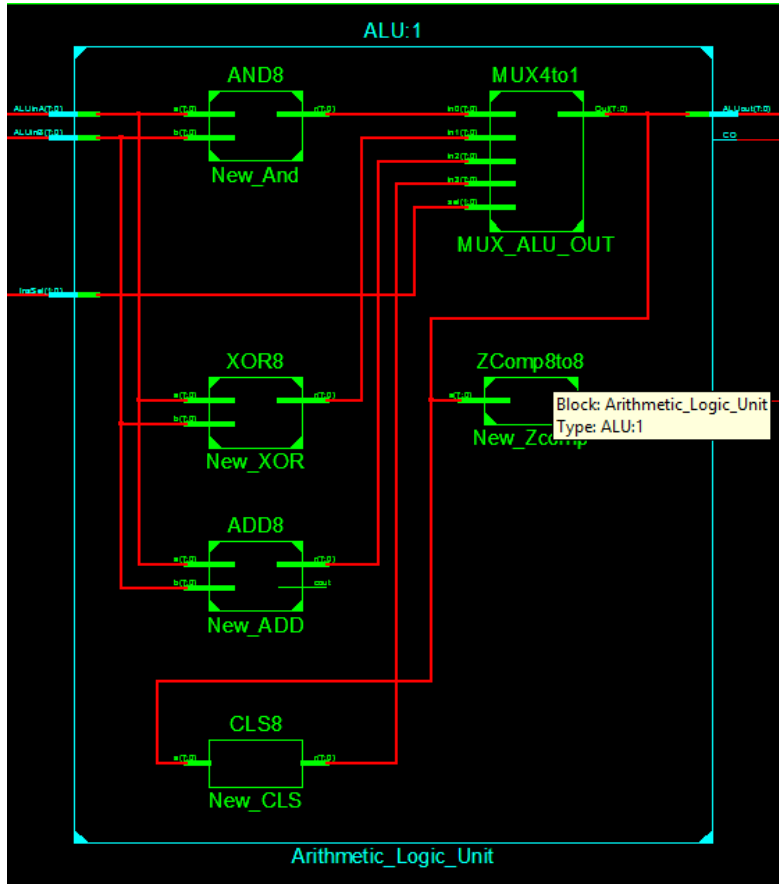
$A \neq B$ ise $A-B$ 'yi hesaplama işlemi mikro kontrol yapısı ile gerçekleştirilecektir. Proje dosyası rar formatında dosyalandığından ilgili verilog komutlarına oradan erişilebilir. Sırasıyla top, alu, register modül için RTL şematik aşağıdaki gibidir.



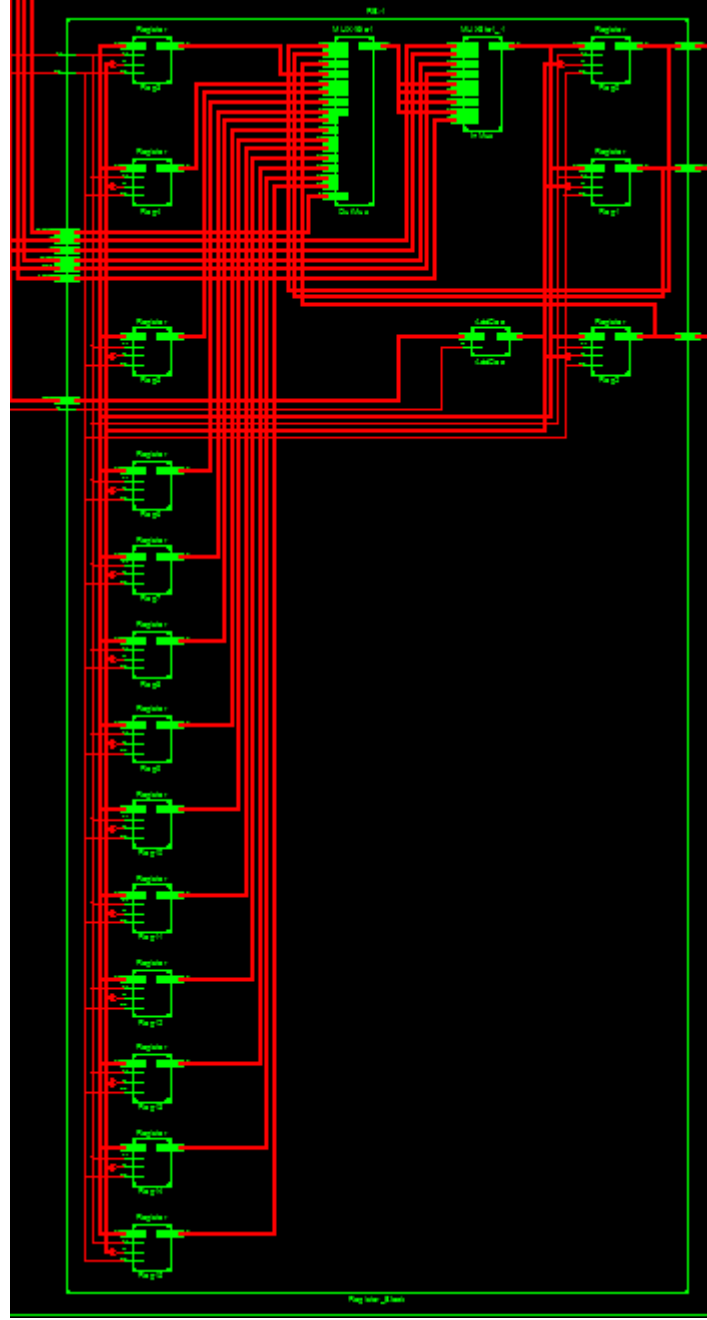
Figür: Top Modül RTL şematik



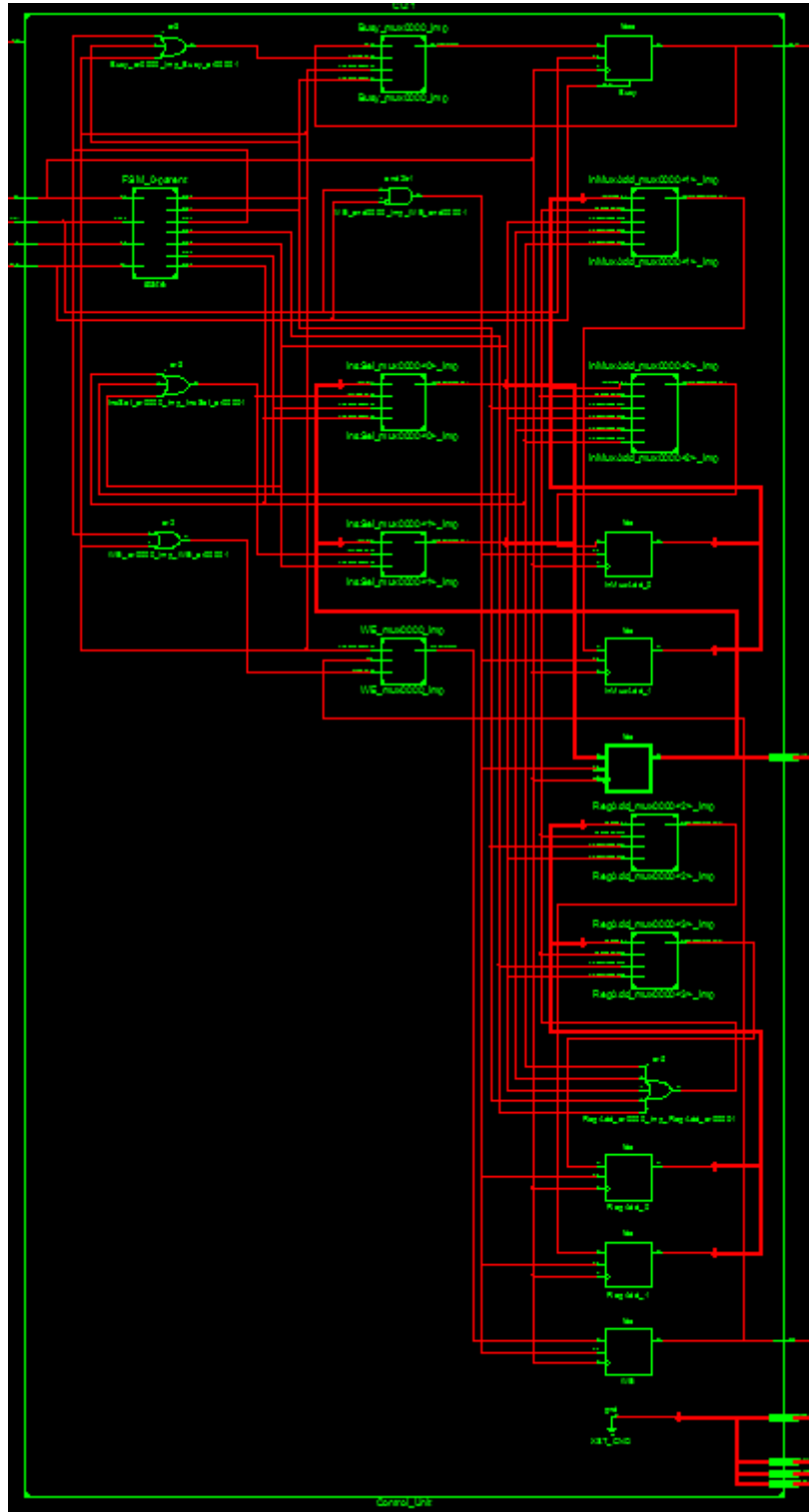
Figür: Top Modül RTL şematik 2



Figür: ALU Modül RTL şematik



Figür: RB Modül RTL şematik



Figür: CU Modül RTL şematik

Yazılan top ve alt modüller sonrası aşağıdaki şekliyle test komutu koşulduğunda:

```

reset = 1;
#40;
reset = 0;
#40;
// Add stimulus here
InA = 8'd5;
InB = 8'd5;
Start = 1;

#2000;

InA = 8'd14;
InB = 8'd14;
Start = 1;

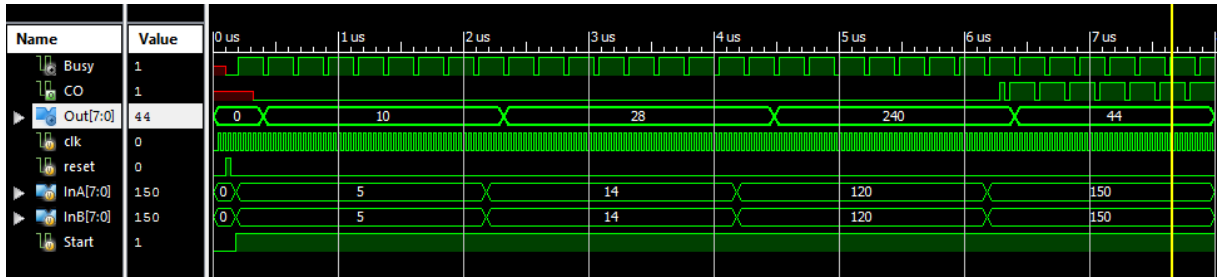
#2000;

InA = 8'd120;
InB = 8'd120;
Start = 1;

#2000;

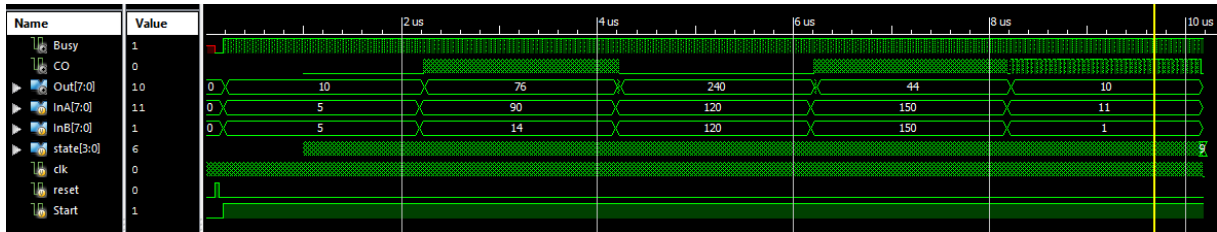
InA = 8'd150;
InB = 8'd150;
Start = 1;

```

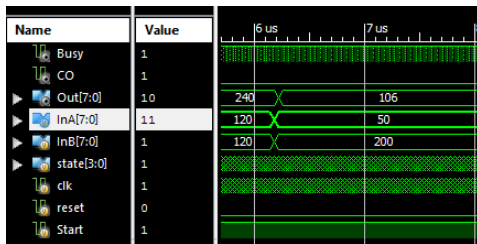


Yukarıda görüldüğü gibi $A=B$ için $A+B$ işleminin sorunsuz bir şekilde çalıştığı gözlemlenmiştir. “Co” da dahil edildiğinde $150+150 = 2^7 + 44 = 300$ doğrulamaktadır.

Aynı şekilde farklı değerler atanarak test kodu çalıştırıldığında



$A \neq B$ için $A-B$ işleminin sorunsuz bir şekilde çalıştığı gözlemlenmiştir. $A < B$ için: eneme yapıldığında:



$(2^8 + 50) - 200 = 106$ etmektedir ve sorunsuz şekilde çalıştığı gözlemlenmiştir.

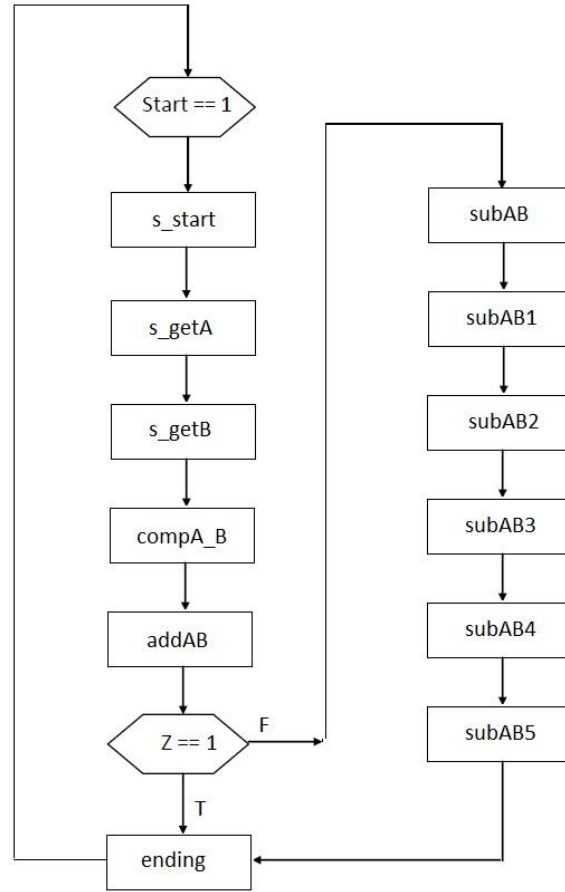
Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	51	9,312	1%
Number of 4 input LUTs	81	9,312	1%
Number of occupied Slices	62	4,656	1%
Number of Slices containing only related logic	62	62	100%
Number of Slices containing unrelated logic	0	62	0%
Total Number of 4 input LUTs	81	9,312	1%
Number of bonded IOBs	28	232	12%
Number of BUFGMUXs	1	24	4%
Average Fanout of Non-Clock Nets	3.23		

Figür: Lut sayısı

Setup/Hold to clock clk				
Source	Max Setup to clk (edge)	Max Hold to clk (edge)	Internal Clock(s)	Clock Phase
InA<0>	1.655 (R)	0.466 (R)	clk_BUFGP	0.000
InA<1>	2.023 (R)	0.369 (R)	clk_BUFGP	0.000
InA<2>	1.483 (R)	0.749 (R)	clk_BUFGP	0.000
InA<3>	1.690 (R)	0.663 (R)	clk_BUFGP	0.000
InA<4>	1.169 (R)	0.761 (R)	clk_BUFGP	0.000
InA<5>	1.312 (R)	0.877 (R)	clk_BUFGP	0.000
InA<6>	1.524 (R)	0.751 (R)	clk_BUFGP	0.000
InA<7>	2.212 (R)	0.410 (R)	clk_BUFGP	0.000
InB<0>	1.326 (R)	0.790 (R)	clk_BUFGP	0.000
InB<1>	1.533 (R)	0.761 (R)	clk_BUFGP	0.000
InB<2>	1.508 (R)	0.790 (R)	clk_BUFGP	0.000
InB<3>	2.155 (R)	0.291 (R)	clk_BUFGP	0.000
InB<4>	1.687 (R)	0.346 (R)	clk_BUFGP	0.000
InB<5>	1.939 (R)	0.375 (R)	clk_BUFGP	0.000
InB<6>	1.841 (R)	0.497 (R)	clk_BUFGP	0.000
InB<7>	2.532 (R)	0.154 (R)	clk_BUFGP	0.000
Start	2.618 (R)	1.340 (R)	clk_BUFGP	0.000
reset	3.432 (R)	-0.872 (R)	clk_BUFGP	0.000

Clock clk to Pad				
Destination	clk (edge) to PAD	Internal Clock(s)	Clock Phase	
Busy	8.301 (R)	clk_BUFGP	0.000	
Out<0>	8.295 (R)	clk_BUFGP	0.000	
Out<1>	7.962 (R)	clk_BUFGP	0.000	
Out<2>	8.033 (R)	clk_BUFGP	0.000	
Out<3>	7.772 (R)	clk_BUFGP	0.000	
Out<4>	7.940 (R)	clk_BUFGP	0.000	
Out<5>	7.967 (R)	clk_BUFGP	0.000	
Out<6>	7.444 (R)	clk_BUFGP	0.000	
Out<7>	7.434 (R)	clk_BUFGP	0.000	

Figür: Delay



Figür: Flow Chart

subAB: B compliment

subAB1: B complimentin register 3'e aktarılması

subAB2: B compliment için +1 ekleyerek ikinci complimentin alınması

subAB3: B compliment register 3'e aktarılması

subAB4: A inputun register 1'e aktarılması

subAB5: A ile B complimentin toplanması (Aslında addAB ile yapılabilirdi, kod daha düzgün, az

karmaşık olsun diye bu şekilde gerçekleştirildi.)