

第二部分 计算机组成原理

第一章 计算机系统概述

知识框架:

计算机系统概述

数据的表示和运算

存储器层次结构

指令系统

中央处理器(CPU)

总线

输入输出(I/O)系统

计算机概述基本内容:

计算机发展历程

计算机系统层次结构

计算机工作过程

计算机性能指标:

吞吐量

响应时间

CPU 时钟周期

主频

CPI

CPU 执行时间: $T_{cpu} = I_n + CPI + T_c$

MIPS

$$MIPS = I_n / (T_e \times 10^6) = R_c / (CPI \times 10^6)$$

MFLOPS

$$MFLOPS = I_{fn} / (T_e \times 10^6)$$

一、基本概念:

本章的一些基本概念经常会以客观题的形式出现,例如,位、字节、字长的含义,计算机的发展阶段划分、微机出现的阶段等。

1. 计算机存储数据的基本单位是()。

- A. bit
- B. Byte
- C. 字
- D. 字符

2. 多年来,人们习惯于以计算机主机所使用的主要元器件的发展进行分代,所谓第四代计算机使用的主要元器件是()。

- A. 电子管
- B. 晶体管
- C. 中小规模集成电路
- D. 大规模和超大规模集成电路

3. 在计算机的不同发展阶段,操作系统最先出现在()。

- A. 第一代计算机

- B. 第二代计算机
 - C. 第三代计算机
 - D. 第四代计算机
4. 运算器的主要功能是进行()。
- A. 只作加法
 - B. 逻辑运算
 - C. 算术运算和逻辑运算
 - D. 算术运算
5. 计算机硬件的五大基本构件包括运算器、存储器、输入设备、输出设备和()。
- A. 显示器
 - B. 控制器
 - C. 磁盘驱动器
 - D. 鼠标器

二、冯诺依曼计算机特点

6. 关于冯·诺依曼计算机, 下列说法正确的是()。
- A. 冯·诺依曼计算机的程序和数据是靠输入设备送入计算机的寄存器保存的。
 - B. 冯·诺依曼计算机工作时是由数据流驱动控制流工作的。
 - C. 冯·诺依曼型计算机的基本特点可以用“存储程序”和“程序控制”来高度概括。
 - D. 随着计算机技术的发展, 冯·诺依曼计算机目前已经被淘汰。
7. 冯·诺依曼计算机的核心思想是(); 冯·诺依曼计算机的工作特点是()。
- (1) A. 采用二进制 B. 存储程序 C. 并行计算 D. 指令系统
- (2) A. 堆栈操作 B. 存储器按内容访问 C. 按地址访问并顺序执行指令 D. 多指令流单数据流

三、计算机系统的层次结构

完整的计算机系统被划分成 7 个主要层次, 本知识点要求熟记各个层次的划分情况, 理解使用不同编程语言的用户看到的是不同功能的虚拟机。

8. 一个完整的计算机系统包括()。
- A. 主机、键盘、显示器
 - B. 主机及外围设备
 - C. 系统软件与应用软件
 - D. 硬件系统与软件

四、计算机的软件系统

本类题型的关键是要知道计算机的软件系统由系统软件和应用软件构成; 系统软件是指管理、监控和维护计算机资源(包括硬件和软件)的软件, 为计算机使用提供最基本的功能, 但是并不针对某一特定应用领域。

9. 下列软件中, 不属于系统软件的是()。
- A. 编译软件
 - B. 操作系统
 - C. 数据库管理系统
 - D. C 语言程序

10. 某单位的人事档案管理程序属于()。
- A. 工具软件 B. 应用软件
C. 系统软件 D. 字表处理软件

五、计算机性能指标

11. 下列选项中, 描述浮点数操作速度的指标是()。

- A. MIPS B. CPI
C. IPC D. MFLOP

12. 某计算机主频为 1.2 GHz, 其指令分为 4 类, 它们, 们在基准程序中所占比例及 CPI 如下表所示。

该机的 MIPS 数是:

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

- A. 100
B. 200
C. 400
D. 600

13. 某 CPU 的主频为 8 MHz, 若已知每个机器周期平均包含 4 个时钟周期, 该机的平均指令执行速度为 0.8 MIPS。

(1)试求该机的平均指令周期及每个指令周期含几个机器周期?

(2)若改用时钟周期为 0.4 μ s 的 CPU 芯片, 则计算机的平均指令执行速度为多少 MIPS?

(3)若要得到平均每秒 40 万次的指令执行速度, 则应采用主频为多少的 CPU 芯片?

第二章 数据的表示和运算

数据的表示和运算 大纲内容

- 数制与编码
- 机器数
- 定点数
- 浮点数
- 算术逻辑单元 ALU

基本内容

- 不同数制间的数据转换
- 奇偶校验码
- 定点数的表示和运算
- 带符号数表示
- 定点数的运算
- 溢出概念和判别方法
- 浮点数的表示和运算
- 浮点数的加/减运算
- 算术逻辑单元 ALU

一、数制和编码

数制和编码部分，主要包括进位计数制及其相互转换、真值和机器数、BCD 码、字符和字符串以及校验码。

1. 在下列机器数（ ）中，零的表示形式是唯一的。
A. 原码 B. 补码 C. 反码 D. 原码和反码
2. 计算机系统中采用补码运算的目的是为了（ ）。
A. 与手工运算方式保持一致
B. 提高运算速度
C. 简化运算器的设计
D. 提高运算的精度
3. 关于数据表示和编码，下列说法正确的是（ ）。
A. 奇偶校验码是一种功能很强的检错纠错码
B. 在计算机中用无符号数来表示内存地址
C. 原码、补码和移码的符号编码规则相同
D. 用拼音从键盘上敲入汉字时，使用的拼音码是汉字的字模码
4. 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是（ ）。
A. 11001011 B. 11010110 C. 11000001 D. 11001001
5. 写出 $X=10111101$ ， $Y=-00101011$ 的双符号位原码、反码、补码表示，并用双符号补码计算两个数的和与差。

	原码	反码	补码
$X=10111101$	00 1011 1101	00 1011 1101	00 1011 1101
$Y=-00101011$	11 0010 1011	11 1101 0100	11 1101 0101
$X-Y$	00 1110 1000	00 1110 1000	00 1110 1000

二、定点数表示和运算

定点数的表示部分，主要包括有符号数和无符号数的表示；定点数的运算部分，主要包括定点数的位移运算、原码定点数的加/减运算、补码定点数的加/减运算、定点数的乘/除运算，以及溢出概念和判别方法。

6. 机器运算发生溢出的根本原因是（ ）。
 - A. 数据的位数有限
 - B. 运算中将符号位的进位丢弃
 - C. 运算中将符号位的借位丢弃
 - D. 数据运算中的错误
7. 在整数定点机中，下述第（ ）种说法是正确的。
 - A. 原码和反码不能表示-1，补码可以表示-1
 - B. 三种机器数均可表示-1
 - C. 三种机器数均可表示-1，且三种机器数的表示范围相同
 - D. 三种机器数均不可表示-1
8. 设 $X=-0.1011$ ，则 $[X]$ 补为（ ）。
 - A. 1. 1011
 - B. 1. 0100
 - C. 1. 0101
 - D. 1. 1001
9. 在下述有关不恢复余数法何时需恢复余数的说法中（ ）是正确的。
 - A. 最后一次余数为正时，要恢复一次余数
 - B. 最后一次余数为负时，要恢复一次余数
 - C. 最后一次余数为 0 时，要恢复一次余数
 - D. 任何时候都不恢复余数
10. 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x 、 y 和 z ，其中 x 和 z 为 int 型， y 为 short 型。当 $x=127$ ， $y=-9$ 时，执行赋值语句 $z=x+y$ 后， x 、 y 和 z 的值分别是（ ）。
 - A. $x=0000007FH$ ， $y=FFF9H$ ， $z=00000076H$
 - B. $x=0000007FH$ ， $y=FFF9H$ ， $z=FFFF0076H$
 - C. $x=0000007FH$ ， $y=FFF7H$ ， $z=FFFF0076H$
 - D. $x=0000007FH$ ， $y=FFF7H$ ， $z=00000076H$
11. 设机器字长为 16 位，定点表示时，尾数 15 位，阶符 1 位。
 - (1). 定点原码整数表示时，最大正数为多少？最小负数为多少？
 - (2). 定点原码小数表示时，最大正数为多少？最小负数为多少？

12. 浮点数加减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且位数分别为 5 位和 7 位(均含 2 位符号位)。若有两个数 $X=27 \times 29/32$, $Y=25 \times 5/8$, 则浮点加法计算 $X+Y$ 的最终结果是:

- A. 001111100010
- B. 001110100010
- C. 010000010001
- D. 发生溢出

13. 浮点数的表示范围和精度取决于 ()。

- A. 阶码的位数和尾数的机器数形式
- B. 阶码的机器数形式和尾数的位数
- C. 阶码的位数和尾数的位数
- D. 阶码的机器数形式和尾数的机器数形式

14. 长度相同但格式不同的 2 种浮点数, 假定前者阶码长、尾数短, 后者阶码短、尾数长, 其他规定均相同, 则它们可表示的数的范围和精度为 ()。

- A. 两者可表示的数的范围和精度相同
- B. 前者可表示的数的范围大但精度低
- C. 后者可表示的数的范围大且精度高
- D. 前者可表示的数的范围大且精度高

15. 假设阶码、尾数均为 5 位(含符号位), 二进制浮点数 $2^{-11} \times 0.1011$ 的补码表示是 ()。

- A. 1001101011
- B. 1110101011
- C. 1110110101
- D. 0001101011

16. 在浮点机中, 判断补码规格化形式的原则是 ()。

- A. 尾数的第一数位为 1, 数符任意
- B. 尾数的符号位与第一数位相同
- C. 尾数的符号位与第一数位不同
- D. 阶符与数符不同

17. 某数采用 IEEE754 单精度浮点数格式表示为 C6400000H, 则该数的值是 ()。

- A. -1.5×2^{13}
- B. -1.5×2^{12}
- C. -0.5×2^{13}
- D. -0.5×2^{12}

18. 设浮点数字长为 16 位, 其中阶码为 5 位(含 1 位阶符), 尾数为 11 位(含 1 位数符), 写出 $-11/128$ 对应的浮点规格化数的原码形式、补码形式、反码形式和阶码用移码, 尾数用补码的形式。

19. 某机器字长 32 位, 浮点表示时, 阶码占 8 位, 尾数占 24 位, 各包含一位符号位。问:

- (1). 带符号定点小数的最大表示范围是多少?
- (2). 带符号定点整数的最大范围是多少?
- (3). 浮点表示的最大正数是多少? 最大负数是多少? 浮点表示时, 最小的规格化正数是多少?

三、算数逻辑单元 ALU

本部分考查 ALU 的功能和结构，并考查串行加法器和并行加法器，请同学们做一个简单的了解。

20. 有关运算器的功能描述，正确的是（ ）。
- A. 完成加法运算
 - B. 完成算术运算
 - C. 既完成算术运算又完成逻辑运算
 - D. 完成逻辑运算
21. 四片 74181ALU 和一片 74182CLA 器件相配合，具有如下进位传递功能（ ）。
- A. 形波进位
 - B. 组内先行进位，组间先行进位
 - C. 组内先行进位，组间行波进位
 - D. 组内形波进位，组间先行进位
22. 串行加法器采用先行进位的目的是（ ）。
- A. 优化加法器的结构
 - B. 节省器材
 - C. 加速传递进位信号
 - D. 增强加法器结构

真题

1. 用海明码对长度为 8 位的数据进行检/纠错时，若能纠正一位错。则校验位数至少为（ ）。
- A. 2
 - B. 3
 - C. 4
 - D. 5
2. 下列正数中最大的数为（ ）。
- A. $(00100101)_2$
 - B. $(36)_{10}$
 - C. $(01010010)_{BCD}$
 - D. $(2B)_{16}$
3. 有如下 C 语言程序段：
- ```
shortsi=-32767;
unsignedshortusi=si;
```
- 执行上述两条语句后，usi 的值为（ ）。
- A. -32767
  - B. 32767
  - C. 32768
  - D. 32769
4. 由 3 个“1”和 5 个“0”组成的 8 位二进制码，能表示的最小整数是（ ）。
- A. -126
  - B. -125
  - C. -32
  - D. -3
5. 若  $x=103$ ， $y=-25$ ，则下列表达式采用 8 位定点补码运算实现时，会发生溢出的是（ ）。
- A.  $x+y$
  - B.  $-x+y$
  - C.  $x-y$
  - D.  $-x-y$
6. 某字长为 8 位的计算机中，已知整型变量 x、y 的机器分别为  $[x]_{\text{补}}=11110100$ ， $[y]_{\text{补}}=10110000$ 。

若整型变量  $z=2\times x+y/2$ ，则  $z$  的机器数为（ ）。

- A. 11000000
- B. 00100100
- C. 10101010
- D. 溢出

7. 假定编译器规定 `int` 和 `short` 类型长度分别为 32 位和 16 位，执行下列 C 语言：

```
unsigned short x=65530;
```

```
unsigned int y=x;
```

得到  $y$  的机器数为（ ）。

- A. 00007FFAH
- B. 0000FFFAH
- C. FFFF7FFAH
- D. FFFFFFFFAH

8. 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量  $x$ 、 $y$  和  $z$ ，其中  $x$  和  $z$  为 `int` 型， $y$  为 `short` 型。当  $x=127$ ， $y=-9$  时，执行赋值语句  $z=x+y$  后， $x$ 、 $y$  和  $z$  的值分别是（ ）。

- A.  $x=0000007FH$ ， $y=FFF9H$ ， $z=00000076H$
- B.  $x=0000007FH$ ， $y=FFF9H$ ， $z=FFFF0076H$
- C.  $x=0000007FH$ ， $y=FFF7H$ ， $z=FFFF0076H$
- D.  $x=0000007FH$ ， $y=FFF7H$ ， $z=00000076H$

9. 两个二进制有符号数相加  $00111111+11101111$  的十进制结果是（ ）

- A. 302
- B. 47
- C. 45
- D. 46

10. 下列有关浮点数加减运算的叙述中，正确的是（ ）。

- I. 对阶操作不会引起阶码上溢或下溢
- II. 右规和尾数舍入都可能引起阶码上溢
- III. 左规时可能引起阶码下溢
- IV. 尾数溢出时结果不一定溢出

- A. 仅 II、III
- B. 仅 I、II、IV
- C. 仅 I、III、IV
- D. I、II、III、IV

11. `float` 型数据通常采用 IEEE754 单精度浮点格式表示。假定两个 `float` 型变量  $x$  和  $y$  分别存放在 32 位寄存器 `f1` 和 `f2` 中，若  $f(1)=CC900000H$ ， $f(2)=B0C00000H$ ，则  $x$  和  $y$  之间的关系为（ ）。

- A.  $x<y$  且符号相同
- B.  $x<y$  且符号不同
- C.  $x>y$  且符号相同
- D.  $x>y$  且符号不同

12. 某数采用 IEEE754 单精度浮点数格式表示为  $C6400000H$ ，则该数的值是（ ）。

- A.  $-1.5\times 2^{13}$
- B.  $-1.5\times 2^{12}$
- C.  $-0.5\times 2^{13}$
- D.  $-0.5\times 2^{12}$

13. `float` 型数据通常采用 IEEE754 单精度浮点数格式表示。若编译器将 `float` 型变量  $x$  分配在一个 32 位浮点寄存器 `FR1` 中，且  $x=-8.25$ ，则 `FR1` 的内容是（ ）。

- A.  $C1040000H$
- B.  $C2420000H$
- C.  $C1840000H$
- D.  $C1C20000H$



14. 假定变量 i、f 和 d 的数据类型分别为 int、float 和 double (int 用补码表示, float 和 double 分别用 IEEE754 单精度和双精度浮点数格式表示), 已知 i=785, f=15678e3, d=1.5e100. 若在 32 位机器中执行下列关系表达式, 则结果为“真”的是 ( ).

- I. i = (int)(float) i
- II. f = (float)(int) f
- III. f = (float)(double) f
- IV. (d+f) - d = f

- A. 仅 I 和 II
- B. 仅 I 和 III
- C. 仅 II 和 III
- D. 仅 III 和 IV

15. 浮点数加、减运算过程一般包括对阶、尾数运算、规格化、舍入和判溢出等步骤。设浮点数的阶码和尾数均采用补码表示, 且尾数分别为 5 位和 7 位 (均含 2 位符号位)。若有两个数  $X=27 \times 29/32$ ,  $Y=25 \times 5/8$ , 则用浮点加法计算 X+Y 的最终结果是 ( ).

- A. 001111100010
- B. 001110100010
- C. 010000010001
- D. 发生溢出

16. 某浮点数 x 按 IEEE754 标准表示, 其十六进制存储格式为 (C1360000)<sub>16</sub>, 则其十进制数值为 ( ).

- A. 11.375
- B. -11.375
- C. -4.6875
- D. 4.6875

17. 判断浮点数运算是否溢出, 取决于 ( ).

- A. 尾数是否上溢
- B. 尾数是否下溢
- C. 阶码是否上溢
- D. 阶码是否下溢

18. 已知

$$f(n) = \sum_{i=0}^n 2^i = 2^{n+1} - 1 = \overbrace{11 \dots 11}^{n+1 \text{ 位}} \text{B}$$

计算 f(n) 的 C 语言函数 f1 如下。

```
Int f1 (unsigned n)
{
 Int sum=1, power=1;
 for (unsigned i=0; i<=n-1; i++)
 {
 power*=2;
 sum+=power;
 }
 Return sum;
}
```

将 f1 中的 int 都改为 float, 可得到计算 f(n) 的另一个函数 f2. 假设 unsigned 和 int 型数据都占 32 位, float 采用 IEEE754 单精度标准。

请回答下列问题:

- (1) 当  $n=0$  时,  $f1$  会出现死循环, 为什么? 若  $f1$  中的变量  $i$  和  $n$  都定义为 `int` 型, 则  $f1$  是否还会死循环? 为什么?
- (2)  $f1(23)$  和  $f2(23)$  的返回值是否相等? 机器数各是多少 (用十六进制表示)?
- (3)  $f1(24)$  和  $f2(24)$  的返回值分别位 33554431 和 33554432.0, 为什么不相等?
- (4)  $f(31)=2^{32}-1$ , 而  $f1(31)$  的返回值却为 -1, 为什么? 若  $f1(n)$  的返回值与  $f(n)$  相等, 则最大的  $n$  是多少?
- (5)  $f2(127)$  的机器数为 7F800000H, 对应的值是什么? 若使  $f2(n)$  的结果不溢出, 则最大的  $n$  是多少? 若使  $f2(n)$  的结果精确 (无舍入), 则最大的  $n$  是多少?

## 更多典型题目

1. 若用二进制数表示十进制数 0 到 999999, 则最少需要的二进制数的位数是 ( )。  
A. 6                      B. 16                      C. 20                      D. 100000
2. 在补码加法运算中, 产生溢出的情况是 ( )。  
I. 两个操作数的符号位相同, 运算时采用单符号位, 结果的符号位与操作数相同  
II. 两个操作数的符号位相同, 运算时采用单符号位, 结果的符号位与操作数不同  
III. 运算时采用单符号位, 结果的符号位和最高数位不同时产生进位  
IV. 运算时采用单符号位, 结果的符号位和最高数位相同时产生进位  
V. 运算时采用双符号位, 运算结果的两个符号位相同  
VI. 运算时采用双符号位, 运算结果的两个符号位不同  
  
A. I, III, V                      B. II, IV, VI  
C. II, III, VI                      D. I, III, VI
3. 计算机中常采用下列几种编码表示数据, 其中,  $\pm 0$  编码相同的是 ( )。  
I. 原码    II. 反码    III. 补码    IV. 移码  
A. I 和 III                      B. II 和 III                      C. III 和 IV                      D. I 和 IV
4. 如果  $X$  为负数, 则已知  $[X]$  补, 求  $[-X]$  补的方法是 ( )。  
A.  $[X]$  补各值保持不变  
B.  $[X]$  补符号位变反, 其他各位不变  
C.  $[X]$  补除符号位外, 各位变反, 末位加 1  
D.  $[X]$  补连同符号位一起各位变反, 末位加 1
5. 某计算机字长 8 位, 采用补码表示小数。若某数真值为 -0.1001, 则它在该计算机中的机器数形式为 ( )。  
A. 10111                      B. 10110111                      C. 10111000                      D. 10110000
6. 原码乘法是 ( )。  
A. 先取操作数绝对值相乘, 符号位单独处理  
B. 用原码表示操作数, 然后直接相乘

- C. 被乘数用原码表示，乘数取绝对值，然后相乘  
D. 乘数用原码表示，被乘数取绝对值，然后相乘
7. 某机器字长 64 位，其中一位符号位，定点小数补码的最大数、最小数分别为（ ）。
- A.  $1-2^{-64}$  和  $2^{-64}-1$   
B.  $1-2^{-63}$  和  $2^{-63}-1$   
C.  $1-2^{-64}$  和  $-1$   
D.  $1-2^{-63}$  和  $-1$
8. 若  $[x]_{\text{补}} = 0.1101010$ ，则  $[x]_{\text{原}} =$ （ ）。
- A. 1.0010101      B. 1.0010110      C. 0.0010110      D. 0.1101010
9. 原码加减交替除法又称为不恢复余数法，因此（ ）。
- A. 不存在恢复余数的操作  
B. 当某一步运算不够减时，做恢复余数的操作  
C. 仅当最后一步余数为负时，做恢复余数的操作  
D. 当某一步余数为负时，做恢复余数的操作
10. 移码表示法主要用于表示（ ）数的阶码 E，以利于比较两个（ ）的大小和（ ）操作。
- A. 浮点，指数，对阶  
B. 定点，指数，对阶  
C. 浮点，数符，对阶  
D. 定点，数符，对阶
11. 若定点整数 64 位，含 1 位符号位，补码表示，则所能表示的绝对值最大的负数为（ ）。
- A.  $-2^{54}$   
B.  $-(2^{64}-1)$   
C.  $-2^{63}$   
D.  $-(2^{63}-1)$
12. 下列编码中，不用于表示字符的是（ ）。
- A. BCD      B. EBCDIC      C. Unicode      D. ASCII
13. 若用双符号位，则发生正溢出的特征是（ ）。
- A. 00      B. 01      C. 10      D. 11

14. 浮点加、减中的对阶应（ ）。
- 将较小的一个阶码调整到与较大的一个阶码相同
  - 将较大的一个阶码调整到与较小的一个阶码相同
  - 将被加数的阶码调整到与加数的阶码相同
  - 将加数的阶码调整到与被加数的阶码相同
15. 下列关于汉字编码的说法中，错误的是（ ）。
- 用于输入汉字的编码称为输入码或外码
  - 用于输出汉字的编码称为字模码
  - 计算机存储、处理汉字所使用的编码称为机内码或内码
  - 输入码或外码与汉字字符的对应关系是一一对应的关系
16. 海明校验码是在  $n$  个信息位之外增设  $k$  个校验位，从而形成一个  $k+n$  位的新的码字，使新的码字的码距比较均匀地拉大。 $n$  与  $k$  的关系是（ ）。
- $2^k - 1 \geq n + k$
  - $2^k - 1 \leq n + k$
  - $n = k$
  - $n - 1 = k$
17. 某浮点机字长 8 位，尾数和阶码都采用补码形式，且运算过程中数符和阶符都采用双符号位，基数为 2。则浮点加减运算过程中，当出现下列哪种情况时，需要左规？（ ）
- 尾数相加后，数符为“01”
  - 尾数相加后，数符为“10”
  - 尾数相加结果为“00.1xxxxxx”
  - 尾数相加结果为“11.1xxxxxx”
18. 不属于组合逻辑电路的是（ ）。
- 加法器与 ALU
  - 译码器与数据选择器
  - 串行加法器与超前进位加法器
  - 移位寄存器与计数器
19. 关于 ALU 的叙述中，不正确的是（ ）。
- ALU 是功能较强的组合电路
  - ALU 的基本逻辑结构是超前进位加法器
  - ALU 的输入只有参加运算的两个数，输出是两个数的和
  - SN74181 是典型的 4 位 ALU
20. 下列叙述中，不正确的是（ ）。
- 串行加法器位数越多加法时间越长
  - 超前进位加法器位数越多高位电路越复杂
  - 串行加法器比超前进位加法器的加法时间长的原因
  - 串行加法器比超前进位加法器的加法时间长的原因是串行加法器高位电路复杂

21. 定点加法器完成加法操作时，若次高位的进位与最高位的进位不同，即这两个进位信号“异或”运算的结果为 1，则称发生了（ ）。  
A. 故障                      B. 上溢                      C. 下溢                      D. 溢出
22. 已知 CRC 校验的一个数据字为：100101011001B，设采用的生成多项式为： $G(x) = x^2 + 1$ ，则校验码为（ ）。  
A. 0011B                      B. 0010B                      C. 011B                      D. 010B
23. 下列关于浮点数的说法中，正确的是（ ）。  
A. 无论基数取何值，当尾数（以原码表示）小数点后第 1 位不为 0 时即为规格化  
B. 阶码采用移码的目的是便于移动浮点数的小数点位置以实现规格化  
C. 浮点数加、减运算的步骤是对阶、尾数求和、规格化、舍入处理、判断溢出  
D. IEEE754 标准规定规格化数在二进制小数点后面隐含一位的“1”
24. 当且仅当（ ）发生时，认为浮点数溢出。  
A. 阶码上溢                      B. 尾数上溢  
C. 尾数与阶码同时上溢                      D. 尾数或阶码上溢
25. 设数据码字为 10010011，采用汉明码进行校验，若仅考虑纠正一位错，则必须加入的（冗余）位数是（ ）。  
A. 2                      B. 3                      C. 4                      D. 5
26. 接收到的（偶性）汉明码为 1001101B，其中的信息为（ ）。  
A. 1001                      B. 0011                      C. 0110                      D. 0100
27. 在字长为 8 位的定点整数计算机中，无符号整数  $X=246$ ，则  $[-X]$  补码为（ ）。  
A. 00001010B                      B. 11110110B  
C. 01110110B                      D. 11111011B
28. 对于长度固定的浮点数，若尾数的位数增加、阶码的位数减少，则（ ）。  
A. 可表示浮点数的范围与表示精度不变  
B. 可表示浮点数的范围与表示精度增加  
C. 可表示浮点数的范围增加，但表示精度降低  
D. 可表示浮点数的范围变小，但表示精度提高
29. 下列关于机器零的说法中，正确的是（ ）。  
A. 发生“下溢”时，浮点数被当作机器零，机器将暂停运行，转去处理“下溢”  
B. 只有以移码表示阶码时，才能用全 0 表示机器零的阶码  
C. 机器零属于规格化的浮点数  
D. 定点数中的零也是机器零

## 综合题

1. 双符号位的作用是什么？它只出现在什么部件中？
2. 如果要对 8 位数据进行汉明校验，需要设置的校验位数有几位？设计该汉明校验码的编码。
3. 假定  $X=0.0110011 \times 2^{11}$ ， $Y=0.1101101 \times 2^{-10}$ （此处的数均为二进制）。
  - （1）浮点数阶码用 4 位移码、尾数用 8 位原码表示（含符号位），写出该浮点数能表示的绝对值最大、最小的（正数和负数）数值；
  - （2）写出 X、Y 正确的浮点数表示（注意，此处预设了个小陷阱）；
  - （3）计算 X+Y。
4. 假定  $X=0.0110011 \times 2^{11}$ ， $Y=0.1101101 \times 2^{-10}$ （此处的数均为二进制），计算 X+Y。
5. 已知 32 位寄存器中存放的变量 x 的机器码为 C0000004H，请问：
  - （1）当 x 是无符号整数时，x 的真值是多少？x/2 的真值是多少？x/2 存放在 R1 中的机器码是什么？2x 的真值是多少？2x 存放在 R1 中的机器码是什么？
  - （2）当 x 是带符号整数（补码）时，x 的真值是多少？x/2 的真值是多少？x/2 存放在 R1 中的机器码是什么？2x 的真值是多少？2x 存放在 R1 中的机器码是什么？

## 第三章 存储系统

### 存储系统大纲内容

- 存储器的分类
- 存储器的层次化结构  
SRAM 存储器的工作原理，DRAM 存储器的工作原理，只读存储器随机存储器主存储器与 CPU 的连接双口，RAM 和多模块存储器
- 高速缓冲存储器  
Cache 的基本工作原理，Cache 和主存之间的映像方式，Cache 中主存块的替换算法，Cache 写策略
- 虚拟存储器  
虚拟存储器的基本概念，页式虚拟存储器，段式虚拟存储器，段页式虚拟存储器，TLB

### 基本知识

- 存储器层次结构
- 半导体随机存取存储器
- 只读存储器
- 主存储器与 CPU 的连接
- 存储容量的扩展
- 双口 RAM 和多模块存储器
- 高速缓冲存储器
- 程序访问的局部性原理
- Cache 的基本工作原理
- Cache 和主存之间的映射方式
- Cache 中主存块的替换算法
- 虚拟存储器

### 一、基本概念

本章的基本概念较多, 在客观题中经常考到。

1. 下列有关 RAM 和 ROM 的叙述中, 正确的是()  
I . RAM 是易失性存储器, ROM 是非易失性存储器  
II . RAM 和 ROM 都采用随机存取方式进行信息访问  
III. RAM 和 ROM 都可用作 Cache  
IV. RAM 和 ROM 都需要进行刷新  
  
A. 仅 I 和 II              B. 仅 II 和 III              C. 仅 I , II 和 III              D. 仅 II , III 和 IV
2. 主存储器和 CPU 之间增加 Cache 的目的是()。  
A. 解决 CPU 和主存之间的速度匹配问题  
B. 扩大主存储器容量  
C. 扩大 CPU 中通用寄存器的数量  
D. 既扩大主存储器容量, 又扩大 CPU 中通用寄存器的数量

3. 某 SRAM 芯片, 其容量为 1MX8 位, 除电源和接地端外, 控制端有 E 和 R/W, 该芯片的管脚引出线数目是( )。

- A. 20                  B. 28                  C. 30                  D. 32

4. 在下列因素中, 与 Cache 的命中率无关的是( )。

- A. Cache 块的大小                  B. Cache 的容量  
C. 主存的存取时间                  D. 替换算法

5. Cache 的地址映像中, 若主存中的任一块均可映像到 Cache 内的任一块的位置上, 称为( )

- A. 直接映像                  B. 全相联映像  
C. 组相联映像                  D. 段组相联映像

6. 动态半导体存储器的特点是( )。

- A. 在工作中存储器内容会产生变化  
B. 每次读出后, 需要根据原存内容重新写入一遍  
C. 每隔一定时间, 需要根据原存内容重新写入一遍  
D. 在工作中需要动态地改变访存地址

## 二、存储器的编制范围

本类题考查寻址范围与主存编址单位的关系, 在存储容量一定的情况下, 编址单位越小, 表示这些存储单元所需的地址位数越多, 寻址范围越大。此类题的解题要点是根据编址单位求出给定的存储器的存储单元数, 存储单元数即为寻址范围。

7. 设有一个 1MB 容量的存储器, 字长 32 位, 问:

- (1) 按字节编址, 地址寄存器、数据寄存器各为多少位? 编址范围多大?  
(2) 按字编址, 地址寄存器、数据寄存器各为多少位? 编址范围多大?

8. 某计算机字长 32 位, 其存储容量为 8MB, 若按字编址, 它的寻址范围是( )。

- A. 0~256K                  B. 0~512K                  C. 0~1M                  D. 0~2M

## 三、半导体存储器与 CPU 连接

解答此类问题的关键是: 明确所给存储芯片的外部引脚(地址线、数据线、读/写控制线)有 1 哪些, CPU 用于访问存储器的数据线、地址线、控制线有哪些。

9. 假定用若干个  $2K \times 4$  位芯片组成一个  $8K \times 8$  位存储器, 则地址 0B1FH 所在芯片的最小地址是( )。

- A. 0000H                  B. 0600H                  C. 0700H                  D. 0800H

10. 某半导体存储器容量为 14KB, 其中 0000H~1FFFH 为 ROM 区, 2000H~37FFH 为 RAM 区, 地址总线 A15~A0, (低), 双向数据总线 D7~D0, (低), 读/写控制线 R/W. 可选用的存储芯片有 EPROM4KB/片, RAM2KX4/片。

- (1) 说明加到各芯片的地址值。



| 芯片    | A <sub>15</sub> | A <sub>14</sub> | A <sub>13</sub> | A <sub>12</sub> | A <sub>11</sub> | A <sub>10</sub> | A <sub>9</sub> | A <sub>8</sub> | A <sub>7</sub> | A <sub>6</sub> | A <sub>5</sub> | A <sub>4</sub> | A <sub>3</sub> | A <sub>2</sub> | A <sub>1</sub> | A <sub>0</sub> |
|-------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| ROM1# | 0               | 0               | 0               | 0               | 0               | 0               | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| (4K)  | 0               | 0               | 0               | 0               | 1               | 1               | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |
| ROM2# | 0               | 0               | 0               | 1               | 0               | 0               | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| (4K)  | 0               | 0               | 0               | 1               | 1               | 1               | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |
| RAM1# | 0               | 0               | 1               | 0               | 0               | 0               | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| (2K)  | 0               | 0               | 1               | 0               | 0               | 1               | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |
| RAM2# | 0               | 0               | 1               | 0               | 1               | 0               | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| (2K)  | 0               | 0               | 1               | 0               | 1               | 1               | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |
| RAM3# | 0               | 0               | 1               | 1               | 0               | 0               | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |
| (2K)  | 0               | 0               | 1               | 1               | 0               | 1               | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |

11. 已知某 16 位机的主存采用半导体存储器, 地址码为 18 位, 若使用 8K×4 位 SRAM 芯片组成该机所允许的最大主存空间, 并选用模块板结构形式, 问:

- (1) 若每个模板为 32K×18 位, 共需几个模板板?
- (2) 每个模块内共有多少片 RAM 芯片? 如何连接? 主存共需多少 RAM 芯片?
- (3) CPU 如何选择模板板?

12. 若存储芯片容量为 128K×8 位, 求:

- (1) 访问该芯片需要多少位地址。
- (2) 假定该芯片在存储器中首地址为 A0000H, 末地址应为多少?

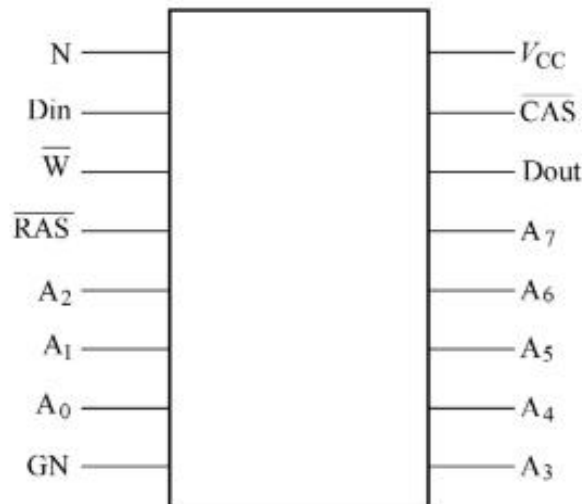
13. 假设有一个 16K×16 位存储器, 由 1K×4 位的动态 RAM 芯片构成 (芯片内是 64×64 矩阵结构), 问:

- (1) 总共需要多少 RAM 芯片?
- (2) 异步方式刷新, 如单元刷新间隔不超过 2ms, 则刷新信号周期是多少?
- (3) 如果采用集中刷新方式, 对全部存储单元刷新一遍, 最少需要多少个存储器读/写周期?

#### 四、动态 RAM (DRAM) 的刷新

14. 下图是某存储芯片的引脚图, 请回答:

- (1) 这个存储芯片为何种类型 (是 RAM 还是 ROM)? 这个存储芯片的容量多大?
- (2) 若地址线增加 1 根, 存储芯片的容量将变为多少?
- (3) 这个芯片是否需要刷新? 为什么? 刷新和重写有什么区别?
- (4) 如果需要刷新, 请指出芯片刷新一遍需要多长时间 (设存取时间为 0.5us) 及你准备选择的刷新方式, 需说明理由。



### 五、Cache 的地址映像规则

15. 某计算机的 Cache 共 16 块, 采用 2 路组相联映像方式 (即每组 2 块), 每个主存块大小为 32B, 按字节编址。主存 129 号单元所在的主存块应装入到 Cache 的组号是 ( )。

- A. 0      B. 2      C. 4      D. 6

16. 某计算机主存容量为 1MB, Cache 大小为 64KB, 块大小为 16B, 若采用两路组相联映像, 请回答:

(1) 主存地址有几位? Cache 地址有几位?

(2) 请写出主存地址和 Cache 地址格式, 说明各字段的位数。

(3) 请问 Cache 的标记字段是几位? (4) 若 Cache 的存取时间是 50ns, 主存的存取时间是 2504ns, Cache 的命中率是 90%, 请问存储器的平均存取时间是多少?

### 六、Cache 命中率计算

17. 某计算机的存储系统由 Cache 和主存构成, 某程序执行过程中访存 1000 次, 其中 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率均为 ( )。

- A. 5%      B. 9.5%      C. 50%      D. 95%

18. 某计算机的主存地址空间大小为 256MB, 按字节编址, 指令 Cache 和数据 Cache 分离, 均有 8 个 Cache 行, 每个 Cache 行大小为 64B, 数据 Cache 采用直接映像方式, 现有两个功能相同的程序 A 和 B, 其伪代码如图所示。

```

程序 A:
Int a[256][256]
...
Int sum_array1()
{
 int i, j, sum=0;
 For(i=0; i<256; i++)
 For(j=0; j<256; j++)
 Sum+=a[i][j];
 Return sum;
}

```

```

程序 B:
Int a[256][256]
...
Int sum_array2()
{
 int i, j, sum=0;
 For(j=0; j<256; j++)
 For(i=0; i<256; i++)
 Sum+=a[i][j];
 Return sum;
}

```

假定 int 类型数据用 32 位补码表示, 程序编译时 i, j, sum 均分配在寄存器中, 数组 a 按行优先方式存放, 其地址为 320(十进制数)。请回答下列问题, 要求说明理由或给出计算过程。

- 1) 若不考虑用于 Cache 一致性维护和替换算法的控制位, 则数据 Cache 的总容量为多少?
- 2) 数组元素 a[0][31]和 a[1][1]各自所在的主存块对应的 Cache 行号分别是多少 (Cache 行号从 0 开始)?
- 3) 程序 A 和 B 的数据访问命中率各是多少? 哪个程序的执行时间更短?

### 七、虚拟存储器的工作原理

19. 主存储器容量为 4MB, 虚拟存储器容量为 1GB, 则虚拟地址和物理地址各为多少位? 根据寻址方式计算出来的有效地址是虚拟地址还是物理地址? 如果页面大小为 4KB, 页表长度是多少?

20. 某虚拟存储器, 页表存放在相联存储器中, 如表所示, 其容量为 8 个存储单元求:

- (1) 当 CPU 按虚拟地址 1 去访问主存时, 主存的实地址是多少?
- (2) 当 CPU 按虚拟地址 2 去访问主存时, 主存的实地址是多少?
- (3) 当 CPU 按虚拟地址 3 去访问主存时, 主存的实地址是多少?

| 页 号 | 该页在主存中的起始地址 | 页 号 | 该页在主存中的起始地址 |
|-----|-------------|-----|-------------|
| 33  | 42000       | 4   | 40000       |
| 25  | 38000       | 15  | 80000       |
| 7   | 96000       | 5   | 50000       |
| 6   | 60000       | 30  | 70000       |

| 虚 拟 地 址 | 虚 页 号 | 页 内 地 址 |
|---------|-------|---------|
| 1       | 15    | 0324    |
| 2       | 7     | 0128    |
| 3       | 48    |         |

### 八、虚拟存储器的页面替换算法

21. 一个程序由 5 个虚页构成, 采用 LRU 算法, 在程序执行过程中依次访问的页地址流如下:

$$P_4, P_5, P_3, P_2, P_5, P_1, P_3, P_2, P_3, P_5, P_1, P_3$$

如果在程序执行过程中每访问一个页面, 平均要对该页面内的存储单元访问 1024 次, 求访 1 存储单元的命中率 (假设分配给该程序的主存页面数为 4)。

$P =$       4      5      3      2      5      1      3      2      3      5      1      3

|   |   |   |   |   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|---|---|---|---|
| 4 | 5 | 3 | 2 | 5 | 1 | 3 | 2 | 3 | 5 | 1 | 3 |
|   | 4 | 5 | 3 | 2 | 5 | 1 | 3 | 2 | 3 | 5 | 1 |
|   |   | 4 | 5 | 3 | 2 | 5 | 1 | 1 | 2 | 3 | 5 |
|   |   |   | 4 | 4 | 3 | 2 | 5 | 5 | 1 | 2 | 2 |
|   |   |   |   | ✓ |   | ✓ | ✓ | ✓ | ✓ | ✓ | ✓ |

## 真题

1. 下列各类存储器中，不采用随机存取方式的是（ ）。  
A. EPROM                      B. CDRom                      C. DRAM                      D. SRAM
2. 根据存储器内容来进行存取的存储器称为（ ）。  
A. 双端口存储器                      B. 相联存储器  
C. 交叉存储器                      D. 串行存储器
3. 下列存储器中，在工作期间需要周期性刷新的是（ ）。  
A. SRAM                      B. SDRAM                      C. ROM                      D. FLASH
4. 下列关于内存（Flash Memory）的叙述中，错误的是（ ）。  
A. 信息可读可写，并且读、写速度一样快  
B. 存储元由 MOS 管组成，是一种半导体存储器  
C. 掉电后信息不丢失，是一种非易失性存储器  
D. 采用随机访问方式，可替代计算机外部存储器
5. 下列关于 RAM 和 ROM 的叙述中，正确的是（ ）。  
I. RAM 是易失性存储器，ROM 是非易失性存储器  
II. RAM 和 ROM 都采用随机存取方式进行信息访问  
III. RAM 和 ROM 都可用作 Cache  
IV. RAM 和 ROM 都需要进行刷新  
  
A. 仅 I 和 II                      B. 仅 II 和 III  
C. 仅 I、II 和 IV                      D. 仅 II、III 和 IV
6. 需要周期刷新的存储器是（ ）。  
A. SRAM                      B. DRAM                      C. ROM                      D. 双稳态存储器
7. 某存储器容量为 64KB，按字节编制，地址 4000H~5FFFH 为 ROM 区，其余为 RAM 区。若采用 8K×4 位的 SRAM 芯片进行设计，则需要该芯片的数量是（ ）。  
A. 7                      B. 8                      C. 14                      D. 16
8. 某计算机字长为 32 位，按字节编址，采用小端（Little Endian）方式存放数据，假定有一个 double 型变量，其机器数表示为 1122334455667788H 存放在 00008040H 开始的连续存储单元中，则存储单元 00008046H 中存放的是（ ）。  
A. 22H                      B. 33H                      C. 66H                      D. 77H
9. 某容器为 256MB 的存储器由若干 4M×8 位的 DRAM 芯片构成，该 DRAM 芯片的地址引脚和数据引脚总数是（ ）。  
A. 19                      B. 22                      C. 30                      D. 36
10. 假定用若干个 2K×4 位芯片组成的一个 8K×8 位的存储器，则地址 0B1FH 所在芯片的最

小地址是 ( )。

- A. 0000H                      B. 0600H                      C. 0700H                      D. 0800H

11. 在一个容量为 128kb 的 SRAM 存储器芯片上, 按字长 32 位编址, 其地址范围可从 0000H 到 ( )。

- A. 3FFFFH                      B. 7FFFFH                      C. 7FFFFH                      D. 3FFFFH

12. 一片容量为 64K×8 位的 SRAM 存储器芯片, 地址范围从 0000H 到 ( )。

- A. FFFFFH                      B. 7FFFFH                      C. 7FFFFH                      D. FFFFFH

13. 某计算机使用 4 体交叉编址存储器, 假定在存储器总线上出现的主存地址 (十进制) 序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是 ( )。

- A. 8004 和 8008                      B. 8002 和 8007  
C. 8001 和 8008                      D. 8000 和 8004

14. 假定主存地址为 32 位, 按字节编址, 驻村和 Cache 之间采用直接映射方式, 主存块大小为 4 个字, 每字 32 位, 采用回写 (Write back) 方式, 则能存放 4K 字数据的 Cache 的总容量的尾数至少是 ( )。

- A. 146K                      B. 147K                      C. 148K                      D. 158K

15. 假定编译器将赋值语句 “ $x=x+3$ ;” 转换为指令 “add xaddr, 3”, 其中 xaddr 是 x 对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式, 并配有相应的 TLB, 且 Cache 使用直写 (Write Through) 方式, 则完成该指令功能需要访问主存的次数至少是 ( )。

- A. 0                      B. 1                      C. 2                      D. 3

16. 某计算机按字编址, Cache 有 4 个行, Cache 和主存之间交换的块大小为 1 个字。若 Cache 的内容始终为空, 采用 2 路组相联映射方式和 LRU 替换策略。访问的主存地址依次为 0, 4, 8, 2, 0, 6, 8, 6, 4, 8 时, 命中 Cache 的次数是 ( )。

- A. 1                      B. 2                      C. 3                      D. 4

17. 某计算机的 Cache 共有 16 块, 采用 2 路组相联映射方式 (即每组 2 块)。每个主存块大小为 32 字节, 按字节编址。主存 129 号单元所在主存块应装入到的 Cache 组号是 ( )。

- A. 0                      B. 1                      C. 4                      D. 6

18. 假设某计算机. 的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中访问 Cache 缺失 (未命中) 50 次, 则 Cache 的命中率是 ( )

- A. 5%                      B. 9.5%                      C. 50%                      D. 95%

19. 在 Cache 和主存构成的二级存储体系中, Cache 的存取时间是 10ns, 主存的存取时间为 100ns, 如果希望平均存取时间不超过主存存取时间的 15%, 则 Cache 的命中率至少为 ( )。

- A. 85%                      B. 5%                      C. 95%                      D. 15%

20. 关于存储系统，以下说法中正确的是（ ）。

- A. DRAM 比 SRAM 集成度高，读写速度快
- B. 在存储系统中可以采用增加 Cache 容量的方法提高存储系统的存储容量
- C. 当连续访问的  $n$  个地址是针对  $n$  体交叉编织器的  $n$  个不同的存储体时，该  $n$  体交叉编址存储器的存取带宽是单体存储器存取带宽的  $n$  倍
- D. 信息按整数边界存储的含义是存储单元的地址必须是整数

21. 下列命中组合情况中，一次访存过程中不可能发生的是（ ）。

- A. TLB 未命中，Cache 未命中，Page 未命中
- B. TLB 未命中，Cache 命中，Page 命中
- C. TLB 命中，Cache 未命中，Page 命中
- D. TLB 命中，Cache 命中，Page 未命中

22. 某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32 字节；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32 字节，传送地址或 32 位数据均需要一个总线时钟周期。

请回答下列问题，要求给出理由或计算过程。

- (1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- (2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- (3) 存储器总线完成依次读突发传送总线事务所需的时间是什么？
- (4) 若程序 BP 执行过程中，共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

23. 假定某计算机的 CPU 主频为 80MHz，CPI 为 4，平均每条指令访存 1.5 次，主存与 Cache 之间交换的块大小为 16B，Cache 的命中率为 99%，存储器总线宽度为 32 位。

请回答下列问题。

- (1) 该计算机的 MIPS 数是多少？平均每秒 Cache 缺失的次数是多少？在不考虑 DMA 传送情况下，主存带宽至少达到多少才能满足 CPU 的访存要求？
- (2) 假定在 Cache 缺失的情况下访问主存时，存在 0.0005% 的缺页率，则 CPU 平均每秒产生多少次缺页异常？若页面大小为 4KB，每次缺页都需要访问磁盘，访问磁盘时 DMA 传送采用周期挪用方式，磁盘 I/O 接口的数据缓冲寄存器为 32 位，则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少？
- (3) CPU 和 DMA 控制器同时要求使用存储器总线时，哪个优先级更高？为什么？
- (4) 为了提高性能，主存采用 4 体低位交叉存储模式，工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns，则该主存能提供的最大宽度是多少？

24. 某高级语言语句“for (i = 0; i < N; i++) sum = sum + a[i];”，其中  $N=100$ ，假定数组  $a$  中每个元素都是 int 类型，依次连续存放在首地址为 0x00000800 的内存区域中， $\text{sizeof(int)}=4$ 。运行上述代码的处理器带有一个数据区容量为 64KB 的 data cache，其主存块大小为 256B，采用直接映射、随机替换和直写 (Write#Through) 方式；可殉职的最大主存地址空间为 4GB，配置的主存容量为 2GB，按字节编址。请回答下列问题。

- (1) 主存地址至少占几位？

- (2) data cache 共有多少行？主存地址如何划分？  
(3) 数组 a 占用几个主存块？所存放的主存块号分别是什么？  
(4) 在访问数组 a 的过程中数据的缺失率为多少？

## 更多典型题

1. 下列关于存储系统层次结构的说法中，不正确的是（ ）。
  - A. 存储层次结构中，离 CPU 越近的存储器速度越快，价格越贵，容量越小
  - B. Cache-主存层次设置的目的是为了提高主存的等效访问速度
  - C. 主存-辅存层次设置的目的是为了提高主存的等效存储容量
  - D. 存储系统层次结构对程序员都是透明的
2. 存储器的存取周期与存储器的存取时间的关系是（ ）。
  - A. 存取周期大于存取时间
  - B. 存取周期等于存取时间
  - C. 存取周期小于存取时间
  - D. 存取周期与存取时间关系不确定
3. 以下几种存储器中，存取速度最快的是（ ）。
  - A. Cache
  - B. 寄存器
  - C. 内存
  - D. 光盘
4. 属于易失性存储器的是（ ）。
  - A. E2PROM
  - B. Cache
  - C. Flash Memory
  - D. CD-ROM
5. 虚拟存储器理论上的最大容量取决于（ ）。
  - A. 辅存容量
  - B. 主存容量
  - C. 虚地址长度
  - D. 实地址长度
6. 下列存储保护方案中，不是针对“地址越界”访存违例的是（ ）。
  - A. 界限保护
  - B. 键保护
  - C. 环保护
  - D. 设置访问权限位
7. 下列关于 DRAM 刷新的说法中，错误的是（ ）。
  - A. 刷新是指对 DRAM 中的存储电容重新充电
  - B. 刷新是通过对存储单元进行“读但不输出数据”的操作来实现
  - C. 由于 DRAM 内部设有专门的刷新电路，所以访存期间允许进行刷新
  - D. 刷新期间不允许访存，这段时间称为“访存死区（也叫死时间）”
8. 下列关于 ROM 和 RAM 的叙述中，正确的是（ ）。
  - A. CD-ROM 实质上是 ROM
  - B. Flash 是对 RAM 的改进，可以实现随机存取
  - C. RAM 的读出方式是破坏性读出，因此读后需要再生
  - D. 只有 DRAM 读后需要刷新

9. 下面是有关 DRAM 和 SRAM 存储器芯片的叙述：
- I. DRAM 芯片的集成度比 SRAM 高
  - II. DRAM 芯片的成本比 SRAM 高
  - III. DRAM 芯片的速度比 SRAM 快
  - IV. DRAM 芯片工作时需要刷新，SRAM 芯片工作时不需要刷新通常情况下，错误的是（ ）。
- A. I 和 II                      B. II 和 III                      C. III 和 IV                      D. I 和 IV
10. 下列关于 DRAM 刷新的说法中，错误的是（ ）。
- A. 刷新操作按行进行，一次刷新一行中的全部存储单元
  - B. 刷新所需的行地址由 DRAM 内部的刷新计数器（行地址生成器）给出
  - C. 集中刷新的“死时间”要大于异步刷新的“死时间”
  - D. 分散刷新方式同样存在“死时间”
11. 下列关于 Cache 的说法中，正确的是（ ）。
- A. 采用直接映像时，Cache 无需考虑替换问题
  - B. 如果选用最优替换算法，则 Cache 的命中率可以达到 100%
  - C. Cache 本身的速度越快，则 Cache 存储器的等效访问速度就越快
  - D. Cache 的容量与主存的容量差别越大越好
12. “小端次序”的机器上，四字节数据 12345678H 按字节地址由小到大依次存在为（ ）。
- A. 12345678H                      B. 56781234H  
C. 34127856H                      D. 78563412H
13. 为了提高访问主存中信息的速度，要求“信息按整数边界存储（对齐方式存储）”，其含义是（ ）。
- A. 信息的字节长度必须是整数
  - B. 信息单元的存储地址是其字节长度的整数倍
  - C. 信息单元的字节长度必须是整数
  - D. 信息单元的存储地址必须是整数
14. 某存储系统中，主存容量是 Cache 容量的 1024 倍，Cache 被分为 8 个块，当主存地址和 Cache 地址采用直接映像方式时，地址映射表的大小应为（ ）。（假设不考虑一致维护位。）
- A.  $6 \times 1025\text{bits}$                       B.  $8 \times 10\text{bits}$   
C.  $6 \times 1024\text{bits}$                       D.  $8 \times 11\text{bits}$
15. 下面说法中正确的是（ ）。
- A. 有了稳定的地址和写入的数据，再有了片选信号才能给出写命令，以便保证无误的写操作
  - B. 有了稳定的地址与片选信号才可以读
  - C. 信号应有一定的持续时间，以保证读写操作得以正常完成
  - D. 以上说法都正确



16. 虚拟存储器中的页表有快表和慢表之分，下面关于页表的叙述中正确的是（ ）。
- 快表与慢表都存储在主存中，但快表比慢表容量小
  - 快表采用了优化的搜索算法，因此查找速度快
  - 快表比慢表的命中率高，因此快表可以得到更多的搜索结果
  - 快表采用高速存储器件组成，按照查找内容访问，因此比慢表查找速度快
17. 已知 Cache 命中率  $H=0.98$ ，主存比 Cache 慢 4 倍，已知主存的存取周期为 200ns，Cache/主存的效率是（ ）。
- 0.92
  - 0.94
  - 0.96
  - 0.98
18. 已知 Cache 命中率  $H=0.98$ ，主存比 Cache 慢 4 倍，已知主存的存取周期为 200ns，平均访问时间是（ ）。
- 125ns
  - 75ns
  - 55ns
  - 53ns
19. CPU 执行一段程序时，Cache 完成存取的次数为 3800 次，主存完成存取的次数为 200 次，已知 Cache 存取周期为 50ns，主存为 250ns，那么 Cache/主存系统的效率为（ ）。
- 86.3%
  - 87.2%
  - 83.3%
  - 85.5%
20. 下列关于 Cache 和虚拟存储器的叙述中，正确的是（ ）。
- 当 Cache 没有命中时，会引起处理器切换进程，以更新 Cache 中的内容
  - 当虚拟存储器失效（如缺页）时，处理器将会切换进程，以更新主存中的内容
  - Cache 和虚拟存储器由硬件和操作系统共同实现，对应用程序员均是透明的
  - 虚拟存储器的容量等于主存和辅存的容量之和
21. 影响高速缓存命中率的因素有（ ）。
- 每次与内存交换信息的单位量
  - Cache 的容量
  - Cache 结构
  - 不同映像方式
  - 主存的大小
- I、II、III、IV
  - I、II 和 III
  - I、III 和 IV
  - 只有 I
22. 设某按字节编址的计算机已配有 00000H~07FFFH 的 ROM 区，地址线为 20 位，现再用 16K×8 位的 RAM 芯片构成剩下的 RAM 区 08000H~FFFFFH，则需要这样的 RAM 芯片（ ）片。
- 61
  - 62
  - 63
  - 64
23. 下列关于相联存储器的说法中，错误的是（ ）。
- 相联存储器指的是按内容访问的存储器
  - 在实现技术相同的情况下，容量较小的相联存储器速度较快
  - 相联存储器结构简单，价格便宜
  - 在存储单元数目不变的情况下，存储字长变长，相联存储器的访问速度下降

24. 下列关于 DRAM 和 SRAM 的说法中, 错误的是 ( )。

- I. SRAM 不是易失性存储器，而 DRAM 是易失性存储器
- II. DRAM 比 SRAM 集成度更高，因此读写速度也更快
- III. 主存只能由 DRAM 构成，而高速缓存只能由 SRAM 构成
- IV. 与 SRAM 相比，DRAM 由于需要刷新，所以功耗较高

- A. II、III和IV  
B. I、III和IV  
C. I、II和III  
D. I、II、III和IV

25. 某机字长 32 位, 主存容量 1MB, 按字编址, 块长 512B, Cache 共可存放 16 个块, 采用直接映射方式, 则 Cache 地址长度为 ( )。

- A. 11 位    B. 13 位    C. 18 位    D. 20 位

26. 在 Cache 和主存构成的两级存储体系中, Cache 的存取时间是 100ns, 主存的存取时间是 1000ns。如果希望有效 (平均) 存取时间不超过 Cache 存取时间的 15%, 则 Cache 的命中率至少应为 ( )。

- A. 90%                      B. 98%                      C. 95%                      D. 99%

27. 下列关于 Cache 写策略的论述中, 错误的是 ( )。

- A. 全写法（写直达法）充分保证 Cache 与主存的一致性
- B. 采用全写法时，不需要为 Cache 行设置“脏位/修改位”
- C. 写回法（回写法）降低了主存带宽需求（即减少了 Cache 与主存之间的通信量）
- D. 多处理器系统通常采用写回法

28. 假定用若干个  $8\text{K} \times 8$  位的芯片组成一个  $32\text{K} \times 32$  位的存储器, 则地址  $41\text{F0H}$  所在芯片的最大地址是 ( )。

- A. 0000H      B. 4FFFH      C. 5FFFH      D. 7FFFH

29. 某机器采用四体低位交叉存储器，现分别执行下述操作：

- (1) 读取 6 个连续地址单元中存放的存储字, 重复 80 次;
- (2) 读取 8 个连续地址单元中存放的存储字, 重复 60 次;

则 (1)、(2) 所花时间之比为 ( )。

- A. 1:1                      B. 2:1                      C. 4:3                      D. 3:4

30. 某计算机的存储系统由 Cache-主存系统构成, Cache 的存取周期为 10ns, 主存的存取周期为 50ns。在 CPU 执行一段程序时, Cache 完成存取的次数为 4800 次, 主存完成的存取次数为 200 次, 该 Cache-主存系统的效率是 ( )。(设 Cache 和主存不能同时访问。)

- A. 0.833                      B. 0.856                      C. 0.958                      D. 0.862

31. 某机字长 32 位，主存容量 1MB，按字编址，块长 512B，Cache 共可存放 16 个块，采用直接映像方式，则 Cache 地址长度为（ ）。

- A. 11 位                      B. 13 位                      C. 18 位                      D. 20 位

32.  $n$  体（模  $n$ ）交叉编址存储器在（ ）时，其存取带宽是单体存储器的  $n$  倍。
- 连续访存的  $n$  个地址是针对同一个存储模块
  - 任何情况下都能
  - 连续访存的  $n$  个地址是针对不同的存储模块
  - 任何情况下都不能
33. 设有主存-Cache 层次的存储器，其主存容量 1MB，Cache 容量 16KB，每字块有 8 个字，每字 32 位，采用直接地址映像方式。若主存地址为 35301H，且 CPU 访问 Cache 命中，则该主存块在 Cache 的第（ ）字块中（Cache 起始字块为第 0 字块）。
- 152
  - 153
  - 154
  - 151
34. 双端口存储器在（ ）发生访问冲突。
- 左端口与右端口同时被访问的情况下
  - 同时访问左端口与右端口的地址码不同的情况下
  - 同时访问左端口与右端口的地址码相同的情况下
  - 任何情况下都不
35. 下列关于双端口存储器和交叉存储器的叙述中，正确的是（ ）。
- 双端口存储器两个端口使用同一组地址线、数据线和读写控制线，同时访问同一区间、同一单元。
  - 双端口存储器当两个端口同时访问相同的地址码时必然会发生冲突
  - 高位多体交叉存储器的设计依据了程序的局部性原理
  - 高位四体交叉存储器可能在一个存储周期内连续访问四个模块
36. 下列关于主存一体多字和多体交叉方案的叙述中，不正确的是（ ）。
- 主存一体多字使每个主存单元同时存储几个主存字，则每一次读操作就同时读出几个主存字，大大提高了主存读出一个字的平均速度
  - 多体交叉编址把主存储器分成几个能独立读写的、字长为多个主存字的主体
  - 主存一体多字需要把每次读出的几个主存字保存在一个位数足够长的存储器中
  - 多体交叉编址按读写需要情况，分别对每个存储体执行读写，几个存储体协同运行，提高了存储体的读写速度
37. 设存储器容量为 32 字，字长为 64 位。模块数  $m=4$ ，采用低位交叉方式。存储周期  $T=200\text{ns}$ ，数据总线宽度为 64 位，总线传输周期  $r=50\text{ns}$ 。该交叉存储器的带宽是（ ）。
- $32 \times 10^7 \text{b/s}$
  - $8 \times 10^7 \text{b/s}$
  - $73 \times 10^7 \text{b/s}$
  - $18 \times 10^7 \text{b/s}$
38. 某机器采用四体低位交叉存储器，现分别执行下述操作：
- 读取 6 个连续地址单元中存放的存储字，重复 80 次；
  - 读取 8 个连续地址单元中存放的存储字，重复 60 次。
- 则（1）和（2）所花时间之比为（ ）。
- 1:1
  - 2:1
  - 4:3
  - 3:4

39. 设  $n$  体交叉编址（低位交叉）存储器中每个体的存储字长等于数据总线宽度，每个体存取一个字的存取周期为  $T$ ，总线传输周期为  $t$ ，则  $T$  与  $t$  的关系以及读取地址连续的  $n$  个字需要的时间分别是（ ）。

- A.  $T=t, T+nt$
- B.  $T=(n-1)t, T+nt$
- C.  $T=nt, T+nt$
- D.  $T=nt, T+(n-1)t$

40. 实现虚拟存储器的关键是虚拟地址向实际地址的快速变换。为此，在处理器内部设置一个特殊的 Cache 来记录最近使用页的页表项，以快速完成地址转换。不同文献对这个特殊的 Cache 有不同的称呼。下列选项中，不属于这些称呼的是（ ）。

- A. 转换旁视缓冲器（TLB）
- B. 转换后援缓冲器
- C. 快表
- D. 慢表

41. 虚拟存储器不能解决的问题是（ ）。

- A. 存储系统成本高
- B. 编程空间受限
- C. 访存速度慢
- D. 多道程序共享主存而引发的信息安全

## 第四章 指令系统

### 指令 考纲内容

#### (一) 指令格式

1. 指令的基本格式
2. 定长操作码指令格式
3. 扩展操作码指令格式

#### (二) 指令的寻址方式

1. 有效地址的概念
2. 数据寻址和指令寻址
3. 常见寻址方式

#### (三) CISC 和 RISC 的基本概念

### 一、指令设计

1. 某计算机字长为 16 位, 主存地址空间大小为 128K, 按字编址。采用单字长指令格式, 指令各字段定义为 OP(15~12), Ms/Rs 源操作数(11~6), Md/Rd 目的操作数(5~0)。转移指令采用相对寻址方式, 相对偏移量用补码表示。寻址方式定义如下:

| Ms/Rs | 寻址方式      | 助记符       | 含 义                                           |
|-------|-----------|-----------|-----------------------------------------------|
| 000B  | 寄存器直接     | $R_n$     | 操作数 = $(R_n)$                                 |
| 001B  | 寄存器间接     | $(R_n)$   | 操作数 = $((R_n))$                               |
| 010B  | 寄存器间接, 自增 | $(R_n) +$ | 操作数 = $((R_n))$ , $(R_n) + 1 \rightarrow R_n$ |
| 011B  | 相对        | $D(R_n)$  | 转移目标地址 = $(PC) + (R_n)$                       |

请回答下列问题:

- (1). 该指令系统最多可有多少条指令?该计算机最多有多少个通用寄存器?存储器地址寄存器(MAR)和存储器数据寄存器(MDR)至少各需要多少位?转移指令的目标地址范围是多少?
- (2). 若操作码 0010B 表示加法操作(助记符为 add), 寄存器 R4 和 R5 的编号分别为 100B 和 101B, R4 的内容为 1234H, R5 的内容为 5678H, 地址 1234H 中的内容为 5678H, 地址 5678H 中的内容为 1234H, 则汇编语句“add(R4), (R5)+”(逗号前为源操作数, 逗号后为目的操作数)对应的机器码是什么(用十六进制表示)?该指令执行后, 哪些寄存器和存储单元的内容会改变?改变后的内容是什么?
2. 假设某计算机指令长度为 20 位, 具有双操作数、单操作数、无操作数三类指令格式, 规定每个操作数占 6 位, 现已设计出 m 条双操作数指令, n 条无操作数指令, 求这台计算机最多可设计出多少条单操作数指令?若操作码位数固定呢?
3. 某机器主存容量为  $4M \times 16$ , 且存储字长等于指令字长。若该机指令系统可完成 108 种操作, 操作码位数固定, 有直接寻址、间接寻址、变址寻址、基址寻址、相对寻址、立即寻址六种寻址方式, 试回答:
  - (1) 画出一地址指令格式, 并指出各字段的作用。
  - (2) 该指令直接寻址的寻址范围

- (3) 一次间接寻址和多次间接寻址的范围。
- (4) 立即数的范围(十进制表示)。
- (5) 相对寻址的位移量(十进制表示)。
- (6) 上述六种寻址方式的指令哪一种执行时间最短?哪一种最长?为什么?哪一种便于程序浮动?哪一种最适合处理数组问题?

## 真题

- 1 下列寻址方式中, 最适合按下标顺序访问一维数组元素的是 ( ) .
- A. 相对寻址                      B. 寄存器寻址
- C. 直接寻址                      D. 变址寻址
2. 某计算机按字节编址, 指令字长固定且只有两种指令格式, 其中三地址指令 29 条, 二地址指令 107 条, 每个地址字段为 6 位, 则指令字长至少应该是 ( ) .
- A. 24 位                      B. 26 位                      C. 28 位                      D. 32 位
3. 某指令格式如下所示。



- 其中 M 为寻址方式, I 为变址寄存器编号, D 为形式地址。若采用先变址后间址的寻址方式, 则操作数的有效地址是 ( )
- A. I+D                      B. (I)+D                      C. ((I)+D)                      D. ((I))+D

4. 某计算机有 16 个通用寄存器, 使用 32 位定长指令字, 操作码字段(含寻址方式位)为 8 位, Store 指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器, 且偏移量用补码表示, 则 Store 指令中偏移量的取值范围是 ( ) .
- A.  $-32768 \sim +32767$                       B.  $-32767 \sim +32768$
- C.  $-65536 \sim +65535$                       D.  $-65535 \sim +65536$

5. 假设变址寄存器 R 的内容为 1000H, 指令中的形式地址为 2000H; 地址 1000H 中的内容为 2000H, 地址 2000H 中的内容为 3000H, 地址 3000H 中的内容为 4000H, 则变址寻址方式下访问到的操作数是 ( ) .
- A. 1000H                      B. 2000H                      C. 3000H                      D. 4000H

6. 偏移寻址通过将某个寄存器内容与一个形式地址相加而生成有效地址。下列寻址方式中, 不属于偏移寻址方式的是 ( ) .
- A. 间接寻址                      B. 基址寻址                      C. 相对寻址                      D. 变址寻址

7. 某机器有一个标志寄存器, 其中有进位/借位标志 CF、零标志 ZF、符号标志 SF 和溢出标志 OF, 条件转移指令 bgt (无符号整数比较大于时转移) 的转移条件是 ( ) .
- A.  $CF+OF=1$                       B.  $SF+ZF=1$                       C.  $CF+ZF=1$                       D.  $CF+SF=1$

8. 某机器字长 16 位，主存按字节编址，转移指令采用相对寻址，由两个字节组成，第一字节为操作码字段，第二字节为相应位移量字段。假定取指令时，每取一个字节 PC 自动加 1。若某转移指令所在主存地址为 2000H，相对位移量字段的内容为 06H，则该转移指令成功转移后目标地址是（ ）。

- A. 2006H                      B. 2007H                      C. 2008H                      D. 2009H

9. 下列给出的指令系统特点中，有利于实现指令流水线的是（ ）。

- I. 指令格式规整且长度一致  
II. 指令和数据按边界对齐存放  
III. 只有 Load/Store 指令才能对操作数进行存储访问

- A. 仅 I、II                                              B. 仅 II、III  
C. 仅 I、III                                              D. I、II、III

10. 下列关于 RISC 的叙述中，错误的是（ ）。

- A. RISC 普遍采用微程序控制器  
B. RISC 大多数指令在一个时钟周期内完成  
C. RISC 的内部通用寄存器数量相对 CISC 多  
D. RISC 的指令数、寻址方式和指令格式种类相对 CISC 少

11. （ ）方式访问存储器速度最慢。

- A. 相对寻址                                              B. 寄存器间接寻址  
C. 变址寻址                                              D. 先相对后间接寻址

12. 以下寻址方式中，（ ）方式得到的操作数在通用寄存器中。

- A. 寄存器寻址                                              B. 寄存器间接寻址  
C. 直接寻址                                              D. 立即数寻址

13. 关于 RISC 指令系统，以下说法中错误的是（ ）。

- A. 指令种类较少，指令长度固定  
B. 采用较多的通用寄存器，多用组合逻辑控制实现  
C. 采用流水线技术，大多数指令可在一个时钟周期内完成  
D. 只有存数（Store）/取数（Load）指令访问存储器，采用丰富的寻址方式

### 更多典型题目

1. 在计算机系统层次结构中，处于硬件和软件交界面的是（ ）。

- A. 汇编语言                      B. 指令系统                      C. 操作系统                      D. 编译系统

2. 指令系统采用不同寻址方式的目的是（ ）。

- A. 增加内存容量                                              B. 缩短指令长度、扩大寻址空间  
C. 提高访问内存的速度                                              D. 简化指令译码电路

3. 下列指令中，对软件设计者完全透明的指令是（ ）。
- A. 机器指令                      B. 汇编指令                      C. 特权指令                      D. 微指令
4. 已知地址为 3600H 的内存单元中的内容为 00FCH，地址为 00FCH 的内存单元的内容为 3200H，而地址为 3200H 单元的内容为 FC00H，某指令操作数寻址方式为变址寻址，执行该指令时变址寄存器的内容为 0400H，指令中给出的形式地址为 3200H，则该指令操作数为（ ）。
- A. 00FCH                      B. 3200H                      C. 3600H                      D. FC00H
5. 根据计算机指令的格式，可知指令执行过程中的操作数可能存放在（ ）。
- I. 寄存器  
II. 指令本身  
III. 主存中  
IV. 控制存储器
- A. 只有 I、III                      B. 只有 II、III                      C. 只有 III、IV                      D. 只有 I、II、III
6. 下列关于机器指令的叙述中不正确的是（ ）。
- A. 机器指令系统是计算机所具有的全部指令的集合  
B. 机器指令通常包括操作码、地址码两部分，按地址个数分为零地址指令、一地址指令、二地址指令、三地址指令  
C. 机器指令的长度取决于操作码长度、操作数地址长度、操作数个数  
D. 系列计算机是指指令系统完全相同、基本体系结构相同的一系列计算机
7. 数据寻址计算的是指令操作数的地址。下列寻址方式中，寻址得到的结果不是数据的是（ ）。
- A. 间接寻址                      B. 基址寻址                      C. 相对寻址                      D. 变址寻址
8. 下列说法中不正确的是（ ）。
- A. 变址寻址时，有效数据存放在主存  
B. 堆栈是先进后出的随机存储器  
C. 堆栈指针 SP 的内容表示当前堆栈内所存放的数据个数  
D. 内存中指令的寻址和数据的寻址是交替进行的
9. 如果采用相对寻址方式，假设一条指令中的地址码为 X，可以得出其操作数的地址为（ ）。
- A. X                      B. (PC) + X                      C. X+段地址                      D. X+变址寄存器
10. 设指令中的地址码为 A，变址寄存器为 X，程序计数器为 PC，则变址间址寻址方式的操作数有效地址 EA 是（ ）。
- A. ((PC) + A)                      B. ((X) + A)                      C. (X) + (A)                      D. (X) + A
11. 下面关于各种不同的寻址方式的叙述中，说法正确的是（ ）。
- I. 确定本条指令中数据的地址或下一条指令地址的方法就称为寻址方式  
II. 立即寻址方式就是将操作数本身存放在地址码字段



III. 基址寻址用于为数据和程序分配存储区域，支持多道程序

IV. 变址寻址与基址寻址没有本质的区别

- A. 只有 I、III                  B. 只有 II、III                  C. 只有 III、IV                  D. 只有 I、II、III

12. 下列说法中，不正确的是（ ）。

- A. 使用返回指令和中断返回指令时，都无需明显给出返回地址  
B. 返回指令绝对没有操作数  
C. 中断返回指令 IRET 绝对没有操作数  
D. 返回指令可以带一个操作数

13. 堆栈中保持不变的是（ ）。

- A. 栈顶                  B. 栈底                  C. 堆栈指针                  D. 栈中的数据

14. 在通用计算机指令系统的二地址指令中，操作数的物理位置可安排在（ ）。

- A. 两个数据寄存器                  B. 一个主存单元和一个数据寄存器  
C. 两个主存单元中                  D. 以上几项均可

15. 下列说法中，不正确的是（ ）。

- A. 无条件转移指令和转子指令都会实现指令执行流的跳转  
B. 转子指令在执行完子程序后还会返回到转子指令的下条指令继续执行  
C. 无条件转移指令执行完跳转后也需要返回  
D. 转子指令执行过程中要将返回地址保存到堆栈或某个特殊寄存器中

16. 设变址寄存器为 X，形式地址为 D，(X) 表示寄存器中的内容，变址寻址方式的有效地址可表示为（ ）。

- A.  $EA = (X) + D$                   B.  $EA = (X) + (D)$   
C.  $EA = ((X) + D)$                   D.  $EA = ((X) + (D))$

17. 下列说法中，正确的是（ ）。

- A. 如果指令字长与机器字长相等，那么取指周期等于机器周期  
B. 如果指令字长与存储字长相等，那么取指周期等于机器周期  
C. 指令字长和机器字长的长度一定相等  
D. 为了硬件设计方便，指令字长都和存储字长一样

18. 设寄存器 R 的内容  $(R) = 1500H$ ，内存单元 1500H 的内容为 2500H，内存单元 2500H 的内容为 3500H，PC 的值为 4500H，采用相对寻址方式，有效地址为 2500H 的操作数是（ ）。

- A. 1500H                  B. 2500H                  C. 3500H                  D. 4500H

19. 试比较各种寻址方式的效率，以下结论中不正确的是（ ）。

- A. 立即寻址的效率高于堆栈寻址  
B. 堆栈寻址的效率高于寄存器寻址  
C. 寄存器一次间接寻址的效率高于变址寻址  
D. 变址寻址的效率高于一次间接寻址

20. 下列关于与寄存器有关的寻址方式的说法中，正确的是（ ）。
- A. 采用寄存器寻址的好处是可以缩短指令长度
  - B. 采用寄存器寻址方式的操作数一定在主存中
  - C. 采用寄存器直接寻址方式的操作数一定在寄存器中
  - D. 采用寄存器间接寻址方式的操作数一定在寄存器中
21. 假设寄存器 R 中的数值为 500，主存地址为 500 中存放的操作数是 600，主存 600 的地址单元中存放的内容是 700。如果想得到操作数为 500，那么可以选用的寻址方式包括（ ）。
- A. 直接寻址 500
  - B. 寄存器间接寻址 (R)
  - C. 存储器间接寻址 (500)
  - D. 寄存器寻址 R
22. 地址码直接给出的就是操作数本身的数值，这种寻址方式称为（ ）方式。
- A. 基址寻址
  - B. 立即寻址
  - C. 直接寻址
  - D. 间接寻址
23. 下列关于基址寻址的说法中，表述错误的是（ ）。
- A. 基址寻址扩大指令的寻址范围
  - B. 基址寻址适合于多道程序设计
  - C. 基址寄存器的内容由操作系统确定，在执行的过程中可变
  - D. 基址寄存器的内容由操作系统或管理程序确定，在执行过程中其内容不变
24. 下列关于变址寻址的说法中，不正确的是（ ）。
- A. 变址寻址扩大了指令的寻址范围
  - B. 变址寻址适合于编制循环程序
  - C. 变址寻址适合处理数组
  - D. 变址寄存器的内容由操作系统确定，在执行的过程中不可变
25. 若指令中地址码给出的是操作数有效地址，这种寻址方式称为（ ）方式。
- A. 基址寻址
  - B. 立即寻址
  - C. 直接寻址
  - D. 间接寻址
26. 程序控制类指令的功能是（ ）。
- A. 算术运算和逻辑运算
  - B. 主存和 CPU 之间的数据交换
  - C. I/O 和 CPU 之间的数据交换
  - D. 改变程序执行顺序
27. 设相对寻址的转移指令占两字节，第一字节是操作码，第二字节是相对位移量（用补码表示），每当 CPU 从存储器取出一字节时，即自动完成  $(PC) + 1 \rightarrow PC$ 。若当前 PC 的内容为 2008H，要求转移到 2001H，则该转移指令第二字节的内容为（ ）。
- A. 05H
  - B. 07H
  - C. F8H
  - D. F7H
28. 下面关于 CISC 与 RISC 各自追求的主要目标的说法中，不正确的是（ ）。
- A. CISC 追求指令系统的功能复杂和完备
  - B. CISC 是为了弥补高级语言程序和机器语言程序之间的差异
  - C. RISC 追求指令系统的精简、高效，精简高速的硬件组成
  - D. RISC 是为了弥补高级语言程序和机器语言程序之间的差异

29. CISC 与 RISC 的区别表现在 ( )。
- A. CISC 指令功能简单, 指令功能齐全
  - B. CISC 指令复杂, 指令功能齐全, 指令条数多, 并行度差
  - C. RISC 指令功能简单, 指令格式规整, 指令条数少, 并行性高
  - D. B 和 C 均正确
30. 下列关于 RISC 指令系统设计思想的说法中, 不正确的是 ( )。
- A. 指令长度固定、只有 Load/Store 指令可以访存
  - B. 指令种类较少且功能单一, 多用硬布线控制实现
  - C. 设置大量的通用寄存器, 指令和数据按边界对齐存放
  - D. 采用流水线技术, 寻址方式种类丰富
31. 计算机指令中要用到的操作数一般可以来自 ( ) 部件。
- A. 通用寄存器
  - B. 外围设备(接口)中的寄存器
  - C. 内存的存储单元
  - D. 以上答案都正确
32. 关于计算机系统中通用的寻址方式, 以下说法中不正确的是 ( )。
- A. 立即数寻址: 操作数直接给出在指令字中, 即指令字中直接给出的不再是操作数地址, 而是操作数本身
  - B. 直接寻址: 操作数地址字段直接给出操作数本身
  - C. 变址寻址: 指令字中给出的一个数值(变址偏移量)与指定的一个寄存器(变址寄存器)的内容相加之和作为操作数的地址, 用于读写存储器
  - D. 基地址寻址: 把在程序中所用的地址与一个特定的寄存器(基地址寄存器)的内容相加之和作为操作数的地址或指令的地址

### 综合题

1. 一条指令通常由哪两个部分组成? 指令的操作码一般有哪几种组织方式? 这几种方式各自应用在什么场合? 各自的优缺点是什么?
2. 根据操作数所在位置, 指出其寻址方式(填空):
  - (1) 操作数在寄存器中, 为 ( ) 寻址方式。
  - (2) 操作数地址在寄存器, 为 ( ) 寻址方式。
  - (3) 操作数在指令中, 为 ( ) 寻址方式。
  - (4) 操作数地址(主存)在指令中, 为 ( ) 寻址方式。
  - (5) 操作数的地址为某一寄存器内容与位移量之和, 可以是 ( ) 寻址方式。

## 第五章 中央处理器

### 中央处理器 大纲内容

- (一) CPU 的功能和基本结构
- (二) 指令执行过程
- (三) 数据通路的功能和基本结构
- (四) 控制器的功能和工作原理
  - 1. 硬布线控制器
  - 2. 微程序控制器
- (五) 指令流水线指令流水线的基本概念
  - 指令流水线的基本实现

### 基本内容

- CPU 的功能和基本结构
- 指令的执行过程
- 指令周期的数据流
- 控制器的功能和工作原理
- 硬布线控制器
- 微程序控制器
- 微指令的格式
- 硬布线和微程序控制器的特点和比较
- 指令流水线

### 一、CPU 的功能和基本结构

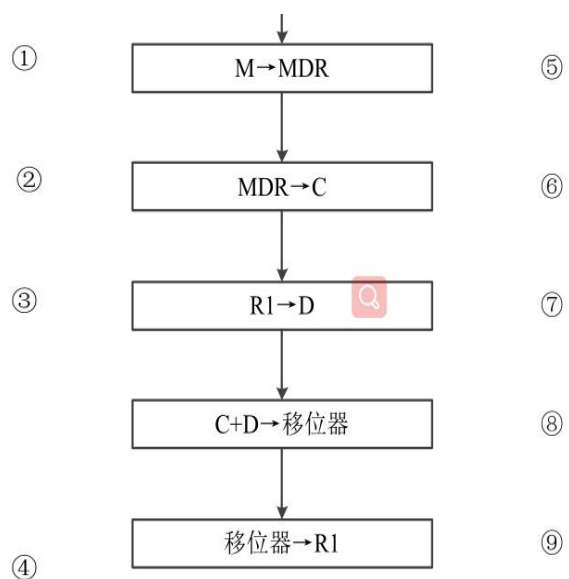
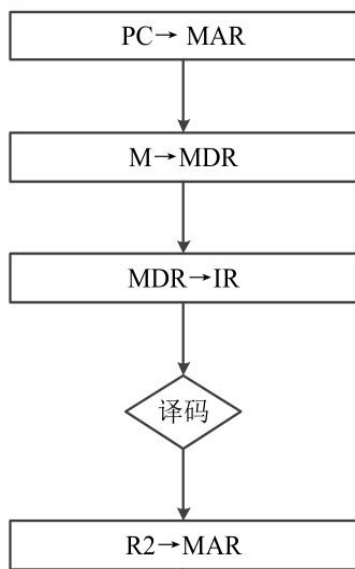
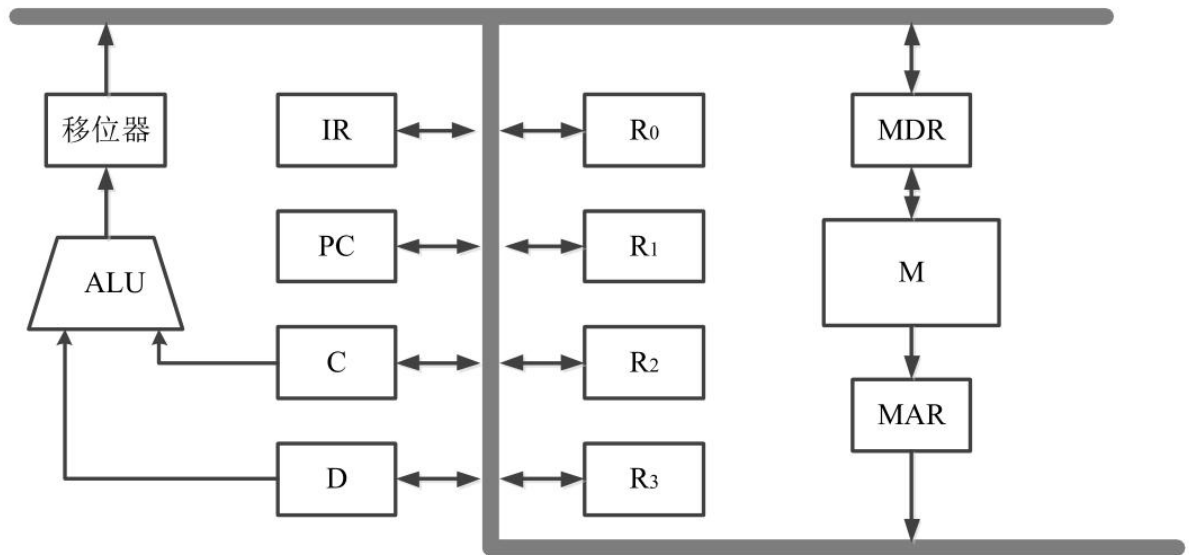
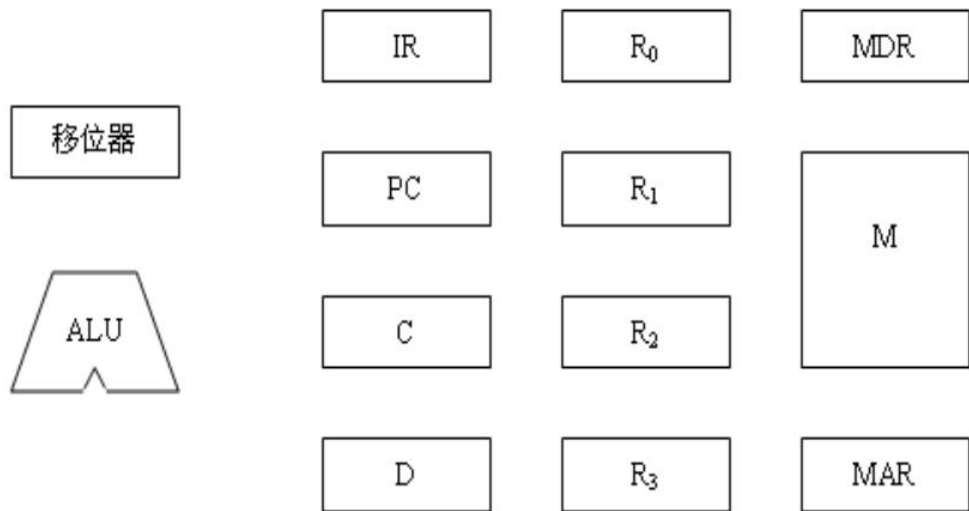
1. 在 CPU 的寄存器中，( ) 对用户是完全透明的。
  - A. 程序计数器
  - B. 状态寄存器
  - C. 指令寄存器
  - D. 通用寄存器
2. 指令寄存器的位数取决于指令寄存器的位数取决于 ( )。
  - A. 存储器的容量
  - B. 指令字长
  - C. 机器字长
  - D. 存储字长
3. 程序计数器程序计数器 PC 用来存放指令地址，每当执行完一条后通常由程序计数器提供后继指令地址，其位和 ( ) 位数相同。
  - A. 指令寄存器 IR
  - B. 主存数据寄存器 MDR
  - C. 程序状态寄存器 PSR
  - D. 主存地址寄存器 MAR
4. CPU 有哪些基本功能？

## 二、指令执行过程

5. 指令周期是指（ ）。
- A. CPU 从主存取出一条指令的时间
  - B. CPU 执行一条指令的时间
  - C. CPU 周期时间
  - D. CPU 取出指令和执行指令的时间
6. 设机器字长 16 位，存储器按字节编址，CPU 读取一条单字长指令后，PC 值自动加（ ）。
- A. 1
  - B. 2
  - C. 3
  - D. 4
7. 在间址周期中，（ ）。
- A. 所有指令的间址操作都是相同的
  - B. 凡是存储器间接寻址的指令，它们的操作都是相同的
  - C. 对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的
  - D. 以上都不对
8. 以下叙述中（ ）是错误的。
- A. 取指令操作是控制器固有的功能，不需要在操作码控制下完成
  - B. 所有指令的取指令操作都是相同的
  - C. 在指令长度相同的情况下，所有指令的取指操作都是相同的
  - D. 一条指令包含取指、分析、执行三个阶段
9. 什么是指令周期？什么是机器周期？什么是时钟周期？三者之间的关系如何？

## 三、数据通路的功能和基本结构

10. CPU 中的译码器主要用于（ ）。
- A. 地址译码
  - B. 指令译码
  - C. 选择多路数据至 ALU
  - D. 数据译码
11. 某计算机有如图所示的功能部件，其中 M 为主存，指令和数据均存放在其中，MDR 为主存数据寄存器，MAR 为主存地址寄存器，R0~R3 为通用寄存器，IR 为指令寄存器，PC 为程序计数器（具有自动加 1 功能），C、D 为暂存寄存器，ALU 为算术逻辑单元，移位器可左移、右移、直通传送。
- (1). 将所有功能部件连接起来，组成完整的数据通路，并用单向或双向箭头表示信息传送方向。
- (2). 画出“ADDR1, (R2)”指令周期流程图。该指令的含义是将 R1 中的数与 (R2) 指示的主存单元中的数相加，相加的结果直通传送至 R1 中。



#### 四、控制器的功能和工作原理

12. 控制器的功能是（ ）。
- A. 产生时序信号
  - B. 从主存取出一条指令
  - C. 完成指令操作码译码
  - D. 从主存取出指令，完成指令操作码译码，并产生有关的操作控制信号，以解释执行该指令
13. 在采用增量方式的微指令中，下一条微指令的地址（ ）。
- A. 在微指令计数器中
  - B. 在微指令寄存器中
  - C. 在程序计数器中
  - D. 在本条微指令的顺序控制字段中
14. 微程序控制器中，机器指令与微指令的关系是（ ）。
- A. 每一条机器指令由一组微指令编成的微程序来解释执行
  - B. 每一条机器指令由一条微指令来执行
  - C. 一段机器指令组成的程序可由一条微指令来执行
  - D. 一条微指令由若干条机器指令组成
15. 在组合逻辑控制器的组成结构中，不包括（ ）。
- A. 数据缓冲寄存器
  - B. 指令操作码译码器
  - C. 控制信号产生器、时序信号产生器
  - D. 程序计数器 PC
16. 水平型微指令的特点是（ ）。
- A. 一次可以完成多个操作
  - B. 微指令的操作控制字段不进行编码
  - C. 微指令的格式简短
  - D. 由水平型微指令解释指令得到的微程序比较长
17. 水平型微指令和垂直型微指令相比，（ ）。
- A. 前者一次只能完成一个操作
  - B. 后者一次只能完成一个操作
  - C. 两者都一次只能完成一个操作
  - D. 两者都是一次完成多个操作

#### 五、指令流水线

18. 某计算机的指令流水线由四个功能段组成。指令流经各功能段的时间(忽略各功能段之间的缓存时间)分别是 90ns、80ns、70ns 和 60ns。则该计算机的 CPU 时钟周期至少是：（ ）。
- A. 90ns
  - B. 80ns
  - C. 70ns
  - D. 60ns

19. 流水线中造成控制相关的原因是执行（ ）指令而引起。
- A. 条件转移                      B. 访存  
C. 算逻                          D. 无条件转移
20. 下列给出的指令系统特点中，有利于实现指令流水线的是（ ）。
- I. 指令格式规整且长度一致  
II. 指令和数据按边界对齐存放  
III. 只有 Load/Store 指令才能对操作数进行存储访问
- A. 仅 I、II                      B. 仅 II、III  
C. 仅 I、III                      D. I、II、III
21. 某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个流水段的执行需要 1 个时钟周期，假设 CPU 执行了 100 条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为（ ）。
- A.  $0.25 \times 10^9$  条指令/秒                      B.  $0.97 \times 10^9$  条指令/秒  
C.  $1.0 \times 10^9$  条指令/秒                      D.  $1.03 \times 10^9$  条指令/秒

## 真题

1. 某计算机贮存空间为 4GB，字长为 32 位，按字节编址，采用 32 位字长指令字格式。若指令按字边界对齐存放，则程序计数器（PC）和指令寄存器（IR）的位数至少分别是（ ）。
- A. 30、30                      B. 30、32                      C. 32、30                      D. 32、32
2. 下列寄存器中，汇编语言程序员可见的是（ ）。
- A. 存储器地址寄存器（MAR）  
B. 程序计数器（PC）  
C. 存储器数据寄存器（MDR）  
D. 指令寄存器（IR）
3. 在程序执行过程中，（ ）控制计算机的运行总是处于取指令、分析指令和执行指令的循环之中。
- A. 控制器                      B. CPU                      C. 指令存储器                      D. 指令译码器
4. CPU 的主频是 10MHz，机器周期含 3 个时钟周期，则机器周期是（ ）ns。
- A. 100                      B. 300                      C. 33.3                      D. 30
5. 单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是（ ）。
- A. 可以采用单总线结构数据通路  
B. 处理器时钟频率较低  
C. 在指令执行过程中控制信号不变  
D. 每条指令的 CPI 为 1



6. 程序 P 在机器 M 上的执行时间为 20 秒，编译优化后，P 执行的指令数减少到原来的 70%，而 CPI 增加到原来的 1.2 倍，则 P 在 M 上的执行时间是（ ）。

- A. 8.4 秒                      B. 11.7 秒                      C. 14.0 秒                      D. 16.8 秒

7. 采用指令 Cache 和数据 Cache 分离的主要目的是（ ）。

- A. 降低 Cache 的缺失损失  
B. 提高 Cache 的命中率  
C. 降低 CPU 平均访问时间  
D. 减少指令流水线资源冲突

8. 某计算机主频为 1.2GHz，其指令分为 4 类，它们在基准程序中所占比例及 CPI 如下表所示。该机的 MIPS 数是（ ）。

| 指令类型 | 所占比例 | CPI |
|------|------|-----|
| A    | 50%  | 2   |
| B    | 20%  | 3   |
| C    | 10%  | 4   |
| D    | 20%  | 5   |

- A. 100                      B. 200                      C. 400                      D. 600

9. 假定不采用 Cache 和指令预取技术，且机器处于“开中断”状态，则下列有关指令执行的叙述中，错误的是（ ）。

- A. 每个指令周期中 CPU 都至少访问内存一次  
B. 每个指令周期一定大于或等于一个 CPU 时钟周期  
C. 空操作指令的指令周期中任何寄存器的内容都不会被改变  
D. 当前程序在每条指令执行结束时都可能被外部中断打断

10. 连续两次启动同一台存储器所需的最小时间间隔称为（ ）。

- A. 存储周期                      B. 存取时间                      C. 存储时间                      D. 访问周期

11. 计算机中最小单位时间为（ ）。

- A. 时钟周期                      B. 指令周期  
C. CPU 周期                      D. 执行周期

12. 下列关于主存储器（MM）和控制存储器（CS）的叙述中，错误的是（ ）。

- A. MM 在 CPU 外，CS 在 CPU 内  
B. MM 按地址访问，CS 按内容访问  
C. MM 存储指令和数据，CS 存储微指令  
D. MM 用 RAM 和 ROM 实现，CS 用 ROM 实现

13. 某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2 条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法（下址字段法）确定下条微指令地址，

则微指令中下址字段的位数至少是 ( )。

- A. 5                      B. 6                      C. 8                      D. 9

14. 某计算机的控制器采用微程序控制方式,微指令中的操作控制字段采用字段直接编码法,共有 33 个微命令,构成 5 个互斥类,分别包含 7、3、12、5 和 6 个微命令,则操作控制字段至少有 ( )。

- A. 5 位                      B. 6 位                      C. 15 位                      D. 33 位

15. 下列关于超标量流水线特性的叙述中,正确的是 ( )。

- I. 能缩短流水线功能段的处理时间  
II. 能在一个时钟周期内同时发射多条指令  
III. 能结合动态调度技术提高指令执行并行性

- A. 仅 II                      B. 仅 I、III                      C. 仅 II、III                      D. I、II 和 III

16. 在无转发机制的五段基本流水线(取指、译码/读寄存器、运算、访存、写回寄存器)中,下列序列存在数据冒险的指令对是 ( )。

- |                                |    |
|--------------------------------|----|
| I1: addR1, R2, R3; (R2) + (R3) | R1 |
| I2: addR5, R2, R4; (R2) + (R4) | R5 |
| I1: addR4, R5, R3; (R5) + (R3) | R4 |
| I1: addR5, R2, R6; (R2) + (R6) | R5 |

- A. I1 和 I2                      B. I2 和 I3                      C. I2 和 I4                      D. I3 和 I4

17. 某 CPU 主频为 1.03GHz, 采用 4 级指令流水线, 每个流水段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令, 在其执行过程中, 没有发生任何流水线阻塞, 此时流水线的吞吐率为 ( )。

- A.  $0.25 \times 10^9$  条指令/秒  
B.  $1.0 \times 10^9$  条指令/秒  
C.  $0.97 \times 10^9$  条指令/秒  
D.  $1.03 \times 10^9$  条指令/秒

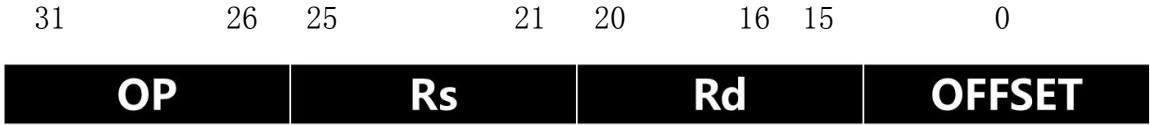
18. 下列选项中, 不会引起指令流水线阻塞的是 ( )。

- A. 数据旁路(转发)                      B. 数据相关  
C. 条件转移                      D. 资源冲突

19. 某程序中有如下循环代码段 P “for (int i=0; i<N; i++) sum+=A[i];”。假设编译时变量 sum 和 i 分别分配在寄存器 R1 和 R2 中，常量 N 在寄存器 R6 中，数组 A 的首地址在寄存器 R3 中。程序段 P 起始地址为 08048100H，对应的汇编代码和机器代码如下表所示。

| 编号 | 地址        | 机器代码      | 汇编代码               | 注释                      |
|----|-----------|-----------|--------------------|-------------------------|
| 1  | 08048100H | 00022080H | loop : sll R4,R2,2 | (R2)<<2 R4              |
| 2  | 08048104H | 00832020H | add R4,R4,R3       | (R4)+(R3) R4            |
| 3  | 08048108H | 8C85000H  | load R5,0(R4)      | ((R4)+0) R5             |
| 4  | 0804810CH | 00250820H | add R1,R1,R5       | (R1)+(R5) R1            |
| 5  | 08048110H | 20420001H | add R2,R2,1        | (R2)+1 R2               |
| 6  | 08048114H | 1446FFFAH | bne R2,R6,loop     | if (R2)!=(R6) goto loop |

执行上述代码的计算机 M 采用 32 位定长指令字，其中分支指令 bne 采用如下如所示的格式。



- OP 为操作码；Rs 和 Rd 为寄存器编号；OFFSET 为偏移量，用补码表示。
- 请回答下列问题，并说明理由
- (1) M 的存储器编制单位是什么？
  - (2) 已知 sll 指令实现左移功能，数组 A 中每个元素占多少位？
  - (3) 表中 bne 指令的 OFFSET 字段的值是多少？已知 bne 指令采用相对寻址方式，当前 PC 内容为 bne 指令地址，通过分析表中指令地址和 bne 指令内容，推断出 bne 指令的转移目标地址计算公式。
  - (4) 若 M 采用如下“按序发射、按序完成”的 5 级指令流水线：IF（取指）、ID（译码及取数）、EXE（执行）、MEM（访存）、WB（写回寄存器），且硬件不采用任何转发措施，分支指令的执行均引起 3 个时钟周期的阻塞，则 P 中哪些指令的执行会由于数据相关而发生流水线阻塞？哪条指令的执行会发生控制冒险？为什么指令 1 的执行不会因为与指令 5 的数据相关而发生阻塞？

### 更多典型题目

- 关于控制器的主要功能，下面说法中最准确的是（ ）。
  - 产生时序信号
  - 从主存取出一条指令
  - 完成指令译码
  - 从主存取出一条指令、完成指令译码、产生时序信号、指挥各部件完成指令指定的操作
- CPU 功能不包括（ ）。
  - 执行指令
  - 控制执行指令的顺序
  - 执行 DMA 操作
  - 检测并响应中断

3. 存放当前正在执行的指令并为译码部件提供信息的部件是 ( )。
- A. 指令译码器      B. 程序计数器      C. 指令寄存器      D. 地址寄存器
4. 下面各存储器件中，用于存储微程序的是 ( )。
- A. 主存      B. Cache      C. 控制存储器      D. 辅存
5. 从一条指令的启动到下一条指令的启动的间隔时间称为 ( )。
- A. 时钟周期      B. 机器周期      C. 工作周期      D. 指令周期
6. 设计微程序的人员是 ( )。
- A. 硬件设计人员      B. 软件设计人员      C. 用户      D. 管理员
7. 在 CPU 的状态寄存器中，若符号标志为“1”，表示运算结果是 ( )。
- A. 正      B. 负      C. 零      D. 不一定
8. 下列说法中正确的是 ( )。
- A. 微程序控制方式和硬连线方式相比较，前者可以使指令的执行速度更快  
B. 若采用微程序控制方式，则可用  $\mu$ PC 取代 PC  
C. 控制存储器通常用 RAM  
D. 机器周期也称为 CPU 周期
9. 在计算机体系结构中，CPU 内部包括程序计数器 PC、存储器数据寄存器 MDR、指令寄存器 IR 和存储器地址寄存器 MAR 等。若 CPU 要执行的指令为：MOVRO, #100 (即将数值 100 传送到寄存器 R0 中)，则 CPU 首先要完成的操作是 ( )。
- A.  $100 \rightarrow R0$       B.  $100 \rightarrow MDR$       C.  $PC \rightarrow MAR$       D.  $PC \rightarrow IR$
10. 构成控制信号序列的最小单位是 ( )。
- A. 微程序      B. 微指令      C. 微命令      D. 机器指令
11. 通常情况下，微指令位数最长的编码方法是 ( )。
- A. 直接表示法/直接控制法  
B. 字段直接编码表示法  
C. 字段间接编码表示法  
D. 混合表示法
12. 微程序控制器比硬布线控制器慢，原因是 ( )。
- A. 增加了从外存读微指令的时间  
B. 增加了从主存读微指令的时间  
C. 增加了从 IR 中读微指令的时间  
D. 增加了从控制存储器读微指令的时间
13. 相对于硬布线控制器，微程序控制器的特点是 ( )。
- A. 指令执行速度较快，修改指令的功能或扩展指令集难  
B. 指令执行速度较快，修改指令的功能或扩展指令集容易

- C. 指令执行速度较慢，修改指令的功能或扩展指令集难  
D. 指令执行速度较慢，修改指令的功能或扩展指令集容易
14. 微程序是在（ ）时被执行的。  
A. 安装硬件                      B. 安装软件                      C. 执行指令                      D. 故障诊断
15. 当微指令采用分段编码时，我们将互斥性微命令（ ）。  
A. 放在同一段中                      B. 用多级译码来区分  
C. 放在不同段中                      D. 任意存放
16. 异步传送方式常用于（ ）中，作为主要控制方式。  
A. 微型机的 CPU 内部控制  
B. 硬连线控制器  
C. 微程序控制器  
D. 串行 I/O 总线
17. 某计算机的指令系统中共有 101 条不同的指令，采用微程序控制方式时，控制存储器中具有的微程序数目至少是（ ）。  
A. 100                      B. 102                      C. 103                      D. 104
18. 控制器同步控制方式是指（ ）。  
A. 由统一时序信号控制的方式  
B. 由握手信号控制的方式  
C. 由中断控制的方式  
D. 由程序查询控制的方式
19. 以下说法中，错误的是（ ）。  
A. 指令执行过程中的第一步就是取指令操作  
B. 为了进行取指令操作，控制器需要得到相应的指令  
C. 取指令操作是控制器自动进行的  
D. 在指令长度相同的情况下，所有取指令的操作都是相同的
20. 微指令中的微地址表示（ ）。  
A. 微操作的对象  
B. 存放微操作结果的地址  
C. 微操作数地址  
D. 后继微指令地址
21. 通常所说的 32 位微处理器是指（ ）。  
A. 地址总线的宽度为 32 位  
B. 处理的数据长度只能为 32 位  
C. CPU 字长为 32 位  
D. 通用寄存器数目为 32 个

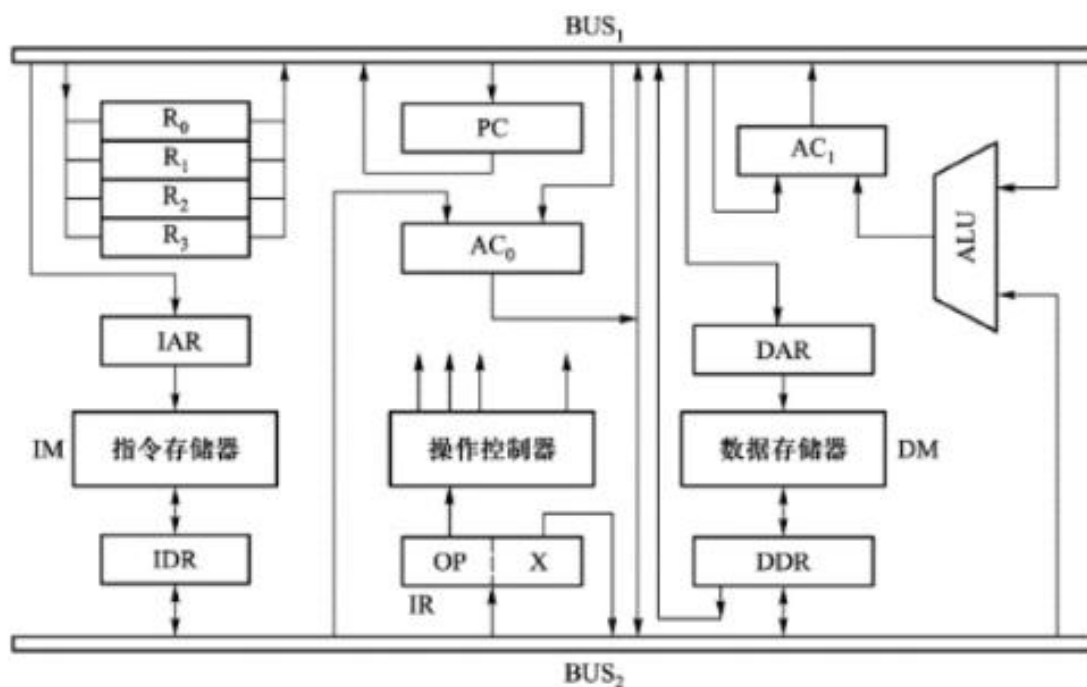
22. 在微程序控制方式中，机器指令、微程序和微指令的关系是（ ）。
- 每一条机器指令由一条微指令来解释执行
  - 每一条机器指令由一段（或一个）微程序来解释执行
  - 一段机器指令组成的工作程序可由一条微指令来解释执行
  - 一条微指令由若干条机器指令组成
23. 一个单周期处理器，各主要功能单元的操作时间为：指令存储器和数据存储器为 0.3ns，ALU 为 0.2ns，寄存器文件为 0.1ns，则该 CPU 的时钟周期最少应该是（ ）。
- 0.4ns
  - 0.3ns
  - 0.2ns
  - 1ns
24. 微程序存放在（ ）。
- 主存中
  - 堆栈中
  - 只读存储器中
  - 磁盘中
25. 下列关于并行微程序控制器的说法中，正确的是（ ）。
- 现行微指令的执行与取下一条微指令的操作并行
  - 现行微指令的执行与取下一条微指令的操作串行
  - 两条或更多微指令的执行在时间上并行
  - 两条或更多微指令的取微指令操作在时间上并行
26. 下列说法中正确的是（ ）。
- 取指周期一定等于机器周期
  - 指令字长等于机器字长的前提下，取指周期等于机器周期
  - 指令字长等于存储字长的前提下，取指周期等于机器周期
  - 取指周期与机器周期没有必然联系
27. 在微程序控制方式中，以下说法中正确的是（ ）。
- 采用微程序控制器的处理器称为微处理器
  - 每一条机器指令由一个微程序来解释执行
  - 在微指令的编码中，执行效率最低的是直接编码方式
  - 水平型微指令能充分利用数据通路的并行结构
- I 和 II
  - II 和 IV
  - I 和 III
  - II、III 和 IV
28. 下列几项中，流水线相关包括（ ）。
- 结构相关
  - 数据相关
  - 指令相关
  - 控制相关
- I，II，III，IV
  - I，II，III
  - I，II，IV
  - I，III，IV
29. 一个四级流水线的处理器，连续向此流水线输入 15 条指令，则在第 15 个时钟周期结束时，共执行完的指令条数为（ ）。
- 10
  - 11
  - 12
  - 15
30. 在一个微指令周期中，（ ）。
- 只能执行一个微操作
  - 能顺序执行多个微操作
  - 只能执行多个互斥微操作
  - 能并行执行多个微操作

31. 已知一台时钟频率为 2GHz 的计算机的 CPI 为 1.2。某程序 P 在该计算机上的指令条数为  $4 \times 10^9$ 。若在该计算机上，程序 P 从开始启动到执行结束所经历的时间是 4s，则运行 P 所用 CPU 时间占整个 CPU 时间的百分比大约是（ ）。
- A. 40%                      B. 60%                      C. 80%                      D. 100%
32. 指令流水线中，不同的指令在指令流水的不同功能段中可以（ ）。
- A. 顺序                      B. 选择                      C. 循环                      D. 并行
33. 下列说法中，正确的是（ ）。
- A. 水平型微指令的执行速度要慢于垂直型微指令  
B. 水平型微指令的长度要短于垂直型微指令  
C. 水平型微指令的编码空间利用率高  
D. 垂直型微指令中包含微操作码字段
34. 下列特征中，不属于有利于实现指令流水线的是（ ）。
- A. 指令字等长                      B. Load/Store 指令风格  
C. 寻址方式灵活多样                      D. 指令格式规整统一
35. 下列关于动态流水线和超标量处理器的说法中，错误的是（ ）。
- A. 超标量处理器中一定有多个不同的指令执行单元  
B. 动态流水线执行指令的顺序不一定是输入指令的顺序  
C. 超标量处理器不一定都采用动态流水线  
D. 超标量技术是指采用更多流水段个数的流水线技术
36. 某计算机的指令系统中共有 101 条不同的指令，采用微程序控制方式时，控制存储器中具有的微程序数目至少是（ ）。
- A. 100                      B. 102                      C. 103                      D. 104
37. 指令流水中不同功能段的执行时间最好（ ）。
- A. 相等                      B. 不等                      C. 为零                      D. 与指令周期一致
38. 下列说法中正确的是（ ）。
- A. 指令流水线可以缩短一条指令的执行时间  
B. 实现指令流水线并不需要增加额外的硬件  
C. 指令流水线可以提高指令执行的吞吐率  
D. 理想情况下，每个时钟内都有一条指令在指令流水线中完成
39. 以下有关流水线相关的叙述中，正确的是（ ）。
- A. 所有数据相关都能通过转发得到解决  
B. 可以通过调整指令顺序和插入 nop 指令消除所有的数据相关  
C. 五段流水线中 Load-Use 数据相关不会引起一个时钟周期的阻塞  
D. 一条分支指令与紧随其后的一条 ALU 运算指令肯定会发生数据相关

## 综合题

1. 下图所示的处理机逻辑框图中，有两条独立的总线和两个独立的存储器。已知指令存储器 IM 最大容量为 16384 字（字长 18 位），数据存储器 DM 最大容量是 65536 字（字长 16 位）。各寄存器均有“打入”（Rin）和“送出”（Rout）控制命令，但图中未标出。

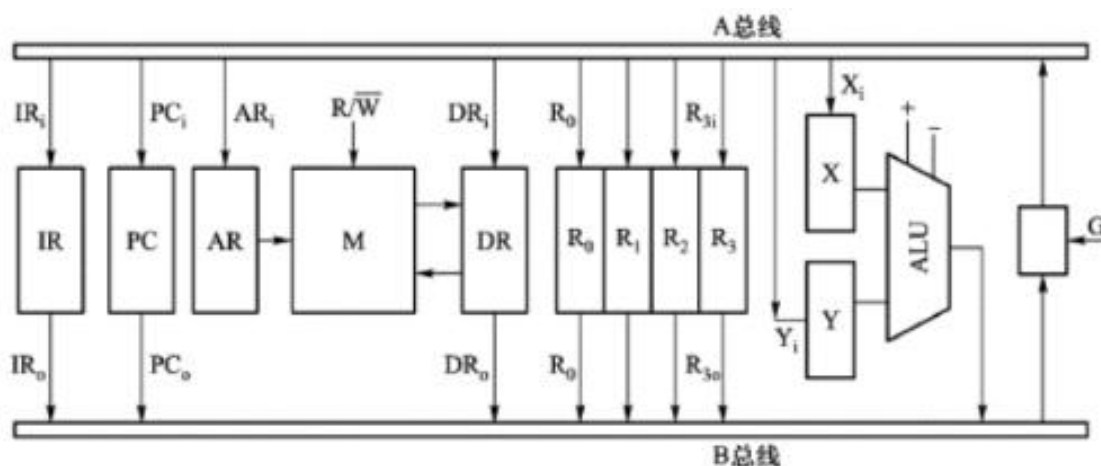
加法指令可写为“ADDX (R1)”。其功能是  $(AC_0) + ((R_i) + X) \rightarrow AC_1$ ，其中  $((R_i) + X)$  部分通过寻址方式指向数据存储器，现取  $R_i$  为  $R_1$ 。试画出 ADD 指令从取指令开始到执行结束的操作序列图，写明基本操作步骤和相应的微操作控制信号。



2. 如图所示，某计算机的内部数据通路如下：完成如下要求：

(1) 数据指令 STAR1, (R2)，其指令的功能是将寄存器  $R_1$  的内容传送至  $(R_2)$  中存储的内存地址所代表的存储单元中。请画出指令周期流程图。

(2) 标出各微操作信号序列。



3. 下图为某计算机主机示意图，各部分之间的连线表示数据通路，数据传送方向如箭头所示。

(1) 给出图中寄存器 A、B、C、D 的名称。

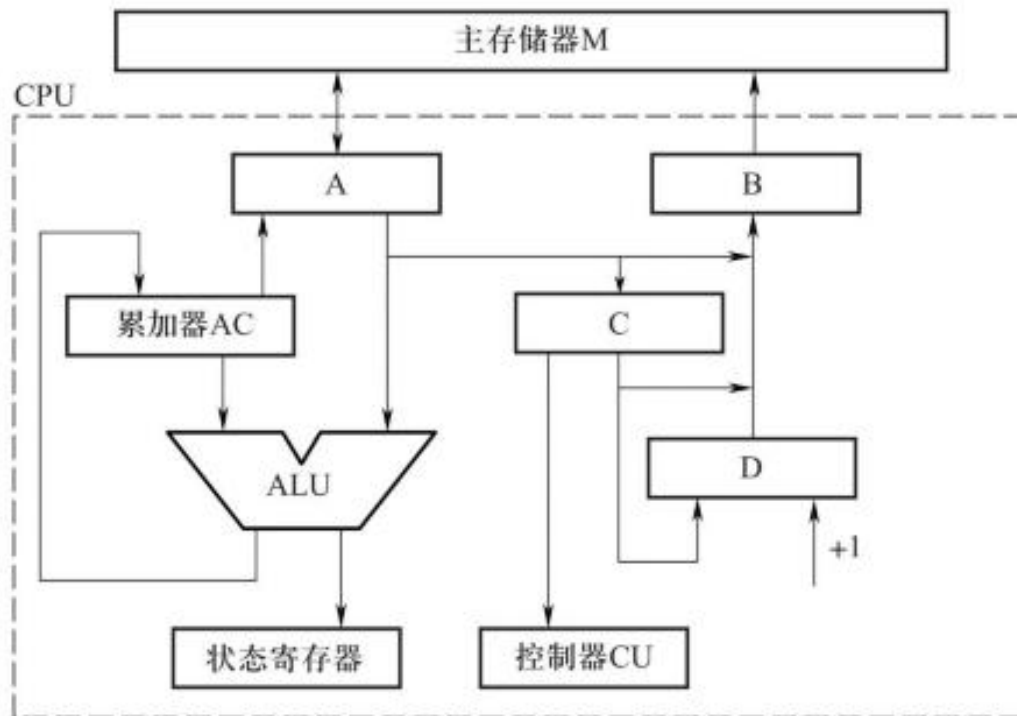
(2) 简述取指令的数据通路。



(3) 简述取数指令 LOADX 的数据通路（完成功能  $(X) \rightarrow AC$ ，其中 X 为主存地址，由指令的地址码字段给出）。

(4) 简述存数指令 STOREX 的数据通路（完成功能  $(AC) \rightarrow X$ ，其中 X 为主存地址，由指令的地址码字段给出）。

(5) 简述加法指令 ADDX 的数据通路（完成功能  $(X) + (AC) \rightarrow AC$ ，其中 X 为主存地址，由指令的地址码字段给出）。



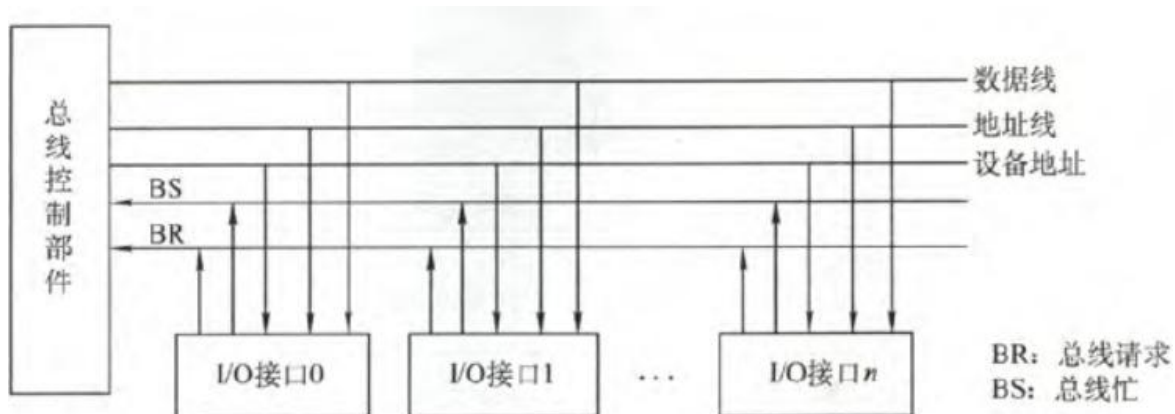
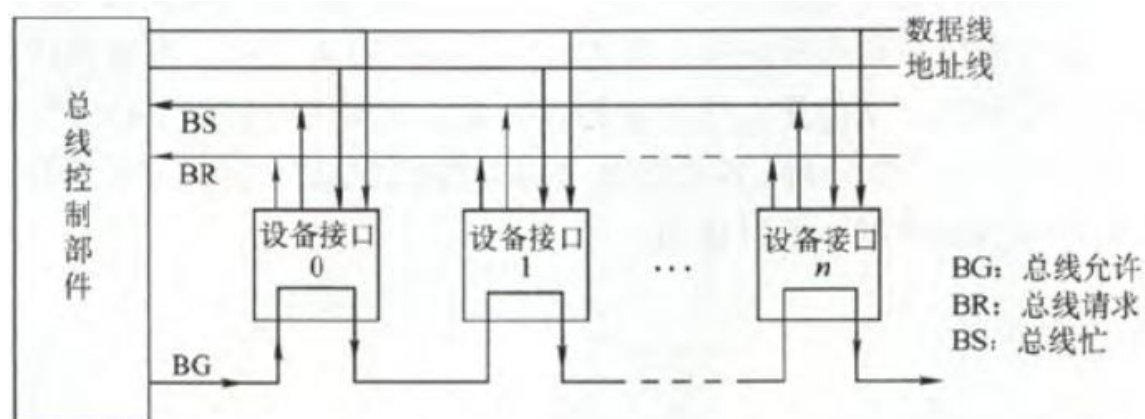
## 第六章 总线

### 总线 大纲

- 总线的定义  
分时，共享
- 总线设备
- 总线特性  
机械特性、电气特性、功能特性，时间特性
- 总线的猝发传输方式
- 总线的分类  
片内总线，系统总线，通信总线
- 总线结构  
单总线，双总线，三总线

### 基本内容

- 总线的性能指标
- 总线仲裁
- 总线的操作和定时
- 总线的标准



## 一、总线概述

1. 计算机使用总线结构的主要优点是便于实现积木化，同时（ ）。
  - A. 减少了信息传输量
  - B. 提高了信息传输的速度
  - C. 减少了信息传输线的条数
  - D. 三者均正确
2. 假设某系统总线在一个总线周期中并行传输 4 字节信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽是（ ）。
  - A. 10MB/s
  - B. 20MB/s
  - C. 10MB/s
  - D. 80MB/s
3. 所谓三总线结构的计算机是指（ ）。
  - A. 地址线、数据线和控制线三组传输线
  - B. I/O 总线、主存总线和 DMA 总线三组传输线
  - C. I/O 总线、主存总线和系统总线三组传输线
  - D. 设备总线、主存总线和控制总线三组传输线
4. 系统总线是指（ ）。
  - A. 运算器、控制器和寄存器之间的信息传送线
  - B. 运算器、寄存器和主存之间的信息传送线
  - C. 运算器、寄存器和外围设备之间的信息传送线
  - D. CPU、主存和外围设备之间的信息传送线
5. 系统总线上的信号有（ ）。
  - A. 地址信号
  - B. 数据信号、控制信号
  - C. 控制信号
  - D. 数据信号、控制信号、地址信号
6. 下列说法中正确的是（ ）。
  - A. 半双工总线只能在一个方向上传输信息，全双工总线可以在两个方向上轮流传输信息
  - B. 半双工总线只能在一个方向上传输信息，全双工总线可以在两个方向上同时传输信息
  - C. 半双工总线可以在两个方向上轮流传输信息，全双工总线可以在两个方向上同时传输信息
  - D. 半双工总线可以在两个方向上同时传输信息，全双工总线可以在两个方向上轮流传输信息

(1) 某总线在一个总线周期中并行传送 32 位数据，假设一个总线周期等于一个总线时钟周期，总线时钟频率为 50MHz，总线带宽是多少？

(2) 如果一个总线周期中并行传送 64 位数据，总线时钟频率升为 100MHz，总线带宽是多少？

## 二、总线仲裁

7. 三种常见的总线集中控制优先权的仲裁方式中，( ) 方式响应速度最快，但增加了控制线数。

- A. 链式查询
- B. 计数器定时查询
- C. 独立请求
- D. 自动排队

8. 三种集中式总线控制中，( ) 方式对电路故障最敏感。

- A. 链式查询
- B. 计数器定时查询
- C. 独立请求
- D. 以上都不对

9. 在计数器定时查询方式下，若计数从 0 开始，则 ( )。

- A. 设备号小的优先级高
- B. 每个设备使用总线的机会相等
- C. 设备号大的优先级高

10. 总线的集中式仲裁有哪几种方式？各有什么优缺点？

## 三、总线操作和定时

11. 总线的异步通信方式 ( )。

- A. 采用时钟信号，不采用握手信号
- B. 不采用时钟信号，只采用握手信号
- C. 既采用时钟信号，又采用握手信号
- D. 既不采用时钟信号，又不采用握手信号

12. 同步控制是 ( )。

- A. 只适用于 CPU 控制的方式
- B. 只适用于外围设备控制的方式
- C. 由统一时序信号控制的方式
- D. 所有指令执行时间都相同的方式

13. 在各种异步通信方式中，( ) 速度最快。

- A. 全互锁
- B. 半互锁
- C. 不互锁

14. 若一个 8bit 组成的字符至少需 10bit 来传送，这是 ( ) 传送方式。

- A. 同步
- B. 异步
- C. 并联
- D. 混合

## 四、总线标准

15. 描述 PCI 总线中基本概念不正确的句子是 ( )。

- A. PCI 总线是一个与处理器无关的高速外围设备
- B. PCI 总线的基本传输机制是猝发式传送
- C. PCI 设备一定是主设备
- D. 系统中只允许有一条 PCI 总线

16. 下列选项中的英文缩写均为总线标准的是 ( )。

- A. PCI、CRT、USB、EISA
- B. ISA、CPI、VESA、EISA
- C. ISA、SCSI、RAM、MIPS
- D. ISA、EISA、PCI、PCI-Express

17. 下列关于 USB 总线特性的描述中, 错误的是 ( )。

- A. 可实现外设的即插即用和热插拔
- B. 可通过级联方式连接多台外设
- C. 是一种通信总线, 可连接不同外设
- D. 同时可传输 2 位数据, 数据传输率高

## 真题

1. 下列关于多总线结构的叙述中, 错误的是 ( )。

- A. 靠近 CPU 的总线速度较快
- B. 存储器总线可支持突发传送方式
- C. 总线之间须通过桥接器相连
- D. PCI-Express × 16 采用并行传输方式

2. 下列关于总线设计的叙述中, 错误的是 ( )。

- A. 并行总线传输比串行总线传输速度快
- B. 采用信号线复用技术可减少信号线数量
- C. 采用突发传输方式可提高总线数据传输率
- D. 采用分离事务通信方式可提高总线利用率

3. 某同步总线采用数据总线和地址总线复用方式, 其中地址/数据线有 32 根, 总线时钟频率为 66MHz, 每个时钟周期传送两次数据 (上升沿和下降沿各传送一次数据), 该总线的最大数据传输率 (总线带宽) 是 ( )。

- A. 132MB/s
- B. 264MB/s
- C. 528MB/s
- D. 1056MB/s

4. 一次总线事务中, 主设备只需给出一个首地址, 从设备就能从首地址开始的若干连续单元读出或写入多个数据。这种总线事务方式称为 ( )。

- A. 并行传输
- B. 串行传输
- C. 突发传输
- D. 同步传输

5. 某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址/数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发 (猝发) 传输方式, 则一次 “主存写” 总线事务传输 128 位数据所需要的时间至少是 ( )。

- A. 20ns
- B. 40ns
- C. 50ns
- D. 80ns

6. 在系统总线的数据线上, 不可能传输的是 ( )。

- A. 指令
- B. 操作数
- C. 握手 (应答) 信号
- D. 中断类型号

7. 假设某系统总线在一个总线周期中并行传输 4 字节信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽是（ ）。
- A. 10MB/s                      B. 20MB/s                      C. 40MB/s                      D. 80MB/s
8. 假定一个同步总线的工作频率为 200MHz，总线中有 64 位数据线，每个总线时钟周期传输两次数据，则该总线的最大数据传输率为（ ）。
- A. 800MB/s                      B. 1600MB/s  
C. 3200MB/s                      D. 6400MB/s
9. 下列有关总线定时的叙述中，错误的是（ ）。
- A. 异步通信方式中，全互锁协议最慢  
B. 异步通信方式中，非互锁协议的可靠性最差  
C. 同步通信方式中，同步时钟信号可由各设备提供  
D. 半同步通信方式中，握手信号的采样由同步时钟控制
10. 下列选项中，用于设备和设备控制器（I/O 接口）之间互连的接口标准是（ ）。
- A. PCI                      B. USB                      C. AGP                      D. PCI-Express
11. 下列关于 USB 总线特性的描述中，错误的是（ ）。
- A. 可实现外设的即插即用和热拔插  
B. 可通过级联方式连接多台外设  
C. 是一种通信总线，连接不同外设  
D. 同时可传输 2 位数据，数据传输率高

## 更多典型题目

1. 总线周期的类型包括（ ）。
- A. 内存读周期/写周期                      B. I/O 读周期  
C. I/O 写周期                      D. 以上均是
2. 在串行通信中，根据数据传输方向不同可以分成三种方式，不包括的方式是（ ）。
- A. 单工                      B. 双工                      C. 半单工                      D. 半双工
3. 计算机要对声音信号进行处理时，必须将它们转换成数字声音信号。最基本的声音信号数字化方法是取样—量化法。若量化后的每个声音样本用 2 个字节表示，则量化分辨率是（ ）。
- A. 1/2    B. 1/1024    C. 1/65536    D. 1/131072
4. 在系统总线中，地址总线的位数（ ）。
- A. 与机器字长有关                      B. 与存储单元个数有关  
C. 与存储字长有关                      D. 与存储器带宽有关
5. 标准总线内部结构包含（ ）。
- A. 数据传送总线                      B. 仲裁总线                      C. 公用总线                      D. 以上三项均是

6. 下列关于总线仲裁方式的说法中，不正确的是（ ）。
- A. 独立请求方式总线控制逻辑复杂，但响应时间最快
  - B. 计数器定时查询方式下，有一根总线请求线（BR）和一根设备地址线
  - C. 分布式仲裁控制逻辑不需要中央仲裁器
  - D. 链式查询方式对电路故障最敏感
7. 下面关于 PCI 总线的叙述中，不正确的是（ ）。
- A. HOST 总线不仅连接主存，还可以连接多个 CPU
  - B. PCI 总线体系中有三种桥，它们都是 PCI 设备
  - C. 以桥连接实现的 PCI 总线结构不允许多条总线并行工作
  - D. 桥的作用可使所有的存取都按 CPU 的需要出现在总线上
8. 下列关于总线的同步传输控制和异步传输控制的说法中，不正确的是（ ）。
- A. 同步传输控制是指通信双方使用同一个时钟信号进行同步
  - B. 总线时钟可以由 CPU 的总线控制逻辑部件提供
  - C. 异步传输控制是指在总线上传送数据时，允许通信双方各自使用自己的时钟信号，采用“应答方式”解决数据传输过程中的时间配合关系
  - D. 异步传输控制双方共同使用同一个时钟信号进行同步
9. 系统中的地址总线的位数与（ ）相关。
- A. 机器字长
  - B. 实际存储单元个数
  - C. 存储字长
  - D. 地址寄存器的位数
10. 集中裁决方式包括（ ）。
- A. 链式查询方式
  - B. 计数器查询方式
  - C. 独立请求方式
  - D. 以上三者均是
11. 总线的一次信息传送过程大致分为（ ）阶段。
- I. 请求总线
  - II. 总线仲裁
  - III. 寻址（目的地址）
  - IV. 信息传送
  - V. 状态返回（错误报告）
- A. I、II、III、IV、V
  - B. II、III、IV、V
  - C. I、III、IV、V
  - D. I、II、V
12. 访问内存所得到信息经（ ）传送到 CPU。
- A. 数据总线
  - B. 地址总线
  - C. 控制总线
  - D. 总线控制器
13. 接口的主要功能包括（ ）。
- I. 数据转换
  - II. 数据缓冲与时序配合

- III. 提供外部设备和接口的状态
- IV. 实现主机和外部设备之间的通信联络控制
- V. 电平匹配和负载匹配

- A. 仅 II、III、IV
- B. I、II、III、IV、V
- C. 仅 III、IV、V
- D. 仅 I、II、IV、V

14. 下面关于串行传输的叙述中, 不正确的是 ( )。

- A. 串行总线的数据在数据线上按位进行传输
- B. 串行总线是一种信息传输信道
- C. 串行传输需要一组数据线, 线路的成本高, 适合于近距离的数据传输
- D. 串行传输方式可分为同步方式和异步方式两种

15. 下面关于并行传输的叙述中, 不正确的是 ( )。

- A. 并行总线的数据在数据线上同时有多位一起传送
- B. 并行传输每一位要有一根数据线, 因此有多根数据线
- C. 衡量并行总线速度的指标是平均数据传输率, 即总线上传输的平均信息量
- D. 为了减少线路的数量, 可以将并行方式和串行方式结合起来

16. 某总线在一个总线周期中并行传送 4 字节的数据, 假设一个总线周期等于一个总线时钟周期, 总线时钟频率为 33MHz, 则总线带宽是 ( )。

- A. 148MB/s
- B. 168MB/s
- C. 132MB/s
- D. 172MB/s

17. 下面关于 Futurebus 总线的说法中, 正确的是 ( )。

- A. Futurebus 总线与结构、处理器、技术无关
- B. Futurebus 总线基本上是一个异步数据定时协议
- C. Futurebus 总线提供对容错和高可靠性系统的支持
- D. 以上三种

18. 异步传输方式是指没有统一的时钟, 也没有固定的时间间隔, 完全依靠传送双方相互制约的“握手信号”来实现定时控制。在下列各种情况中, 最应采用异步传输方式的是 ( )。

- A. I/O 接口与打印机交换信息
- B. CPU 与主存交换信息
- C. CPU 和总线交换信息
- D. CPU 内部的各个部件

19. 如果一个总线中并行传送 64 位数据, 总线频率为 66MHz, 则总线带宽是 ( )。

- A. 1056MB/s
- B. 528MB/s
- C. 2112MB/s
- D. 4224MB/s

20. 若时钟频率为 120MHz, 传送一个 32 位字需要 8 个时钟周期, 则该总线系统的数据传输速率是 ( )。

- A. 20MB/s
- B. 60MB/s
- C. 40MB/s
- D. 80MB/s

21. 在 32 位总线系统中, 若时钟频率为 500MHz, 传送一个 32 位字需要 5 个时钟周期, 则该总线系统的数据传送速率是 ( )。

- A. 200MB/s
- B. 400MB/s
- C. 600MB/s
- D. 800MB/s



22. CPU 总线是一种 ( )。

- A. 与 CPU 直接相连的系统总线
- B. 时钟同步型输入/输出总线
- C. 高速串行总线
- D. 局部总线

23. 系统级的总线是用来连接 ( )。

- A. CPU 内部的运算器和寄存器
- B. 主机系统板上的所有部件
- C. 主机系统板上的各个芯片
- D. 系统中的各个功能模块或设备

### 综合题

1. 总线的功能有哪些？从功能区分，总线由哪三部分组成？各自对计算机系统性能有什么影响？

2. 存储器读/写总线周期的功能有哪些？

3. 接口按数据传输宽度分为哪几类？按操作的节拍分为哪几类？按信息传送的控制方式分为哪几类？

4. 分布式裁决方式有哪些？

5. 什么是 USB 总线？USB 总线有什么特点？USB 的数据传输方式有哪些？

## 第七章 IO 系统

### IO 系统大纲

- 外部设备
- 接口
- 输出设备
- 输入设备
- 外存设备
- I/O 控制方式
  - 程序查询
  - 程序中断
  - DMA 方式
  - 通道方式

### 基本知识

- I/O 接口
- I/O 方式
- 程序中断的工作流程
- DMA 方式
- DMA 方式与程序中断方式的区别

### 一、基本概念

1. 中断向量地址是( )。
  - A. 子程序入口地址
  - B. 中断服务程序入口地址
  - C. 中断服务程序入口地址的地址
  - D. 例行程序入口地址
2. 并行通信接口支持( )之间信息的并行传送。
  - A. 主存与 CPU
  - B. 接口与设备
  - C. 接口与主机
  - D. CPU 与接口
3. I/O 采用不统一编址时, 进行输入/输出操作的指令是( )。
  - A. 控制指令
  - B. 访存指令
  - C. 输入/输出指令
  - D. 运算指令

### 二、外部设备的工作原理

4. 下列部件中, ( )是针式打印机的专用部件。
  - A. 墨盒
  - B. 聚焦透镜
  - C. 打印喷头
  - D. 色带机构
5. CRT 的颜色数为真彩色, 则它的颜色位数是( )。
  - A. 24
  - B. 8
  - C. 16
  - D. 32

### 三、外部设备参数计算

6. 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为  $1600 \times 1200$ , 颜色深度为 24 位, 帧频为 85Hz, 显存总带宽的 50% 用来刷新屏幕, 则要求的显存总带宽至少约为多少?

- A. 245Mb/s                      B. 979Mb/s                      C. 1958Mb/s                      D. 7834Mb/s

7. 某磁盘存储器转速为 3000r/min, 共有 4 个记录面, 5 道/mm, 每道记录信息为 12288B, 最小磁道直径为 230mm, 共有 275 道。

- (1) 磁盘存储器的容量是多少?
- (2) 最高位密度与最低位密度是多少?
- (3) 磁盘数据传输率是多少?
- (4) 平均等待时间是多少?
- (5) 给出一个磁盘地址格式方案?

8. 设双面软盘, 有效存储区域内径 20cm, 外径 30cm, 道密度 8 道/cm, 每道 15 个扇区, 每个扇区存储 512B. 问磁盘容量是多少? 已知马达转速为 360r/min, 假设找道时间为  $10 \sim 40$ ms, 今在一个磁道上写入 4096B 的数据, 平均需要多少时间?

### 四、不同 I/O 方式的工作原理

9. 下列选项中, 能引起外部中断的事件是( )

- A. 键盘输入                      B. 除数为 0  
C. 浮点运算下溢                      D. 访存缺页

10. 单级中断系统中, 中断服务程序内的执行顺序是( )。

- I. 保护现场
- II. 开中断
- III. 关中断
- IV. 保护断点
- V. 中断事件处理
- VI. 恢复现场
- VII. 中断返回

- A. I→V→VI→II→VII                      B. III→I→V→VII  
C. III→IV→V→VI→VI                      D. IV→I→V→VI→VII

11. 设置硬件中断判优逻辑的目的是( )。

- A. 产生中断源编码.  
B. 使同时提出的请求中优先级别最高者得到及时响应  
C. 使 CPU 能方便地转入中断服务程序  
D. 提高中断响应速度

12. 在 DMA 方式中, 由( )发出总线请求。

- A. 外部设备                      B. DMA 控制器                      C. CPU                      D. 主存

13. 向量中断是( )。

- A. 外设提出中断  
B. 由硬件形成中断服务程序入口地址  
C. 由硬件形成向量地址, 再由向量地址找到中断服务程序入口地址  
D. 以上都不对

## 五、中断处理的分析和计算

14. 中断屏蔽字的作用是( )。

- A. 暂停外设对主存的访问  
B. 暂停 CPU 对某些中断的响应  
C. 暂停 CPU 对一切中断的响应  
D. 暂停 CPU 对主存的访问

15. 某计算机的 CPU 主频为 500MHz, CPI 为 5(即执行每条指令平均需要 5 个时钟周期)假定某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传输单位, 对应的中断服务程序包含 18 条指令, 中断服务的其他开销相当于 2 条指令的执行时间。请回答下列问题, 要求给出计算过程。

(1) 在中断方式下, CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比是多少?

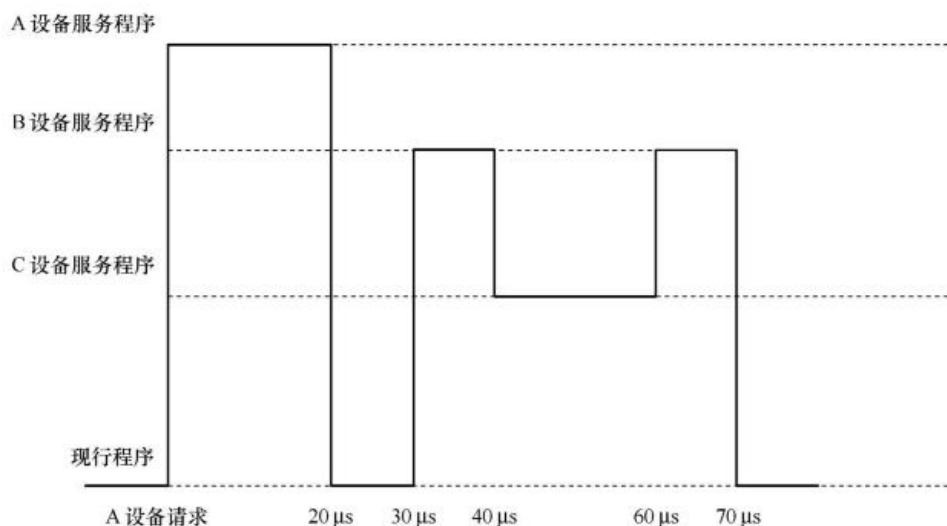
(2) 当该外设的数据传输率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送块大小为 5000B, 且 DMA 预处理和后处理的总开销为 500 个时钟周期, 则 CPU 用于该外设 I/O 的时间占整个 PU 时间的百分比是多少?(假定 DMA 与 CPU 之间没有访存冲突)

16. 设某计算机配有 A、B、C 三台设备, 其中断优先次序(响应次序)是 A-B-C。为凸变中断处理次序, 将它们的中断屏蔽字分别设置如下(0 对应于开放, 1 对应于屏蔽):

| 中断服务<br>程序级别 | 中断屏蔽字 |   |   |
|--------------|-------|---|---|
|              | 1     | 2 | 3 |
| A            | 1     | 1 | 1 |
| B            | 0     | 1 | 0 |
| C            | 0     | 1 | 1 |

(1) 其中断处理次序是什么?

(2) 设 A、B、C 的中断服务程序的执行时间均为 20us, 在 A 设备发出请求后 30us 时, B 设备发出请求; 40us 时, C 设备发出请求, 试画出 CPU 执行程序的轨迹。



## 真题

1. 若磁盘转速为 7200 转/分，平均寻道时间为 8ms 每个磁道包含 1000 个扇区，则访问一个扇区的平均存取时间大约是（ ）。

- A. 8.1ms                      B. 12.2ms                      C. 16.3ms                      D. 20.5ms

2. 某磁盘的转速为 10000 转/分，平均寻道时间是 6ms，磁盘传输速率是 20MB/s，磁盘控制器延迟为 0.2ms，读取一个 4KB 的扇区所需的平均时间约为（ ）。

- A. 9ms                      B. 9.4ms                      C. 12ms                      D. 12.4ms

3. 下列选项中，用于提高 RAID 可靠性的措施有（ ）。

- I. 磁盘镜像  
II. 条带化  
III. 奇偶校验  
IV. 增加 Cache 机制

- A. 仅 I、II                      B. 仅 I、III  
C. 仅 I、III和IV                      D. 仅 II、III和IV

4. I/O 指令实现的数据传送通常发生在（ ）。

- A. I/O 设备和 I/O 端口之间  
B. 通用寄存器和 I/O 设备之间  
C. I/O 端口和 I/O 端口之间  
D. 通用寄存器和 I/O 端口之间

5. 下列有关 I/O 接口的叙述中, 错误的是 ( ) .
- A. 状态端口和控制端口可以合用同一个寄存器
  - B. I/O 接口中 CPU 可访问的寄存器称为 I/O 端口
  - C. 采用独立编址方式时, I/O 端口地址和主存地址可能相同
  - D. 采用统一编址方式时, CPU 不能用访存指令访问 I/O 端口
6. 下列选项中, 在 I/O 总线的数据线上传输的信息包括 ( ) .
- I. I/O 接口中的命令字
  - II. I/O 接口中的状态字
  - III. 中断类型字
- A. 仅 I、II
  - B. 仅 I、III
  - C. 仅 II、III
  - D. I、II、III
7. 下列关于多重中断系统的叙述中, 错误的是 ( ) .
- A. 在一条指令执行结束时响应中断
  - B. 中断处理期间 CPU 处于关中断状态
  - C. 中断请求的产生与当前指令的执行无关
  - D. CPU 通过采样中断请求信号检测中断请求
8. 异常是指令执行过程中在处理器内部发生的特殊事件, 中断是来自处理器外部的请求事件。下列关于中断或异常情况的叙述中, 错误的是 ( ) .
- A. “访存时缺页”属于中断
  - B. “整数除以 0”属于异常
  - C. “DMA 传送结束”属于中断
  - D. “存储保护错”属于异常
9. 在采用中断 I/O 方式控制打印输出的情况下, CPU 和打印控制接口中的 I/O 端口之间交换的信息不可能是 ( ) .
- A. 打印字符
  - B. 主存地址
  - C. 设备状态
  - D. 控制命令
10. 若某设备中断请求的响应和处理时间为 100ns, 每 400ns 发出一次中断请求, 中断响应所允许的最长延迟时间为 50ns, 则在该设备持续工作过程中, CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 ( ) .
- A. 12.5%
  - B. 25%
  - C. 37.5%
  - D. 50%
11. 下列关于中断 I/O 方式和 DMA 方式比较叙述中, 错误的是 ( ) .
- A. 中断 I/O 方式请求的是 CPU 处理时间, DMA 方式请求的是总线使用权
  - B. 中断响应发生在一条指令执行结束后, DMA 响应发生在一个总线事务完成后
  - C. 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
  - D. 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备

12. 响应外部中断的过程中，中断隐指令完成的操作，除保护断点外，还包括（ ）。

- I. 关中断
- II. 保存通用寄存器的内容
- III. 形成中断服务程序入口地址并送 PC

- A. 仅 I、II
- B. 仅 I、III
- C. 仅 II、III
- D. I、II、III

## 更多典型题目

1. 计算机的外围设备是指（ ）。

- A. 输入/输出设备
- B. 外存储器
- C. 远程通信设备
- D. CPU 和内存以外的其他设备

2. 输入设备主要包括（ ）。

- I. 扫描仪
- II. 触摸屏
- III. 摄像机
- IV. CRT

- A. 只有 I、IV
- B. 只有 II、IV
- C. 只有 III、IV
- D. 只有 I、II、III

3. 16 位真彩色显示器可显示的颜色种数为（ ）。

- A. 16 种
- B. 4 种
- C. 32K 种
- D. 64K 种

4. 激光打印机的打印原理是（ ）。

- A. 激光直接打在纸上
- B. 利用静电转印
- C. 激光控制墨粉运动方向
- D. 激光照射样稿

5. CRT 显示器显示图形图像的原理是图形图像（ ）。

- A. 由点阵组成
- B. 由线条组成
- C. 由色块组成
- D. 由方格组成

6. 按通道的工作方式分，通道有（ ）。

- A. 选择通道
- B. 字节多路通道
- C. 数组多路通道
- D. 以上答案均正确

7. 磁盘上磁道号最小的是（ ）。

- A. 最外道
- B. 最内道
- C. 中间道
- D. 不一定

8. 磁盘上靠内的磁道上存储的信息量比靠外的磁道存储的信息量（ ）。

- A. 少
- B. 多
- C. 相等
- D. 不确定

9. 通用可编程接口的部件组成不包括（ ）部分。
- A. 命令寄存器
  - B. 指令寄存器
  - C. 数据缓冲寄存器
  - D. 屏蔽和判优逻辑电路
10. 下列有关 I/O 编址方式的描述中，正确的是（ ）。
- A. 统一编址是将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问
  - B. 独立编址是指 I/O 地址和存储器地址是分开的，所以对 I/O 访问必须有专门的 I/O 指令
  - C. 统一编址是指 I/O 地址和存储器地址是分开的，所以可用访存指令实现 CPU 对设备的访问
  - D. 独立编址是将 I/O 地址看作是存储器地址的一部分，所以对 I/O 访问必须有专门的 I/O 指令
11. 下面关于 I/O 控制方式的叙述中，正确的是（ ）。
- A. 程序查询方式的 CPU 效率较高
  - B. 中断方式适于批量数据传送
  - C. 中断方式需要 CPU 的较多干预
  - D. DMA 方式完成 I/O 处理比较慢
12. 主机与 I/O 设备传送数据时，CPU 效率最低的是（ ）。
- A. 程序查询方式
  - B. 中断方式
  - C. DMA 方式
  - D. 通道方式
13. 中断响应过程中，保护程序计数器 PC 的作用是（ ）。
- A. 能够保障 CPU 与外设能并行工作
  - B. 为了实现中断嵌套
  - C. 使 CPU 能找到中断服务程序入口地址
  - D. 使中断返回时，CPU 能回到断点处进行原程序执行
14. 中断向量表中保存的是（ ）。
- A. 被中断程序的返回地址
  - B. 中断服务程序入口地址
  - C. 中断优先级
  - D. 中断源编码
15. 字节多路通道的数据传输率为该通道所接设备的数据传输率（ ）。
- A. 其中最大一个
  - B. 其中最小一个
  - C. 之和
  - D. 之积
16. 采用 DMA 方式传送数据时，每传送一个数据就要占用一个（ ）的时间。
- A. 指令周期
  - B. 机器周期
  - C. 存储周期
  - D. 总线周期



17. 周期挪用方式常用于 ( ) 方式的输入/输出系统中。  
A. 通道                      B. 中断                      C. DMA                      D. 程序传送
18. 通道程序是由 ( ) 组成的。  
A. 机器指令                      B. I/O 指令                      C. 通道指令                      D. 通道状态字
19. 硬盘平均寻道时间为 12ms, 传输速率为 10MB/s, 磁盘控制器延时为 2ms, 则一个转速为 7200r/min 的硬盘写 1KB 数据时间为 ( )。  
A. 2.9ms                      B. 12.9ms                      C. 14.9ms                      D. 16.9ms
20. 若视频图像每帧的数据量为 6.4MB, 帧速率为 30 帧/秒, 则显示 10 秒的视频信息, 其原始数据量是 ( )。  
A. 64MB                      B. 192MB                      C. 640MB                      D. 1920MB
21. CPU 等待设备时采用踏步等待方式, 下列 I/O 方式中, 主机与设备是并行工作的是 ( )。  
A. 程序查询方式                      B. 程序中断方式  
C. DMA 方式                      D. 以上都不正确
22. 下面关于中断的顺序, 排列正确的是 ( )。  
A. 中断请求、中断响应、中断处理  
B. 中断响应、中断请求、中断处理  
C. 中断处理、中断响应、中断请求  
D. 中断响应、中断处理、中断请求
23. 关于在 I/O 设备与主机间交换数据的叙述中, 错误的是 ( )。  
A. 在中断方式下, CPU 需要执行程序来实现数据传送任务  
B. 在中断方式和 DMA 方式下, CPU 与 I/O 设备都可并行工作  
C. 在中断方式和 DMA 方式中, 快速 I/O 设备更适合采用中断方式传递数据  
D. 若同时接到 DMA 请求和中断请求, CPU 优先响应 DMA 请求
24. DMA 传输方式的优点主要包括 ( )。  
A. 实现高速 I/O 设备与主存储器之间成批交换数据  
B. 实现高速 I/O 设备与 CPU 之间串行工作  
C. 实现高速 I/O 设备与主存储器之间串行工作  
D. 实现高速 I/O 设备与 CPU 之间同步工作
25. DMA 接口中通常应包括 ( ) 逻辑部件。  
A. 主存地址计数器                      B. 数据数量计数器  
C. DMA 请求触发器                      D. 以上都包括
26. 下列关于 DMA 接口的说法中, 不正确的是 ( )。  
A. 主存地址计数器是用来存放读/写主存用到的主存地址  
B. DMA 的控制/状态逻辑是用来协调 CPU 和 DMA 同步工作的  
C. 数据缓冲寄存器存放 CPU 与主存之间交换的数据

D. 中断机构用于向 CPU 报告本组数据传送完成，并等待新的传送命令

27. 在 DMA 方式下，数据从内存传送到外设经过的路径是（ ）。

- A. 内存→数据总线→外设
- B. 内存→DMA→外设
- C. 内存→CPU→总线→外设
- D. 外设→内存

28. 已知某磁盘存储器转速为 2400r/min，每道存储容量为 96KB，那么磁盘的数据传输率为（ ）。

- A. 1920KB/s
- B. 3840KB/s
- C. 3845KB/s
- D. 3880KB/s

29. 在某系统中，每取一个数据就要中断 CPU 一次，然后由中断处理程序将其放入主存的缓冲区。如果执行一次中断要 ms。当缓冲区中的内容达到 n 个时，主程序就将其取出，处理这些数据的时间是 ts。那么每秒钟系统内的中断请求是（ ）次。

- A.  $N/(nm+t)$
- B.  $N/(m+t)n$
- C.  $\text{Min}(1/m, n/t)$
- D.  $\text{Max}(1/m, n/t)$

30. 下列关于程序中断方式基本接口的说法中，不正确的是（ ）。

- A. 设置中断屏蔽触发器是为了标记 CPU 是否受理中断或批准中断
- B. 允许中断触发器 (EI) 是用来控制是否允许某设备发出中断请求的器件
- C. 准备就绪是为了标识是否设备已经做好接收或发送数据的准备
- D. 工作触发器用来标识设备是否处于“空闲”状态

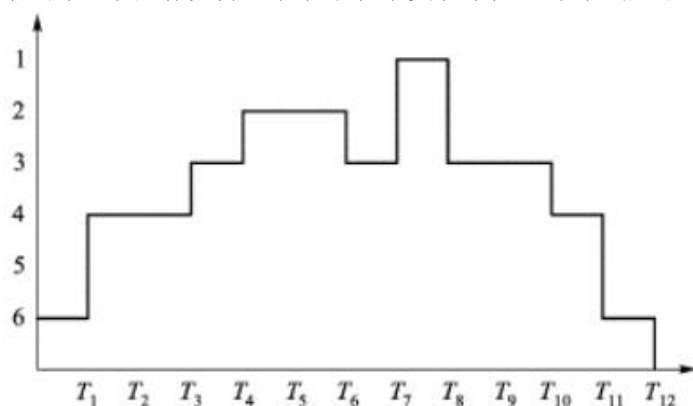
## 综合题

1. 简述中断的作用。

2. 简述中断处理过程（要求尽可能完整）。

3. 简述 DMA 的处理过程。

4. 下图为多重中断的示意图，请说明该中断系统中实现了几重中断，描述此多重中断的过程。



5. 有一台磁盘机，平均寻道时间为 30ms，平均旋转等待时间为 120ms，数据传输速率为 500B/ms，磁盘机上存放着 1000 件每件 3000B 的数据。现欲把一件数据取走，更新后再放回原处。假设一次取出或写入所需时间为：平均寻道时间+平均等待时间+数据传送时间。另外，使用 CPU 更新信息所需时间为 4ms，且更新时间同输入/输出操作不相重叠。试问：

- (1) 更新磁盘上全部数据需要多少时间？
- (2) 若磁盘及旋转速度和数据传输率都提高一倍，更新全部数据需要多少时间？

6. 设某机有 5 级中断 L0、L1、L2、L3、L4，其中断响应优先次序为 L0 最高、L1 次之、…、L4 最低。现在要求将中断处理次序改为 L1→L3→L0→L4→L2，试问：

- (1) 下表中各级中断处理程序的各中断级屏蔽值如何设置（每级对应一位，该位为“0”表示允许中断，该位为“1”表示中断屏蔽）？
- (2) 若这 5 级中断同时都发出中断请求，按更改后的次序画出进入各级中断处理程序的过程示意图。

| 中断处理程序         | 中断处理级屏蔽位       |                |                |                |                |
|----------------|----------------|----------------|----------------|----------------|----------------|
|                | L <sub>0</sub> | L <sub>1</sub> | L <sub>2</sub> | L <sub>3</sub> | L <sub>4</sub> |
| L <sub>0</sub> |                |                |                |                |                |
| L <sub>1</sub> |                |                |                |                |                |
| L <sub>3</sub> |                |                |                |                |                |
| L <sub>4</sub> |                |                |                |                |                |

7. 磁盘机由 6 个盘片组成，其中专设 1 个盘面为伺服面，其他的盘面作为记录数据的盘面。盘存储区域内直径为 6.1cm，外直径为 12.9cm，道密度为 220tpm，位密度为 6000bpm，平均寻道时间为 10ms，磁盘转速为 7200rpm。假定  $\pi=3$ ，试计算：

- (1) 数据盘面数和柱面数；
- (2) 盘组容量是多少字节？
- (3) 数据传输率是多少字节/秒？
- (4) 从任一磁道读取 80000 个字节数据的平均存取时间是多少？
- (5) 假定系统配备上述磁盘机 15 台，每个磁道分为 64 个扇区，试为该磁盘系统设计一个地址方案。