



混合訊號積體電源控管設計實驗室
Integrated Mixed-Signal & Power Management Design Lab.

Lab8

2023-04-26

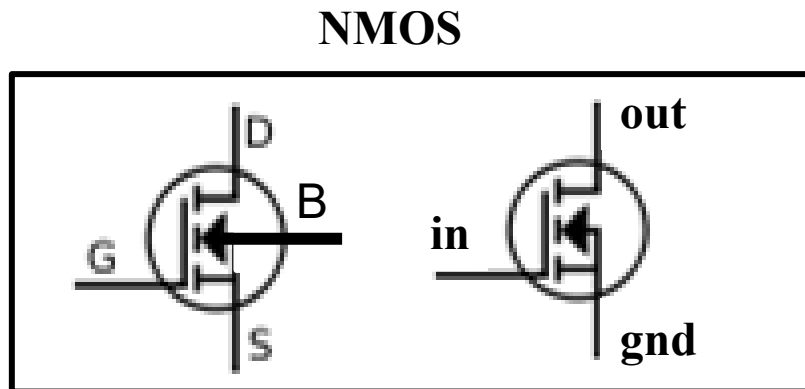
TA: 楊鈞翰 (e24081137@gs.ncku.edu.tw)

- ❑ IC設計流程及使用工具
- ❑ HSPICE語法介紹 — 電路檔
- ❑ HSPICE語法介紹 — 測試檔
- ❑ 操作流程
- ❑ Lab8 — Homework

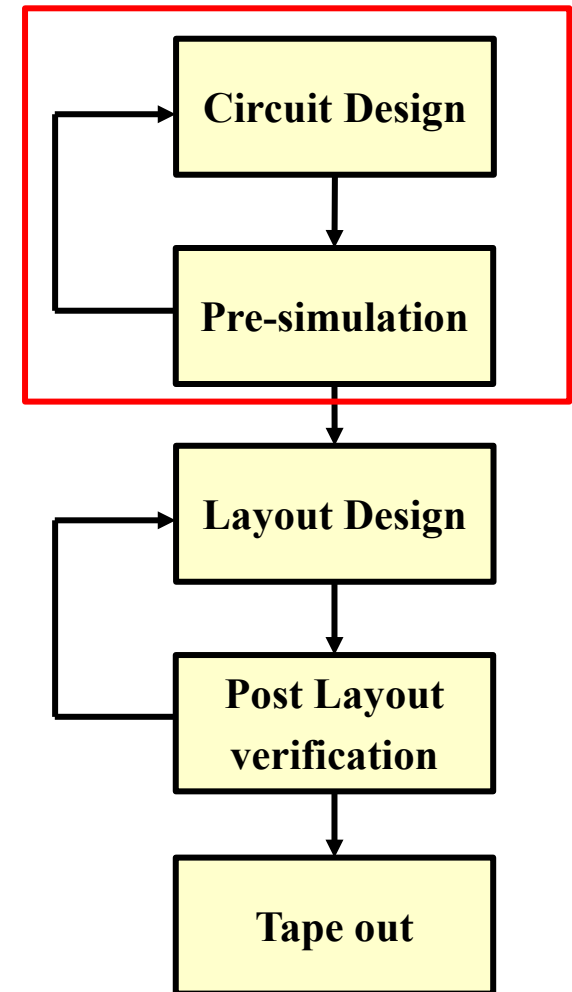
- IC設計流程及使用工具
- HSPICE語法介紹 — 電路檔
- HSPICE語法介紹 — 測試檔
- 操作流程
- Lab8 — Homework

□ HSPICE

- 將電路元件用HSPICE語法表達
- 可觀察波形看確認你的電路是否真的滿足你的需求，並觀察一些接近真實狀況的模擬值

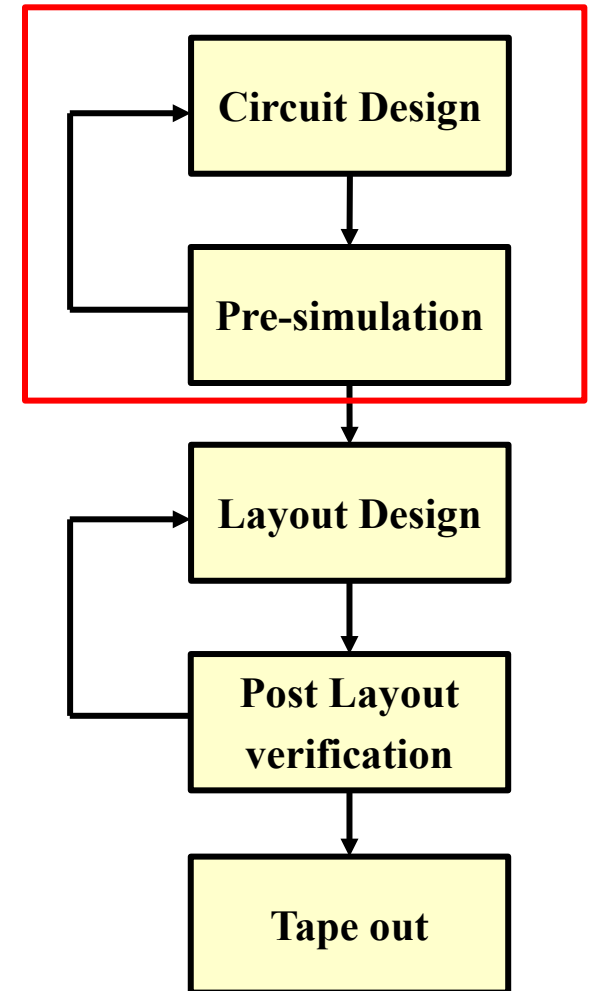


```
MnMos D G S B n_18 W=1u L=180n
MnMos out in gnd gnd n_18 W=1u L=180n
```



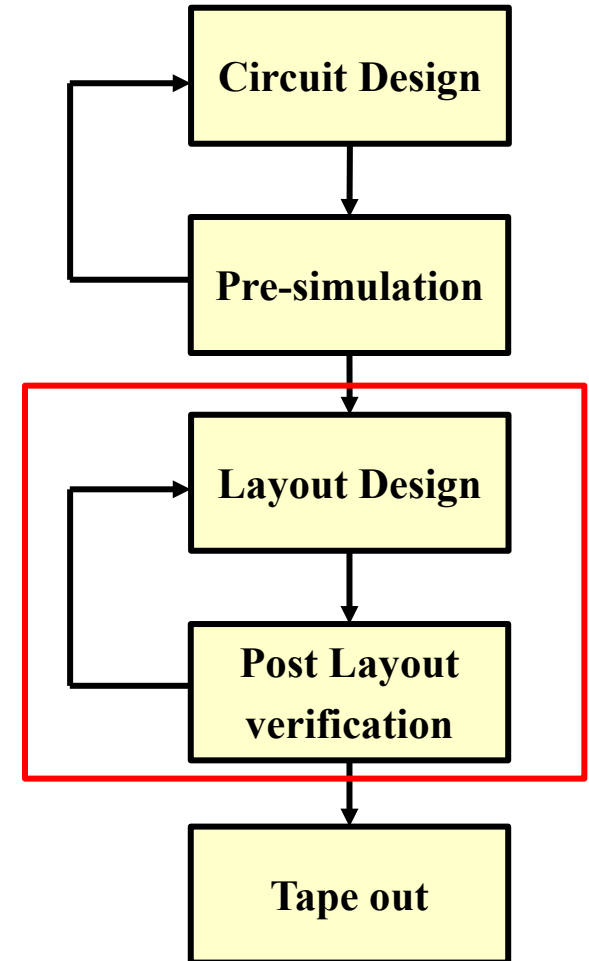
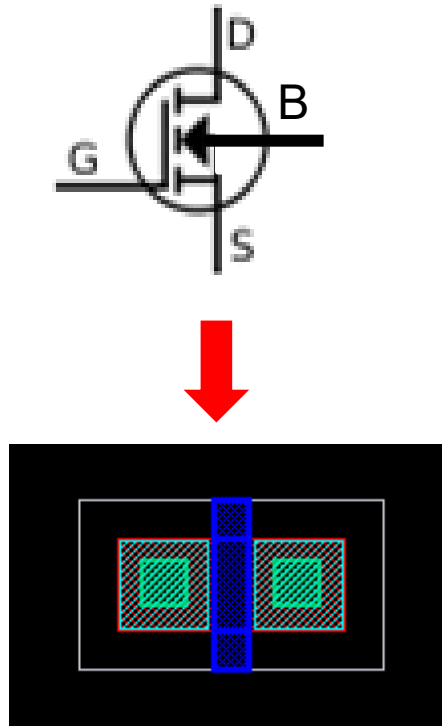
□ HSPICE

- DC sweep
 - 可以對電路進行DC sweep，如在**不同 V_{GS}** 下的 **I_D - V_{DS}** 圖
- AC loop stability
 - 可以對電路進行AC部分的穩定度分析，並可以畫出**波德圖**
- Transient note analysis
 - 可以畫出不同訊號的時域分析圖



□ Laker (Lab9將有較詳細介紹)

- 用來畫出電路佈局圖，包括電晶體的尺寸及位置、金屬層的走線...等
- 將佈局圖進行驗證(post-simulation)後，可以得到的比Pre-simulation的模擬更貼近現實的結果



- IC設計流程及使用工具
- HSPICE語法介紹 — 電路檔
- HSPICE語法介紹 — 測試檔
- 操作流程
- Lab8 — Homework

電路檔

測試檔

數位

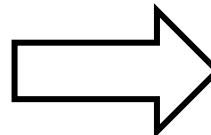
```
module inv( Vin,Vout,VDD,GND);
.
.
.
.
endmodule
```

+

```
Module inv_tb;
...
inv inv( Vin,Vout,VDD,GND);

Initial begin
.
.
end
endmodule
```

Verilog



波型模擬結果

電路檔

測試檔

類比

```
.subckt inv Vin Vout VDD GND
.
.
.
.
.ends
```

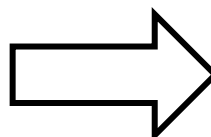
+

```
inc inv.sp
...
Xinv Vin Vout VDD GND inv

V1 ...
V2 ...
V3 ...

.end
```

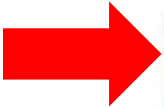
HSPICE




DC模擬結果
AC模擬結果
Transient模擬結果

□ 註解符號

- 若該列的第一個字元為“*”，則後面文字敘述將不被執行，而一般習慣上也會加上“*”做為註解的結束
- 若使用“\$”則表示後面文字敘述不會被執行



```
*file2: alter2.sp  alter examples  $ Title Statement
.lib 'mos.lib' normal
.param wval=50u Vdd=5V
r4 4 3 100
.alter
.del lib 'mos.lib' normal          $ remove normal model lib
.lib 'mos.lib' fast                $ get fast model lib
.alter
.temp -50 0 50                     $ run with different temperature
r4 4 3 1K                           $ change resistor value
c3 3 0 10p                          $ add the new element
.param wval=100u Vdd=5.5V          $ change parameters
.end
```



□ 子電路Hspice寫法

- 同一檔案內可放入多個不同的子電路

```
***inverter***
```

```
.subckt      inv      IN      OUT      VDD      GND
```

```
...
```

```
...
```

```
...
```

```
...
```

```
.ends
```

```
*** nand ***
```

```
.subckt nand A B out VDD GND
```

```
...
```

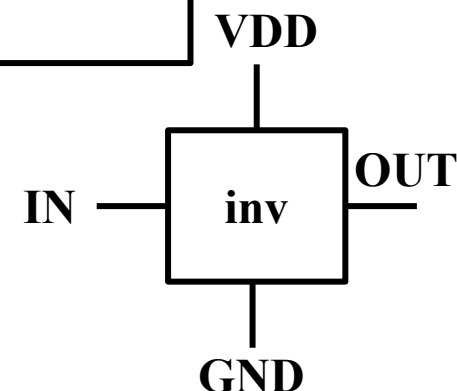
```
.ends
```

□ 子電路Hspice寫法

^
電
路
描
述
^

```
***inverter*** <標題(HSPICE第一行默認為標題，不會執行)>
.subckt      inv      IN      OUT      VDD      GND
<宣告子電路> <子電路名稱>  └───────────┬───────────┘
...
...
...
...
.ends <結束子電路宣告> 注意：.end後面要加s
```

備註：Hspice語法不會分辨大小寫



- ❑ HSPICE 的元件定義是以元件關鍵字加名稱來描述(keyword+names)
- ❑ 常見的元件定義方式：

元件	關鍵字
電晶體 (MOSFET)	M (e.g. M nmos)
電阻 (Resistor)	R (e.g. R out)
電容 (Capacitor)	C (e.g. C out)
子電路(Subcircuit)	X (e.g. X inv)

□ NMos

<Name> <drain> <gate> <source> <body> <model name> <width> <length>

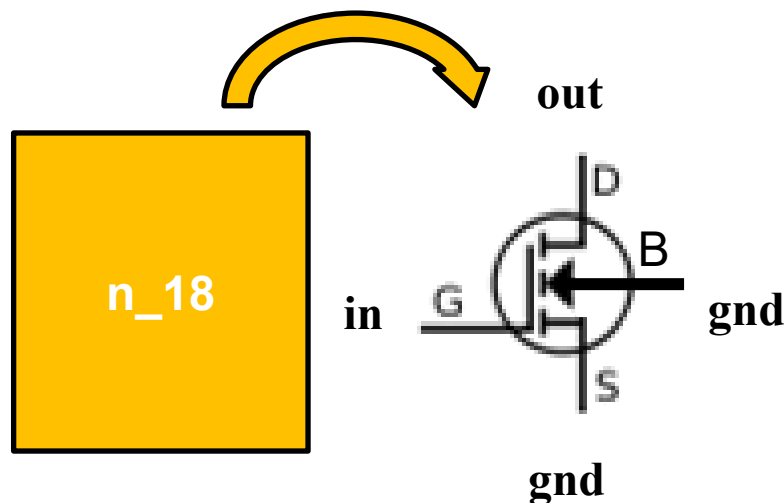
➡ MnMos out in gnd gnd n_18 W=1u L=180n

□ Pmos

<Name> <drain> <gate> <source> <body> <model name> <width> <length>

➡ MpMos out in vdd vdd p_18 W=1u L=180n

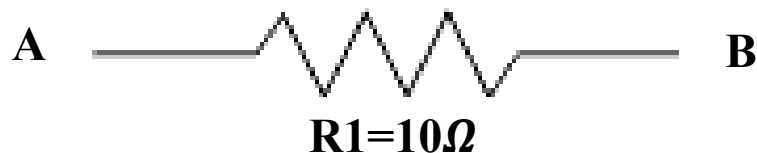
Technology library: **cic018.l**



□ Resistor

<Name> <Node1> <Node2> <Resistance>

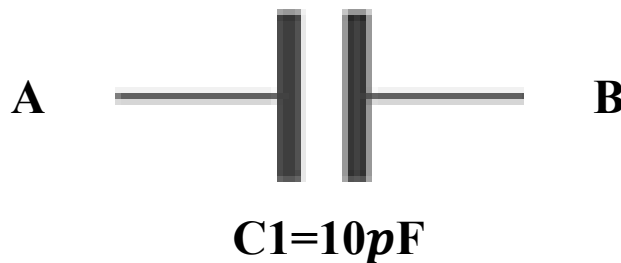
R1 A B 10



□ Capacitor

<Name> <Node1> <Node2> <Capacitance>

C1 A B 10p



□ 呼叫子電路(subcircuit)

NOR.netlist

.subckt (宣告)	子電路名稱	接腳名稱				
.subckt	nor	X	Y	F	VDD	GND

Testbench.sp

跟HSPICE說他是子電路

xname	接腳名稱	子電路名稱				
xnor	X	Y	F	VDD	GND	nor

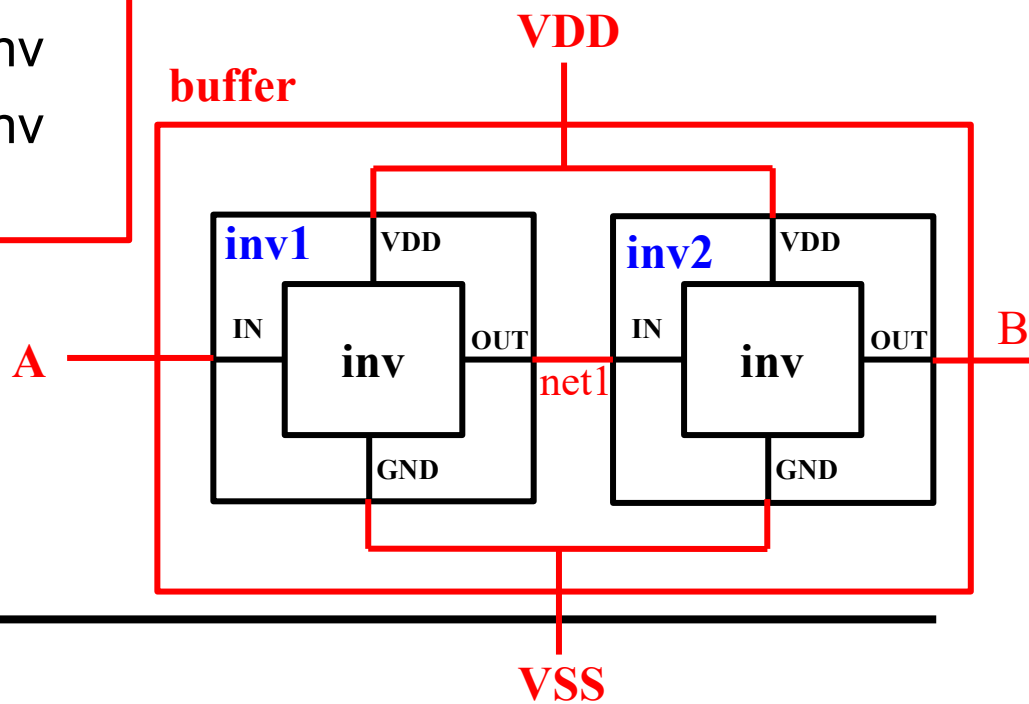
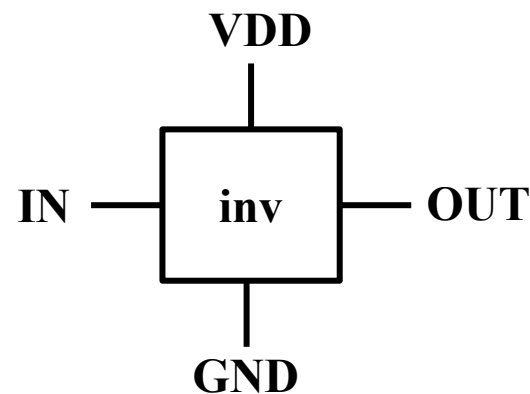
要照順序來，不然會錯

幫他取個好聽的名字吧~

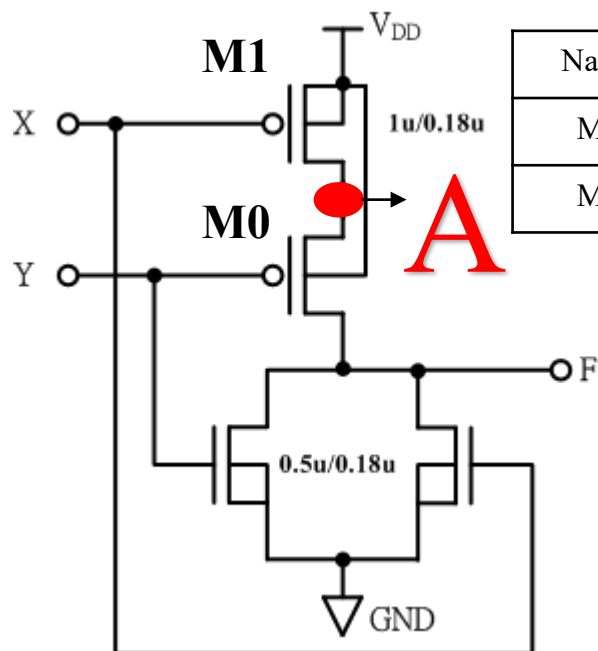
□ 呼叫子電路

```
.subckt inv in out VDD GND  
...  
...  
.ends
```

```
.subckt buffer A B VDD VSS  
Xinv1 A net1 VDD VSS inv  
Xinv2 net1 B VDD VSS inv  
.ends
```



□ 電路間的連接



Name	Drain	Gate	Source	Body	Cell_lib	Width	Length
M0	F	Y	A	VDD	p_18	W=1u	L=0.18u
M1	A	X	VDD	VDD	p_18	W=1u	L=0.18u

- IC設計流程及使用工具
- HSPICE語法介紹 — 電路檔
- HSPICE語法介紹 — 測試檔
- 操作流程
- Lab8 — Homework

❑ 電路檔與測試檔寫在同一個sp檔

```
***inverter***  
  
.GLOBAL gnd  
+ vdd  
  
.protect  
.lib './cic018/model/cic018.l' TT  
.unprotect  
  
.op  
.options post  
.tran 0.05n 25n  
.temp 25  
  
v1 vdd gnd DC 1.8v  
v2 gnd gnd DC 0v  
v3 Vin gnd pulse( 0v 1.8v 0.1n 0.1n 0.1n 0.5n 1.2n)  
  
MM1 Vout Vin vdd vdd p_18 W=0.6u L=180n  
MM0 Vout Vin gnd gnd n_18 W=0.25u L=180n  
  
.end
```

第一列內建為註解，不執行全域性宣告，

宣告全域腳位
加號為連接上一行使用

指定製程檔路徑，TT 為模擬環境
(若路徑不同請更改)

列出每一電晶體工作點情況

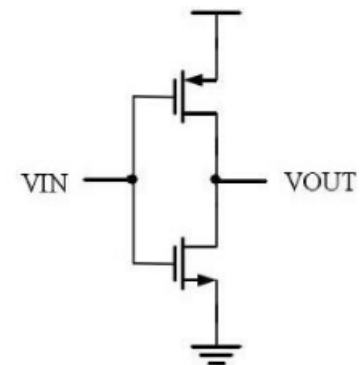
此描述可將模擬結果透過波型軟體觀察暫態分析
0.05ns為最低解析度，分析至 25ns結束

設定工作溫度為25°C

各個輸入電壓準位

要有這行才能模擬

注意：.end後面不加s



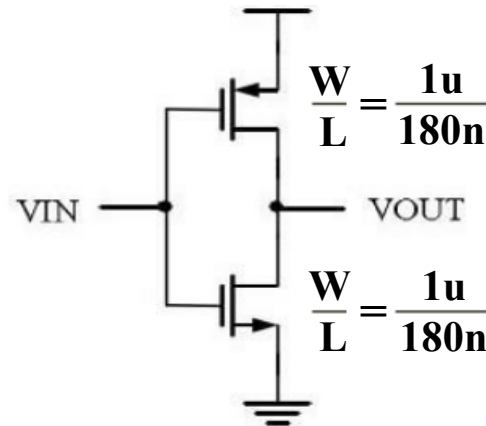
□ 電路檔與測試檔寫在不同sp檔

```
***inverter***  
.INC 'inv.netlist'  
.GLOBAL gnd  
+ vdd  
  
.protect  
.lib 'cic018.l' TT  
.unprotect  
  
.op  
.options post  
  
.tran 0.05n 25n  
.temp 25  
  
xinv Vin Vout VDD GND inv  
  
v1 vdd gnd DC 1.8v  
v2 gnd gnd DC 0v  
v3 Vin gnd pulse( 0v 1.8v 0.1n 0.1n 0.1n 0.5n 1.2n)  
.end
```

匯入電路描述檔

inv.netlist

```
***inverter netlist***  
.subckt inv Vin Vout VDD GND  
Mp Vout Vin VDD VDD P_18 W=1u L=180n  
Mn Vout Vin GND GND N_18 W=1u L=180n  
.ends
```

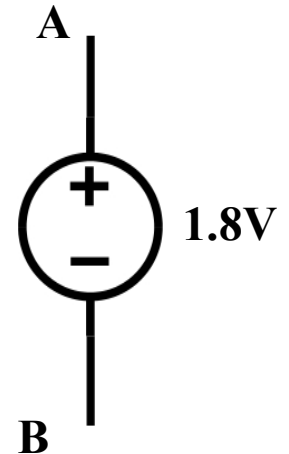


□ HSPICE電壓語法

□ DC電壓

<電壓名稱> <正電壓腳位> <負電壓腳位> <電壓描述>

VVtest A B DC 1.8v



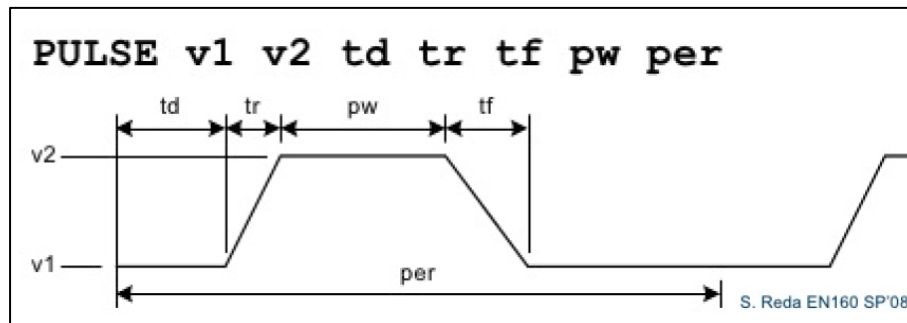
□ PULSE電壓

<電壓名稱> <正腳位> <負腳位>

VVin Vin gnd

<電壓描述>

PULSE(0 1.8 1n 100p 100p 20n 40n)
(pulse v1 v2 td tr tf pw per)



- HSPICE 在每次模擬後，其結果會以檔案之形式存於工作目錄內

Output File Type	Extensi
Output Lis	.lis
DC Analysis Results	.sw#
DC Analysis Measurement Results	.ms#
AC Analysis Results	.ac#
AC Analysis Measurement Results	.ma#
Transient Analysis Results	.tr#
Transient Analysis Measurement Results	.mt#
Subcircuit Cross-Listing	.pa#
Operating Point Node Voltages (Initial Condition)	.ic

- IC設計流程及使用工具
- HSPICE語法介紹 — 電路檔
- HSPICE語法介紹 — 測試檔
- 操作流程
- Lab8 — Homework

句點前有空格

❑ 登入帳號

❑ % cp -r ../vlsi23150/Desktop/TSRI .

最後的點一定要加

❑ % gedit xxx.sp (xxx可任意取名)

(若無xxx.sp的話會生成xxx.sp並用編輯器開啟，若有則用編輯器開啟xxx.sp)

❑ % hspice xxx.sp -o yyy.lis(yyy可任意取名)

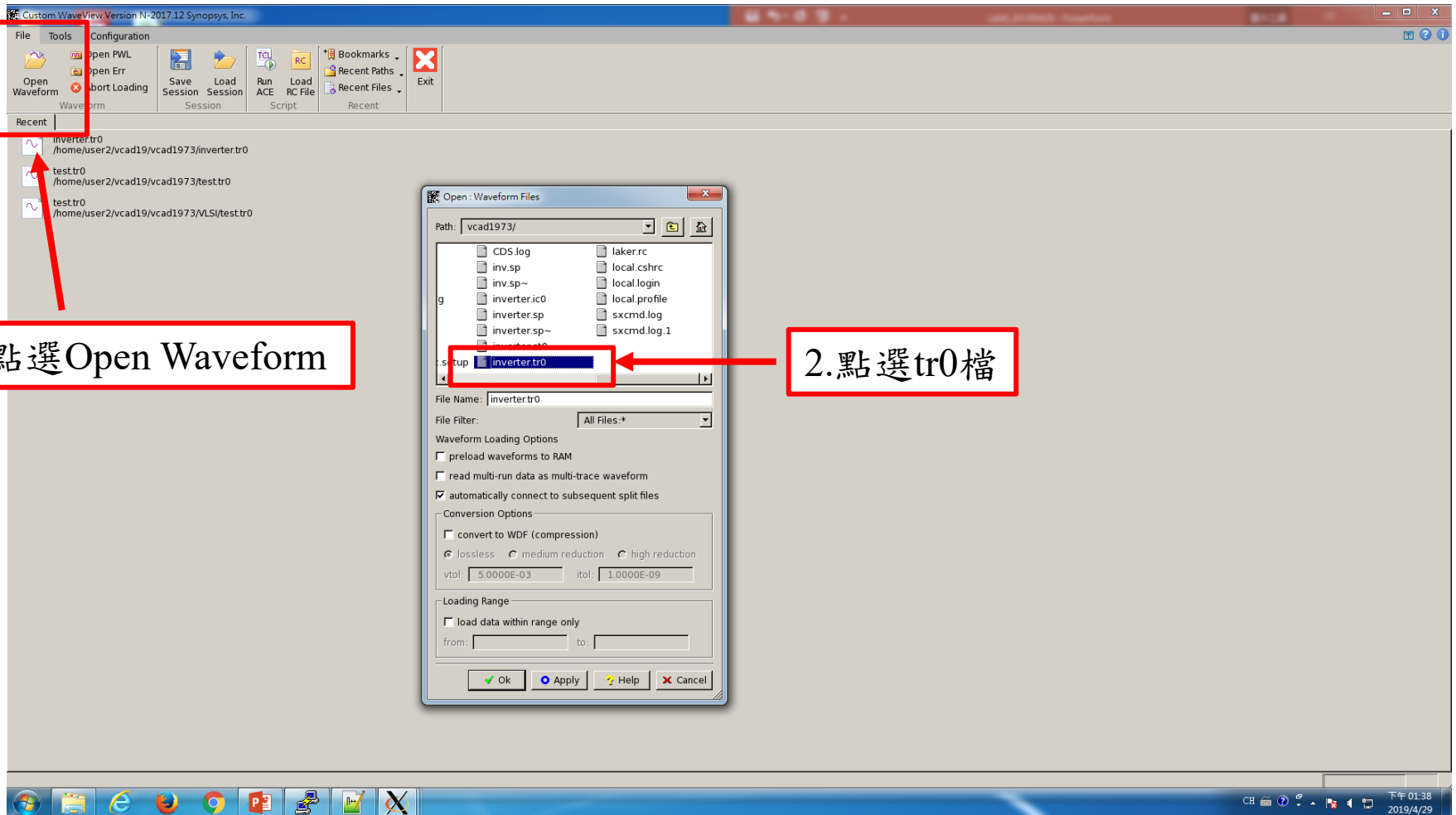
- 若顯示job aborted → 表示內容有錯誤，查看.lis 檔的錯誤訊息

```
>info: ***** hspice job aborted
lic: Release hspice token(s)
lic: total license checkout elapse time: 0.68(s)
vlsicad5: /home/user2/vlsi17/vlsi1778/Lab8_test/
```

- 若顯示job concluded → 內容沒錯誤，模擬順利完成

```
>info: ***** hspice job concluded
lic: Release hspice token(s)
lic: total license checkout elapse time: 1.49(s)
vlsicad5: /home/user2/vlsi17/vlsi1778/Lab8_test/
```

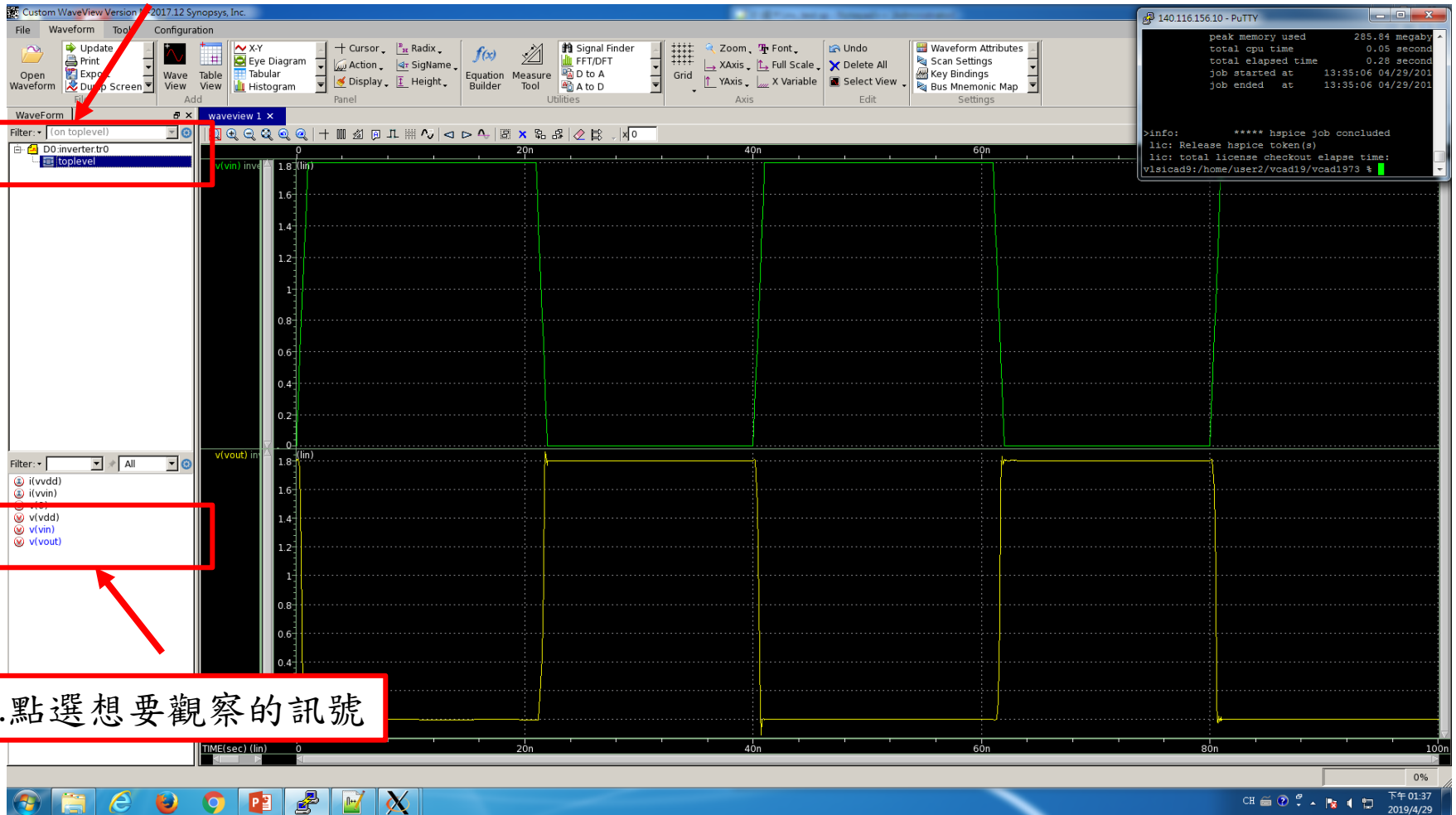
❑ % wv & (開啟波型軟體(WaveView))



波形瀏覽WaveView(2/3)

P.25

3. 點擊tr0並點擊toplevel



1.點選Configuration

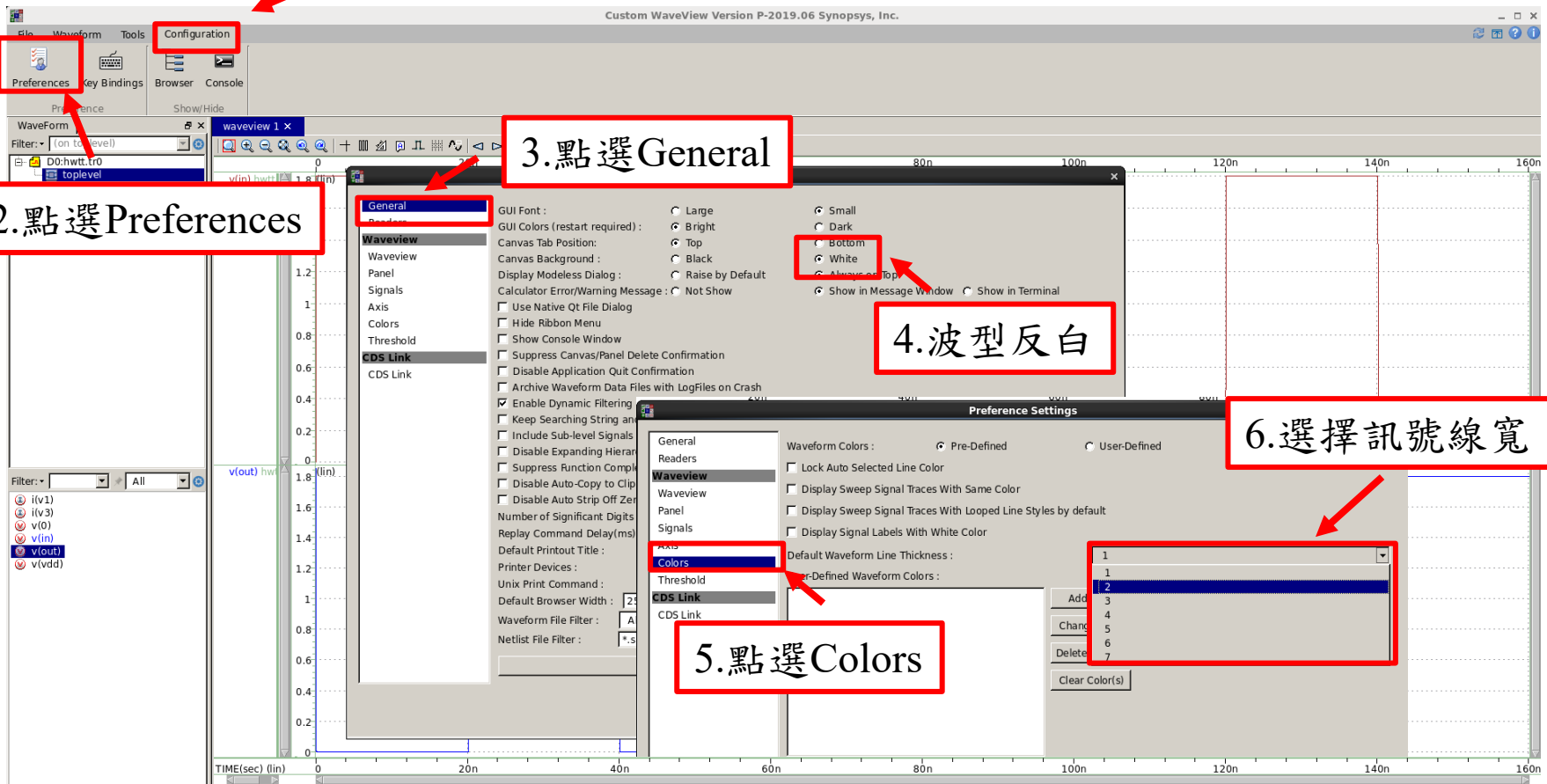
2.點選Preferences

3.點選General

4.波型反白

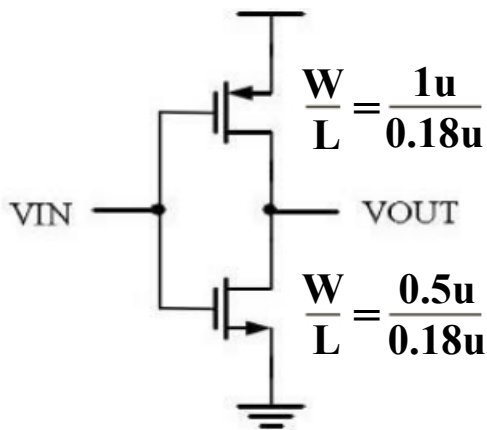
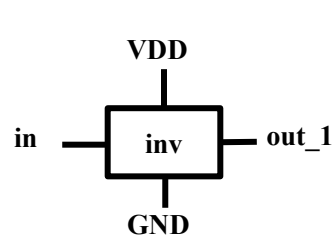
6.選擇訊號線寬

5.點選Colors

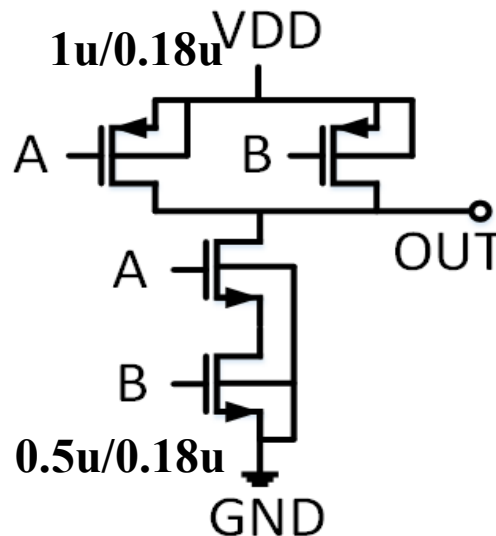
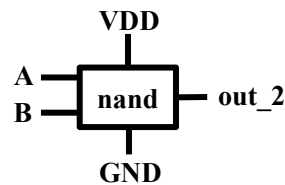


- ❑ IC設計流程及使用工具
- ❑ HSPICE語法介紹 — 電路檔
- ❑ HSPICE語法介紹 — 測試檔
- ❑ 操作流程
- ❑ Lab8 — Homework

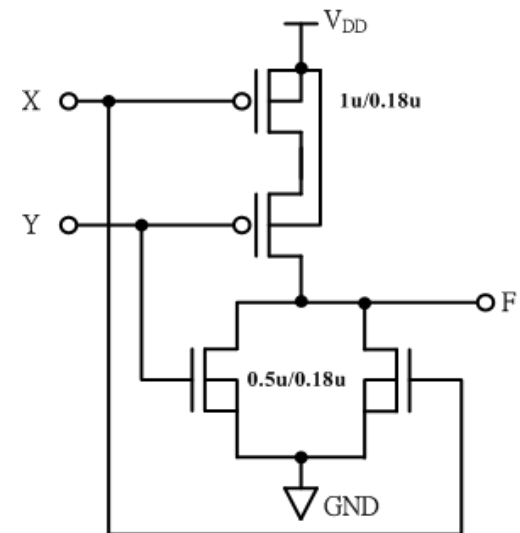
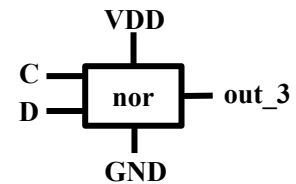
- ❑ 1. 使用hspice建立inverter、nand、nor電路，電晶體長寬比如下圖
- ❑ 2. 使用gedit指令建立circuit.spi
- ❑ 3. 請在circuit.spi檔案內寫下你的電路描述



▲ inverter



▲ NAND



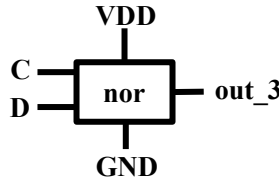
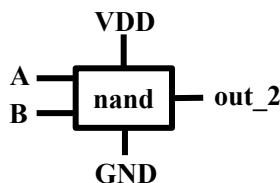
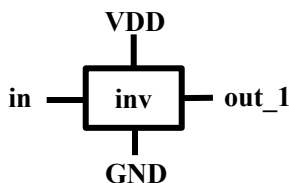
▲ NOR

Lab8 — Homework 1-2

P.29

- ❑ 使用gedit指令建立測試檔testbench.sp
- ❑ 電源名稱及說明如下，請依照規定輸入
- ❑ 記得要加入cic018.l檔案!!否則不能模擬!!

輸入訊號	in	PULSE(0 1.8 0 0.1n 0.1n 20n 40n)
	A	PULSE(0 1.8 0 0.1n 0.1n 20n 40n)
	B	PULSE(0 1.8 0 0.1n 0.1n 40n 80n)
	C	PULSE(0 1.8 0 0.1n 0.1n 20n 40n)
	D	PULSE(0 1.8 0 0.1n 0.1n 40n 80n)
輸出訊號	out_1	
	out_2	
	out_3	
直流電壓	VDD	1.8V
接地	GND	0V
模擬時間	160ns	



```

***testbench***

.INC 'circuit.spi'
.GLOBAL gnd
+ vdd

.protect
.lib 'cic018.l' TT
.unprotect

.op
.options post
.tran 0.05n 160n
.temp 25

xinv ..... inv
***** Testing Voltage *****

.end
    
```

注意路徑

各點電壓

- ❑ 1. 請設計一個inverter、nand、nor電路且進行模擬(檔名：**circuit.spi**)
- ❑ 2. 請截取terminal 顯示 job concluded 的圖
- ❑ 3. 截取 WaveView 中 in、A、B、C、D、out_1、out_2、out_3 的波形(反白)
- ❑ 4. 任何建議歡迎提出(可寫可不寫，僅做為下禮拜上課方式的參考)，如：
 - 是否跟得上上課速度
 - 今天講解內容的難易度
 - 任何對於助教今天講解不清楚的地方
 - 以及其他你想建議我們助教的事情或想跟助教說的話
- ❑ 5. 檔案名稱格式為：**Lab8_學號.pdf** (不是 pdf 檔及檔案名稱錯誤會扣分)
- ❑ 6. 報告格式的word 檔案已上傳至moodle，請至moodle 下載
- ❑ 7. 將**Lab8_學號.pdf**、**circuit.spi**、**testbench.sp**壓縮成**Lab8_學號.zip**並上傳至moodle
- ❑ 8. 請於 2023/05/03 下午 15：00 以前上傳至 moodle ，逾期依扣分規定計算

資料夾：Lab8_學號

- ├── Lab8_學號.pdf
- ├── circuit.spi
- └── testbench.sp



Lab8_學號.zip