

Функциональная верификация цифровой аппаратуры

Моделирование: сбор тестового покрытия и профилирование тестового стенда в Synopsys VCS

Фролов П.В.

November 26, 2025

Инструментальная поддержка сбора структурного покрытия на примере Synopsys VCS

Сбор покрытия

Опорная документация:

- Synopsys Coverage Technology User Guide
- Synopsys Coverage Technology Reference Manual

Включение сбора покрытия:

- Ключи компиляции vcs [cover options] [compilation options]
 - -cm line|cond|fsm|tgl|branch|assert – определение метрик собираемого тестового покрытия;
 - -cm_dir <directory_path_name> – директория с внутренним представлением собираемого покрытия (simv.vdb)
 - -cm_name <filename> – обозначение теста, к которому привязана база собираемого покрытия.
- Ключи запуска simv [cover options] [run options]
 - -cm line|cond|fsm|tgl|branch|assert
 - -cm_dir <directory_path_name>
 - -cm_name <filename>

Инструментальная поддержка анализа структурного покрытия на примере Synopsys VCS

Формирование отчёта о покрытии: URG

- URG: Unified Report Generator

```
% urg -dir dir1 [dir2 ....] [urg_options]  
% urg -dir simv.vdb -format both  
% urg -dir simv.vdb -metric line+cond -report report_name
```

При указании нескольких директорий с данными по покрытию осуществляется слияние собранного покрытия в единый отчёт.

- DVE (DVE Coverage GUI)

```
% dve -cov  
% dve -dir *.vdb
```

Профилирование тестового стенда

Профилирование тестового стенда – получении информации о том, сколько аппаратных ресурсов (время / память) было использовано для моделирования того или иного блока тестового стенда при исполнении теста.

Необходимо для выяснения эффективности описания схемы на уровне RTL-модели, выявления неэффективностей моделирования, поиска ошибок в тестовом стенде.

Профилирование тестового стенда на примере Synopsys VCS

Опорный документ

VCS/VCSi User Guide

- Сборка тестового стенда с ключом `-simprofile`;
- запуск моделирования с ключом `-simprofile time|mem|noprof|noreport`;
- формирование отчёта с профилем моделирования: `profrpt`.

Текстовый отчёт – в файле `profileReport.txt` рабочей директории.

Пример временного профиля моделирования (общая таблица)

Time Summary View

Component	Percentage
VERILOG	86.10%
Module	77.28%
Interface	8.77%
Package	0.05%
KERNEL	13.60%
Garbage Collection (19 times)	0.02%
PLI/DPI/DirectC	0.18%
HSIM	0.11%
ASSERTION_KERNEL	0.00%
 TOTAL	100.00%

Пример временного профиля моделирования (по экземплярам модулей)

Time Instance View			
Instance	%TotalTime incl excl	Module/Program /Architecture	Source
ss	86.06 0.00	ss	dbg/ss/ss.sv:91
ss.cpu0	86.03 6.46	cpu_bench	dbg/ss/ss.sv:505
combined_Always(Always)	1.16 1.16	--	dbg/ss/l3/l3_stats.sv:199
combined_Always(Always)	1.14 1.14	--	dbg/ss/l3/l3_stats.sv:123
combined_Always(Always)	0.82 0.82	--	ss/hc/hc_stats.sv:149
combined_Always(Always)	0.55 0.55	--	dbg/ss/l3/l3_stats.sv:110
combined_Always(Always)	0.51 0.51	--	dbg/ss/l3/l3_stats.sv:186
ss.cpu0.ddr4_ch[1].mem1	0.69 0.00	ddr4_module	dbg/ss/cpu_bench.sv:1876
ss.cpu0.ddr4_ch[1].mem0	0.72 0.00	ddr4_module	dbg/ss/cpu_bench.sv:1834
ss.cpu0.ddr4_ch[0].mem1	0.73 0.01	ddr4_module	dbg/ss/cpu_bench.sv:1876