**中央民族大学信息工程学院**

**实验报告**

姓名： 王嘉毅 学号：22012670 专业：计科 课程：数电

实验名称：中规模集成电路的应用

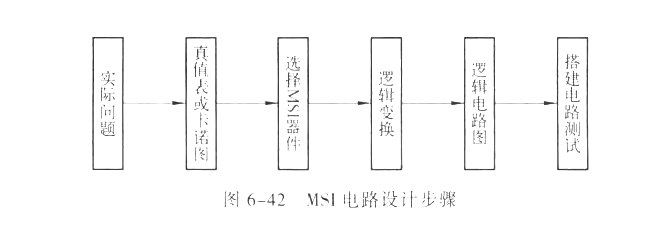
1. 实验目的

1、掌握用中规模集成 (MSI) 器件设计逻辑电路的一般方法

2、学握异或门、译码器和数据选择器的逻辑功能及其使用。

1. 实验原理

图 6-42 给出了用中规模集成器件设计组合电路的一般步骤。首先将实际问题用真值表或长诺图描述出来，这一步称为建模:然后根据所选的 MSI器件进行相应的逻辑变换，进而得出逻辑电路:最后搭建电路进行测试。



1. 预习内容

1、了解 74LS86、74LS138、74LS153 的作原理和逻辑功能

2、画好实验电路，自拟实验步骤、并列相应表格以备记录

1. 实验内容

1、用3-8 译码器或双4选1 数据选择器设计“一位全加器”，列表记录验证功能。

2、用74LS86 设计两个 4位二进制数值比较器，要求两数相等时输出为“1”，两数不等时输出为“0”，列表记录验证功能。

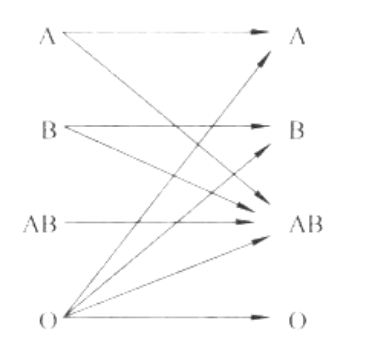
3、利用数据选择器和最少量的与非门，设计符合输血-受血规则的 4输人1输出电路，检测所设计电路的逻辑功能人类有 4 种基本血型——A、B、AB 和0型，输血者与受血者的血型必须符合下述规则：

（1）0 型血可以输给任意血型的人，但 0 型血的人只能接受 O型血。

（2）AB 型血只能输给 AB 血型的人，但 AB 血型的人能接受所有血型的血。

（3）A 型血能给 A 血型和AB 血型的人，而A 血型的人能接受A型血和 0 型血。

（4）B 型血能输给 B血型和AB 血型的人，而B血型的人能接受 B型血和 0 型血。



五：思考题

1、还有哪些方法可实现1位全加器和4位二进制数值比较器?

答：1位全加器

逻辑门实现：使用基本的AND、OR和XOR门来构建。全加器包括两部分：半加器（处理两个输入位的和）和一个额外的逻辑部分处理进位。具体实现可以是：和（SUM）= A XOR B XOR C（进位输入），进位（CARRY OUT）= (A AND B) OR (B AND C) OR (C AND A)。

多路选择器实现：使用4x1多路选择器，根据输入位和进位输入选择输出。这种方法在硬件实现中比逻辑门更节省空间。

PLD/FPGA实现：在可编程逻辑设备（如FPGA）中，可以通过编程定义全加器的行为。这种方法提供了高度的灵活性和可定制性。

4位二进制数值比较器

逻辑门实现：

使用基本的AND、OR和NOT门。比较器的核心在于逐位比较，并确定两个数是相等的、一个大于另一个，还是一个小于另一个。

具体实现可以包括逐位比较和集成的逻辑来确定最终的大于、小于或等于关系。

编码器和优先编码器：使用编码器来确定哪一位首先不同，并据此推断大小关系。这种方法对于大位数比较器来说特别有效。

PLD/FPGA实现：

与全加器一样，比较器也可以在PLD或FPGA中实现。提供了灵活的设计选项，可以根据需要调整比较逻辑。

微处理器/微控制器程序实现：

在某些应用中，可以在微处理器或微控制器中编写程序来执行比较操作。这种方法提供了软件解决方案，便于更新和修改。

2、如何用3-8译码器或双4选1数据选择器设计“一位全减器”？

答：如3-8译码器：它有3个输入和8个输出。每个输出对应输入组合的一个特定模式。

连接和逻辑：

将A、B和Bin连接到译码器的三个输入。通过对应的输出线，你可以获取所有可能的输入组合。

使用OR门来组合这些输出线，以生成D和Bout。例如，如果输入组合代表A - B - Bin需要借位，那么相应的输出线会被用来生成Bout。

具体逻辑：

对于D（差值），找出所有产生1的情况，如A=0，B=1，Bin=0，或A=1，B=0，Bin=1，等等。

对于Bout（借位输出），找出所有需要借位的情况，如A=0，B=1，或A=0，Bin=1，等等。

六：原始数据图片

