

ALMA MATER STUDIORUM  
UNIVERSITÀ DEGLI STUDI DI BOLOGNA

---

Facoltà di Ingegneria

Corso di Laurea in INGEGNERIA INFORMATICA

Progetto di CALCOLATORI ELETTRONICI M

# Progetto di una memoria cache per il processore DLX

Componenti Gruppo:

Andrea Grandi

Filippo Malaguti

Massimiliano Mattetti

Gabriele Morlini

Thomas Ricci

---

Anno Accademico 2009/2010



# Indice

<b>Introduzione</b>	<b>5</b>
Obiettivi del progetto . . . . .	5
<b>1 Caratteristiche della memoria cache</b>	<b>7</b>
Politica di rimpiazzamento . . . . .	7
Struttura e interfacce . . . . .	7



# Introduzione

Le memorie cache breve introduzione [necessità di utilizzare memorie cache]

## Obiettivi del progetto

Il progetto si prefigge i seguenti obiettivi

1. **Realizzazione memoria cache:** progetto di un component VHDL che realizza il funzionamento di una memoria cache generica.
2. **Testbench del component:** progetto di una suite di test per il component.
3. **Integrazione con DLX:** modifica del progetto DLX per consentire l'integrazione del component realizzato con il processore



# Capitolo 1

## Caratteristiche della memoria cache

*The beginning of knowledge  
is the discovery of something we do not understand.*  
- Frank Herbert -

La cache progettata è di tipo Set-Associative: [spiegare cosa significa].  
Per garantire maggiore flessibilità si è scelto di parametrizzare alcune delle caratteristiche statiche della cache, quali ad esempio:

- la dimensione dei blocchi
- il numero di vie
- il numero di linee

### Politica di rimpiazzamento

La politica di rimpiazzamento è basata su contatori.  
[Spiegare come funziona]

### Struttura e interfacce

La memoria cache si interfaccia con i dispositivi esterni attraverso 3 tipi di interfacce, come mostrato in Fig. 1.1.

L'interfaccia verso il microprocessore, mostrata in Fig. 1.2, consente a quest'ultimo di accedere ai dati memorizzati all'interno della cache.

In particolare sono presenti i seguenti segnali:

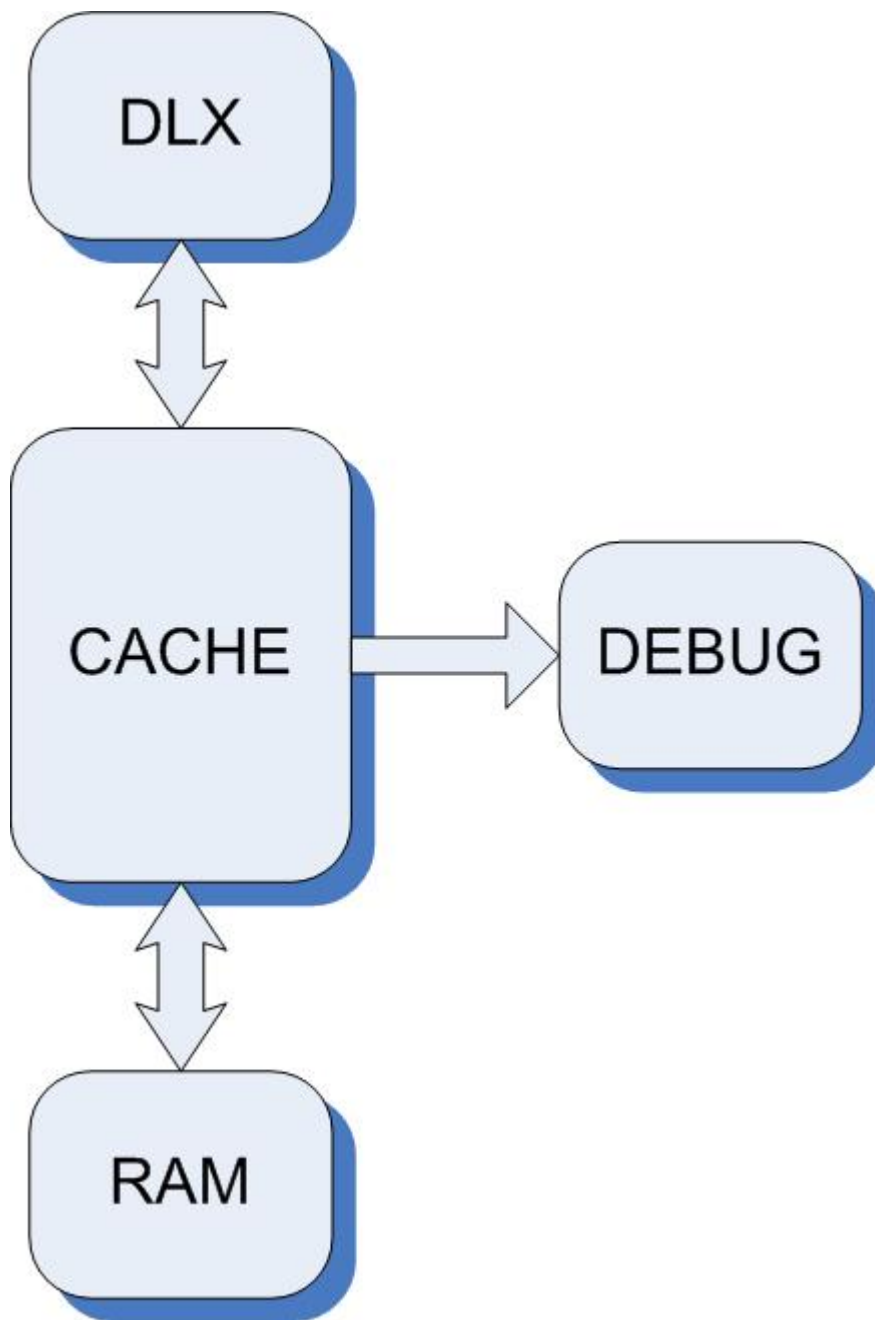


Figura 1.1: Interfacce della memoria cache

- **Address[31-2]**: indirizzi a 32 bit emessi dal microprocessore
- **Data[32-0]**: bus dati con parallelismo 32bit
- **Write**: segnale per il comando di scrittura in cache
- **Read**: segnale per il comando di lettura da cache



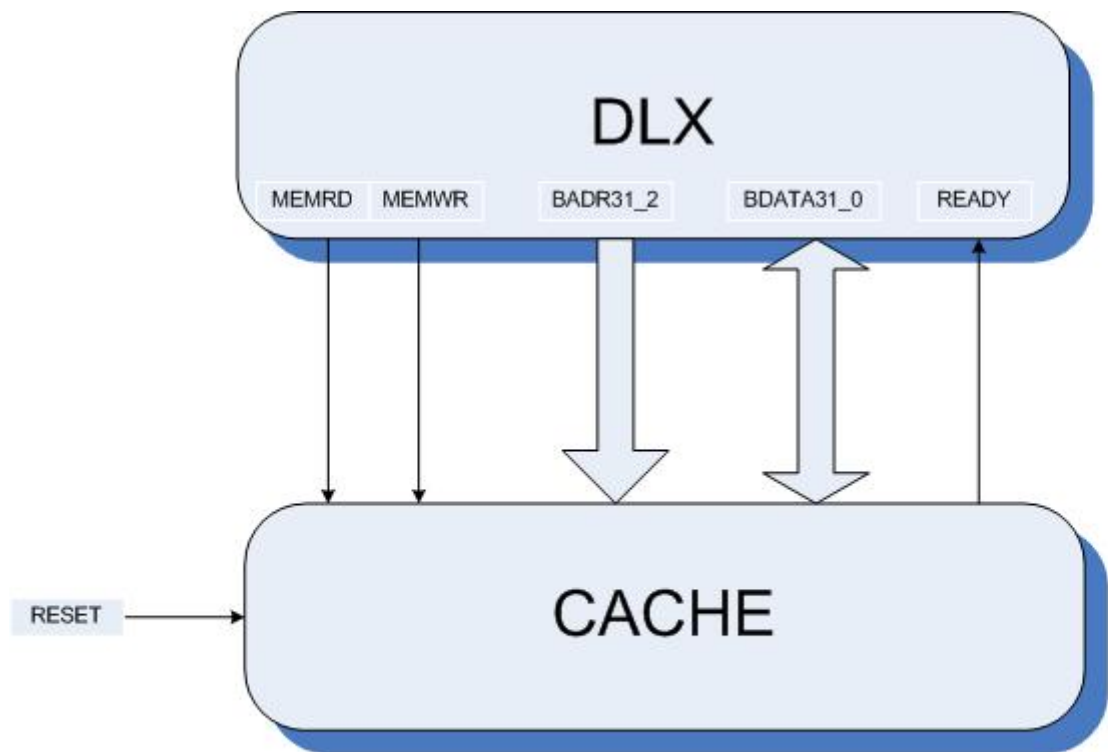


Figura 1.2: Interfaccia della memoria cache verso il processore DLX

- **Ready:** segnale che indica il termine dell'operazione di lettura/scrittura corrente

L'interfaccia verso la RAM, mostrata in Fig. , consente alla cache di recuperare i blocchi dal livello sottostante.

In particolare sono presenti i seguenti segnali:

- **Address[31-2]:** indirizzi a 32 bit emessi dalla cache
- **Data[32-0]:** bus dati con parallelismo 32bit
- **Write:** segnale per il comando di scrittura in RAM
- **Read:** segnale per il comando di lettura dalla RAM
- **Ready:** segnale che indica il termine dell'operazione di lettura/scrittura corrente

Si noti che la cache non è a conoscenza del componente posto al livello superiore. Vista la simmetria delle due interfacce è quindi possibile sostituire la RAM con un ulteriore livello di cache, inserendo quindi più livelli di cache all'interno del processore.

È presente infine una terza interfaccia verso l'esterno, utilizzata per monitorare lo stato interno della cache e poter quindi eseguire il debug. I segnali disponibili verranno definiti nel seguito.

Si ipotizza che la memoria cache progettata non sia impiegata in sistemi multimaster. Per tale motivo non si considereranno problematiche inerenti alla presenza di un controllore di memoria e all'invalidazione delle linee.