

ALMA MATER STUDIORUM
UNIVERSITÀ DEGLI STUDI DI BOLOGNA

Facoltà di Ingegneria

Corso di Laurea in INGEGNERIA INFORMATICA

Progetto di CALCOLATORI ELETTRONICI M

Progetto di una memoria cache per il processore DLX

Componenti Gruppo:

Andrea Grandi

Filippo Malaguti

Massimiliano Mattetti

Gabriele Morlini

Thomas Ricci

Anno Accademico 2009/2010

Indice

Introduzione	5
Obiettivi del progetto	5
1 Caratteristiche della memoria cache	7
Struttura e interfacce	7

Introduzione

Le memorie cache breve introduzione [necessità di utilizzare memorie cache]

Obiettivi del progetto

Il progetto si prefigge i seguenti obiettivi

1. **Realizzazione memoria cache:** progetto di un component VHDL che realizza il funzionamento di una memoria cache generica.
2. **Testbench del component:** progetto di una suite di test per il component.
3. **Integrazione con DLX:** modifica del progetto DLX per consentire l'integrazione del component realizzato con il processore

Capitolo 1

Caratteristiche della memoria cache

La cache progettata è di tipo Set-Associative: [spiegare cosa significa].
Per garantire maggiore flessibilità si è scelto di parametrizzare alcune delle caratteristiche statiche della cache, quali ad esempio:

- la dimensione dei blocchi
- il numero di vie
- il numero di linee

L'algoritmo di rimpiazzamento è basato su contatori.

Struttura e interfacce

La memoria cache si interfaccia con i dispositivi esterni attraverso 3 tipi di interfacce, come mostrato in 1.1.

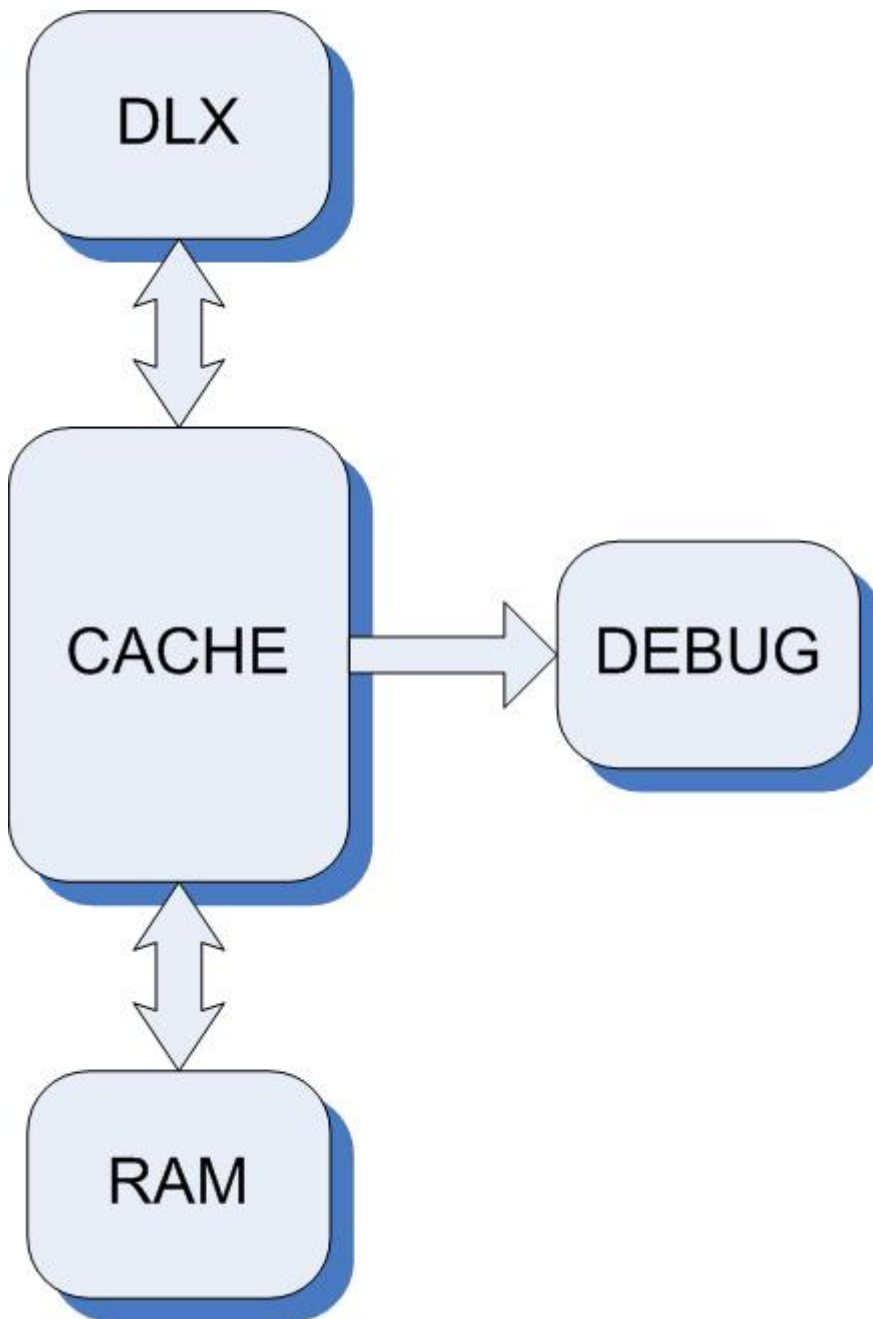


Figura 1.1: Interfacce della memoria cache