

版本信息:

版本 2.0

时间 10/22/2023

米联客 MLK-CA01 AMD FPGA 核心模块硬件手册

电子版自学资料

常州一二三电子科技有限公司

常州米联客电子科技有限公司

版权所有

米联客 FPGA|SOC 生态 QQ 群 05(XILINX)(新群):554101168

米联客 FPGA|SOC 生态 QQ 群 04(XILINX)(已满):516869816

米联客 FPGA|SOC 生态 QQ 群 03(XILINX)(已满):543731097

米联客 FPGA|SOC 生态 QQ 群 02(XILINX)(已满):86730608

米联客 FPGA|SOC 生态 QQ 群 01(XILINX)(已满):34215299

如果 QQ 群全满无法加入, 请登录网址: <https://www.uisrc.com/f-380.html> 查看最新可以加入的 QQ 群

扫描注册米联客技术论坛www.uisrc.com免费享受更多定制服务、培训课程、技术支持、售后服务



扫码关注米联客微信公众平台“米联客(MILIANKE)”掌握更多信息动态



手册版本	核心板硬件版本	版本描述
V1.0	2017-10-12	初始版本(MA703CORE)
V1.1	2022-04-15	优化原理图(MA703CORE)
V2.0	2023-10-15	去掉 USB 供电接口，兼容 MA703CORE,支持 2 个 BANK ADJ，满足更多应用场景,新型号为 MLK-CA01

目录

米联客 MLK-CA01 AMD FPGA 核心模块硬件手册	1
用户须知	4
1 产品概述	5
2 硬件参数概述	5
3 核心模块	6
4 硬件详细描述	7
1: Artix	7
2: DDR 内存	7
3: PROM SPI FLASH	9
4: 系统时钟	10
5: 系统复位	10
6: 电源管理	10
5: 连接器信号定义	11
6: JTAG	12
7: 散热片	13
5 核心模块 2D 平面图尺寸	13
6 XC7A35T-2FFG484I/XC7A100T-2FFG484I BANK 分布	14
附录 1:命名规则	15
1 核心模块命名规则	15
2 开发平台命名规则	15
附录 2:常见问题	16
1 联系方式	16
2 售后	16
3 销售	16
4 在线视频	16
5 资源下载	16
6 软件或其他下载	16

用户须知

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、不要热插拔下载器的 JTAG 接口，下载器的正确使用请看：<https://www.uisrc.com/t-3292.html>
- 5、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州一三三电子科技有限公司|常州米联客电子科技有限公司

硬件研发组

1 产品概述

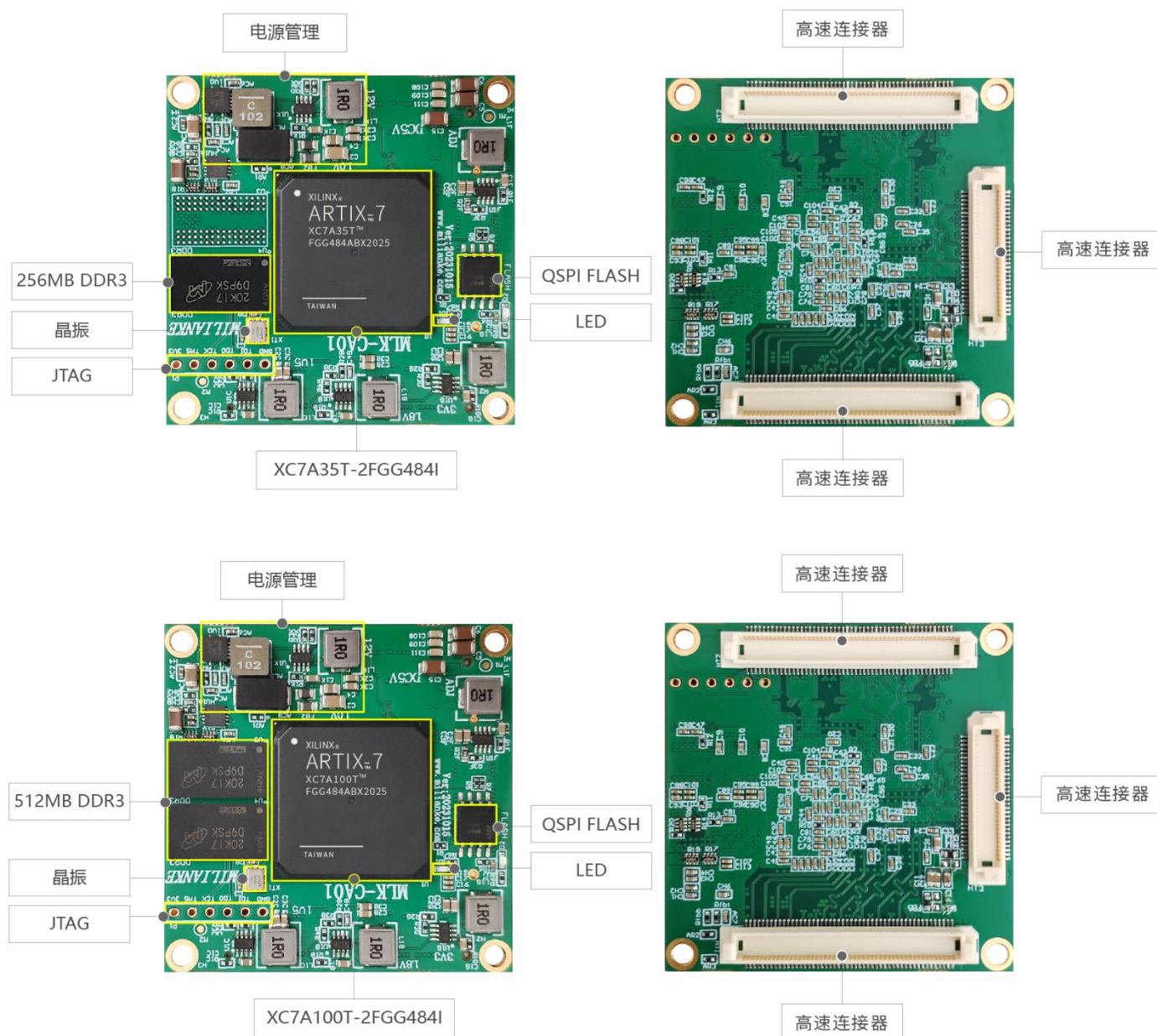
MLK-CA01-35T-100T(老型号 MA703-CORE 同时正常供货)是米联客 MLK-CAX 系列高性价比核心模块。用户基于核心模块设计功能底板（提供功能底板设计方案）,降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信:机器视觉、伺服系统、视频采集、高速通信、仪器设备、消费电子、产品研发前期验证、学习评估。

2 硬件参数概述

MLK-CA01-35T-100T 核心模块硬件参数						
FPGA 主要参数	型号		XC7A35T-2FFG484I		XC7A100T-2FFG484I	
	构架		Artix7		Artix7	
	逻辑单元(Logic Cells)		33280		101440	
	查找表(Luts)		20800		63400	
	BlockRAM(kb)		1800		4860	
	DSP(DSP slices)		90		240	
	触发器(Flip-flops)		41600		126800	
	XADC		12bit*1(IO BANK 复用)		12bit*1(IO BANK 复用)	
	GTP(6.6Gbps 高速收发器)		4 对		4 对	
	速度等级		-2		-2	
	温度等级		-40° ~+85°		-40° ~+85°	
DDR	支持最多焊接 2 片 DDR3L, 35T 默认焊接 1 片 DDR3L,100T 默认焊接 2 片 DDR3L					
FLASH	128Mbit FLASH, 用于固化程序, 存放数据					
时钟管理	1 颗 50M 单端时钟					
引出 IO	IO BANK	信号长度	MA703CORE(仅支持核心板改 ADJ 电压)		MLK-CA01(底板调 ADJ 或兼容 MA703 模式)	
			35T	100T	35T	100T
	BANK13 3V3 IO	975mil ±5mil	无此 BANK	34IO/17 差分 不支持 LVDS	无此 BANK	34IO/17 差分 不支持 LVDS
	BANK14 3V3 IO	800mil ±5mil	48IO/24 差分 不支持 LVDS	48IO/24 差分 不支持 LVDS	48 单端/24 差分 不支持 LVDS	48IO/24 差分 不支持 LVDS
	BANK15 ADJ IO	800mil ±5mil	48 IO /24 差分 支持 LVDS	48 单端/24 差分 支持 LVDS	48 单端/24 差分 支持 LVDS	48 单端/24 差分 支持 LVDS
	BANK16 3V3 IO	800mil ±5mil	48 IO /24 差分 不支持 LVDS	48 单端/24 差分 不支持 LVDS	48 单端/24 差分 支持 LVDS	48 单端/24 差分 不支持 LVDS
	IO 总计		144GPIO/72 差分	178GPIO/89 差分	144GPIO/72 差分	178GPIO/89 差分
IO 阻抗	差分 100R 单端 50R ±10%					
PCB 层数	10 层					
电源管理	核心板集成电源管理, 其中内核 1.0V, 提供 8A 电流能力, 单 5V 输入供电					
电源输入	DC-5V(推荐 4.7V~5.0V)					
最大功耗	35T		5W	100T	8W	
外形	核心板 50(mm)x50(mm)x9.5(mm)					
连接器合高	连接器板对板高度 3mm					
连接器	核心板		FX8-100P-SV*2	FX8-60P-SV*1		
	底板		FX8-100S-SV*2	FX8-60S-SV*1		
核心板重量	15g					
散热片尺寸	尺寸 5*5*11 被动式					
散热片重量	39g					

3 核心模块

MLK-CA01-35T-100T 核心模块



实物图样以用户实际购买实物为准

4 硬件详细描述

1: Artix



MLK-CA01-35T-100T 核心板搭载了一颗 AMD(Xilinx) Artix-7 FPGA 片 XC7A35T-2FFG484I/XC7A100T-2FFG484I。

此芯片封装是 FFG484，速度等级是-2，温度等级是工业级。

MLK-CA01-35T-100T 芯片参数			
FPGA 主要参数	型号	XC7A35T-2FFG484I	XC7A100T-2FFG484I
	构架	Artix7	Artix7
	逻辑单元(Logic Cells)	33280	101440
	查找表(Luts)	20800	63400
	BlockRAM(kb)	1800	4860
	DSP(DSP slices)	90	240
	触发器(Flip-flops)	41600	126800
	XADC	12bit*1(IO BANK 复用)	12bit*1(IO BANK 复用)
	GTP(6.6Gbps 高速收发器)	4 对	4 对
	速度等级	-2	-2
	温度等级	-40° ~+85°	-40° ~+85°

2: DDR 内存



核心板支持最多焊接 2 片 DDR3L 内存，其中 35T 为低成本方案，默认焊接 1 片 DDR3L 256MB，100T 默认焊接 2 片 DDR3L 共计 512MB。数据速度最高 800Mbps，2 片 DDR3L 数据带宽可达 800Mbps*32bit, 1 片 DDR3L 数据带宽可达 800bps*16bit。

默认焊接高品质 Micron 品牌 DDR 也可以根据客户要求，定制生产国产品牌 DDR。



FPGA PL DDR 引脚分配表(红色字体部分为 2 片 DDR 的 IO 定义, ddr3_addr[14]为预留, 默认不用):

DDR DATA	FPGA PIN	IOSTANDARD	DDR ADDR	FPGA PIN	IOSTANDARD
ddr3_dq[0]	P6	SSTL135	ddr3_addr[0]	AB3	SSTL135
ddr3_dq[1]	R1	SSTL135	ddr3_addr[1]	AA6	SSTL135
ddr3_dq[2]	M5	SSTL135	ddr3_addr[2]	Y3	SSTL135
ddr3_dq[3]	N4	SSTL135	ddr3_addr[3]	Y2	SSTL135
ddr3_dq[4]	N5	SSTL135	ddr3_addr[4]	AB6	SSTL135
ddr3_dq[5]	N2	SSTL135	ddr3_addr[5]	AA3	SSTL135
ddr3_dq[6]	M6	SSTL135	ddr3_addr[6]	Y7	SSTL135
ddr3_dq[7]	P1	SSTL135	ddr3_addr[7]	AA4	SSTL135
ddr3_dq[8]	L3	SSTL135	ddr3_addr[8]	AA8	SSTL135
ddr3_dq[9]	J4	SSTL135	ddr3_addr[9]	Y4	SSTL135
ddr3_dq[10]	M3	SSTL135	ddr3_addr[10]	Y9	SSTL135
ddr3_dq[11]	K4	SSTL135	ddr3_addr[11]	AB7	SSTL135
ddr3_dq[12]	M2	SSTL135	ddr3_addr[12]	AA5	SSTL135
ddr3_dq[13]	K3	SSTL135	ddr3_addr[13]	W5	SSTL135
ddr3_dq[14]	L4	SSTL135	ddr3_addr[14]	AB8	SSTL135
ddr3_dq[15]	L5	SSTL135	ddr3_ba[0]	AB2	SSTL135
ddr3_dq[16]	B1	SSTL135	ddr3_ba[1]	AB5	SSTL135
ddr3_dq[17]	E2	SSTL135	ddr3_ba[2]	W2	SSTL135
ddr3_dq[18]	B2	SSTL135	ddr3_cas_n	AA1	SSTL135
ddr3_dq[19]	F3	SSTL135	ddr3_ras_n	V2	SSTL135
ddr3_dq[20]	A1	SSTL135	ddr3_we_n	W1	SSTL135
ddr3_dq[21]	G1	SSTL135	ddr3_cke[0]	Y6	SSTL135
ddr3_dq[22]	C2	SSTL135	ddr3_odt[0]	AB1	SSTL135
ddr3_dq[23]	F1	SSTL135	ddr3_cs_n[0]	Y1	SSTL135
ddr3_dq[24]	J5	SSTL135	ddr3_reset_n	W4	SSTL135
ddr3_dq[25]	H5	SSTL135	ddr3_ck_p[0]	T5	DIFF_SSTL135
ddr3_dq[26]	K1	SSTL135	ddr3_ck_n[0]	U5	DIFF_SSTL135
ddr3_dq[27]	G4	SSTL135			
ddr3_dq[28]	H4	SSTL135			
ddr3_dq[29]	G3	SSTL135			
ddr3_dq[30]	H3	SSTL135			
ddr3_dq[31]	G2	SSTL135			
ddr3_dm[0]	P2	SSTL135			
ddr3_dm[1]	J6	SSTL135			
ddr3_dm[2]	D2	SSTL135			
ddr3_dm[3]	H2	SSTL135			

ddr3_dqs_p[0]	P5	DIFF_SSTL135			
ddr3_dqs_n[0]	P4	DIFF_SSTL135			
ddr3_dqs_p[1]	M1	DIFF_SSTL135			
ddr3_dqs_n[1]	L1	DIFF_SSTL135			
ddr3_dqs_p[2]	E1	DIFF_SSTL135			
ddr3_dqs_n[2]	D1	DIFF_SSTL135			
ddr3_dqs_p[3]	K2	DIFF_SSTL135			
ddr3_dqs_n[3]	J2	DIFF_SSTL135			

FPGA 核心模块 DDR 引脚分配文件下载页面 <https://www.uisrc.com/t-5665.html>

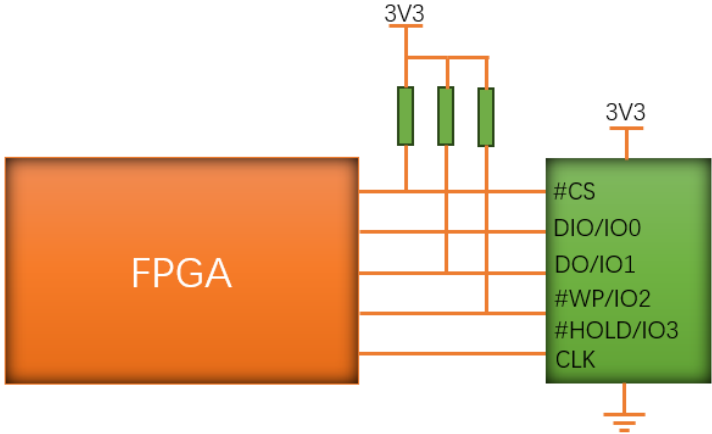
3: PROM SPI FALSH

核心板具有 1 片 4bit SPI FLASH，支持 x1, x2, and x4 配置模式

MA703 核心板焊接:N25Q128



MLK-CA01 核心板焊接:W25Q128FVSI



FPGA FLASH 引脚分配表(其中时钟 CLK 无需分配):

FLASH PIN	FPGA PIN	IOSTANDARD	FLASH PIN	FPGA PIN	IOSTANDARD
DIO/IO0	P22	LVCMOS33	#CS	T19	LVCMOS33
DO/IO1	R22	LVCMOS33	CLK	L12	
#WP/IO2	P21	LVCMOS33			
#HOLD/IO3	R21	LVCMOS33			

注意:默认 FPGA 配置阶段不需要分配 FLASH IO，具体应用参考 demo，当配置完成后，FLASH IO 可以当作普通 IO 使用。

通过添加约束文件到 XDC 设置 FLASH 的基本配置参数

```
#bit compress spix4 speed up
#当 CFGBVS 连接至 Bank 0 的 VCC0 时, Bank 0 的 VCC0 必须为 2.5V 或 3.3V
set_property CFGBVS VCC0 [current_design]
#设置 CONFIG_VOLTAGE 也要配置为 3.3V
set_property CONFIG_VOLTAGE 3.3 [current_design]
#设置 bit 是否压缩
set_property BITSTREAM.GENERAL.COMPRESS true [current_design]
#设置 QSPI 的加载时钟
set_property BITSTREAM.CONFIG.CONFIGRATE 50 [current_design]
#设置 QSPI 的位宽
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
#设置 QPSI 的数据加载时钟边沿
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE Yes [current_design]
```

4: 系统时钟

MLK-CA01-35T-100T 核心板上具备一颗 50MHZ 的单端时钟

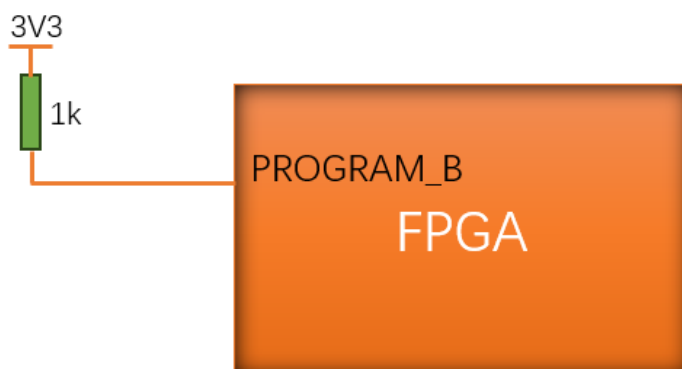


FPGA 时钟引脚分配表:

时钟 PIN	FPGA PIN	IOSTANDARD	时钟 PIN	FPGA PIN	IOSTANDARD
CLK	V4	SSTL135			

5: 系统复位

芯片支持上电复位, 上电后复位整个芯片。



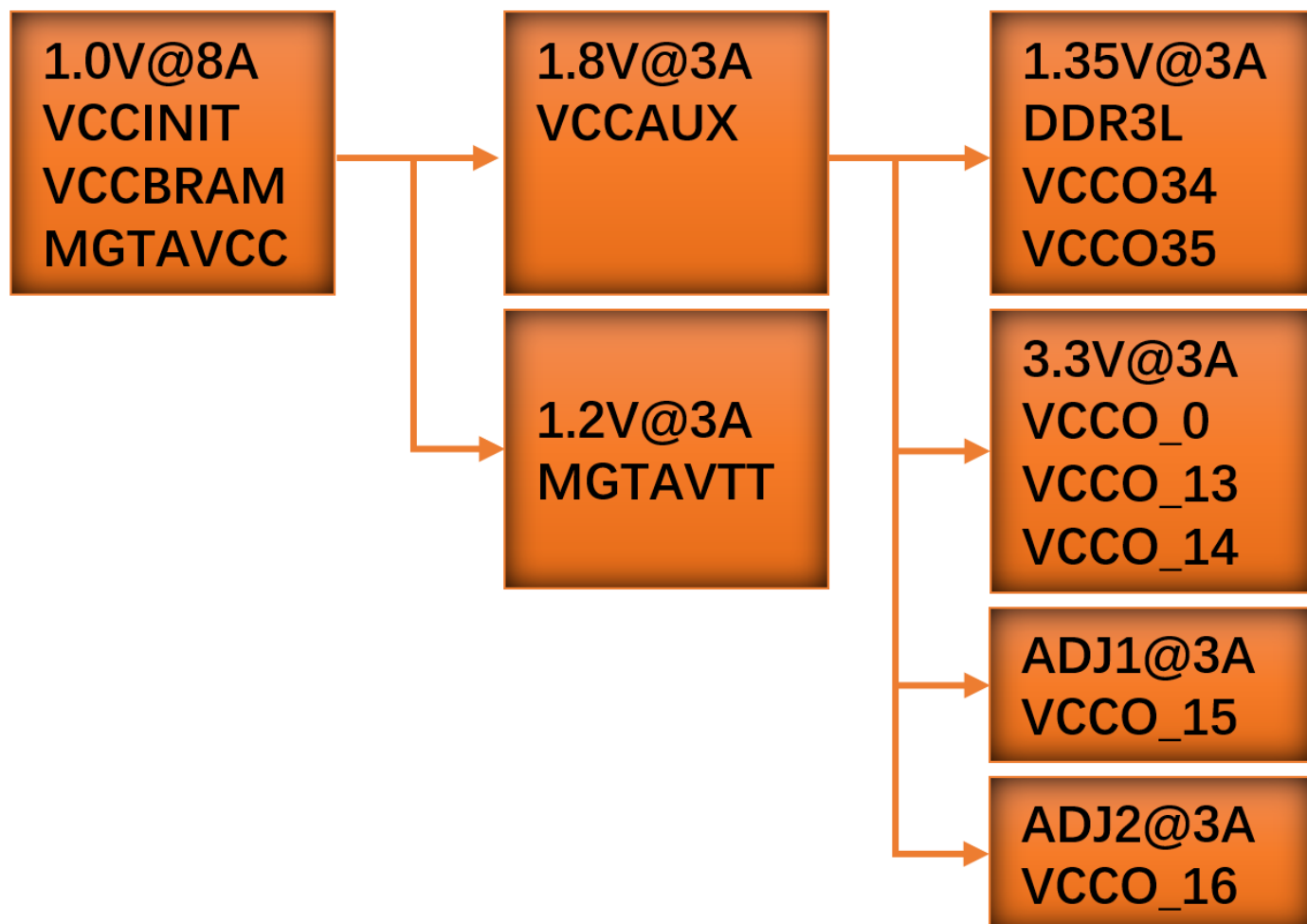
6: 电源管理

核心板集成电源管理, 核心板输入电压 4.7~5.0V, 最大功耗 8W 左右。

- 1、核心板提供 1.0V 核心电源，最大输出 8A，确保 FPGA 资源极端使用情况下电流足够。
- 2、核心板提供 1.0V、1.8V、3.3V、1.35V、1.2V 等电源。
- 3、MLK-CA01 可以通过底板修改 BANK15 BANK16 的电源，当通过底板修改核心板的 ADJ BANK,分别焊接 FB3、FB5，FB4、FB6 不焊接

当需要兼容 MA703CORE 模式下，需要焊接磁珠 FB4 和 FB6,FB3 和 FB5 不焊接

核心板上电时序如下：



5: 连接器信号定义

核心板引出连接器定义，其中 BANK13 仅 100T 有，具体请看原理图

HT1				HT2				HT3			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VCC5V	B1	VCC5V	A1	GND	B1	GND	A1	GND	B1	GND
A2	VCC5V	B2	VCC5V	A2	Y22	B2	V22	A2	L18	B2	M22
A3	GND	B3	VCC5V	A3	Y21	B3	U22	A3	M18	B3	N22
A4	GND	B4	VCC5V	A4	W22	B4	U21	A4	M16	B4	M20
A5	GND	B5	GND	A5	W21	B5	T21	A5	M15	B5	N20
A6	GND	B6	GND	A6	AB22	B6	R19	A6	J17	B6	N19
A7	ADJ2	B7	GND	A7	AB21	B7	P19	A7	K17	B7	N18
A8	ADJ2	B8	GND	A8	AA21	B8	V20	A8	K16	B8	L21
A9	D22	B9	A21	A9	AA20	B9	U20	A9	L16	B9	M21

A10	E22	B10	B21	A10	GND	B10	GND	A10	GND	B10	GND
A11	D21	B11	B22	A11	W20	B11	T18	A11	K14	B11	K22
A12	E21	B12	C22	A12	W19	B12	R18	A12	K13	B12	K21
A13	G22	B13	B16	A13	V18	B13	P17	A13	L15	B13	L20
A14	G21	B14	B15	A14	V19	B14	N17	A14	L14	B14	L19
A15	C20	B15	C19	A15	Y19	B15	U18	A15	H18	B15	J21
A16	D20	B16	C18	A16	Y18	B16	U17	A16	H17	B16	J20
A17	GND	B17	GND	A17	AB20	B17	R17	A17	L13	B17	K19
A18	F20	B18	A20	A18	AA19	B18	P16	A18	M13	B18	K18
A19	F19	B19	B20	A19	GND	B19	GND	A19	GND	B19	GND
A20	D19	B20	A19	A20	W17	B20	R16	A20	H14	B20	G18
A21	E19	B21	A18	A21	V17	B21	P15	A21	J14	B21	G17
A22	E18	B22	C17	A22	AB18	B22	R14	A22	H15	B22	H22
A23	F18	B23	D17	A23	AA18	B23	P14	A23	J15	B23	J22
A24	E17	B24	B18	A24	GND	B24	N14	A24	G16	B24	G20
A25	F16	B25	B17	A25	GND	B25	N13	A25	G15	B25	H20
A26	GND	B26	GND	A26	GND	B26	GND	A26	G13	B26	H19
A27	D16	B27	C15	A27	AA16	B27	Y14	A27	H13	B27	J19
A28	E16	B28	C14	A28	Y16	B28	W14	A28	GND	B28	GND
A29	D15	B29	B13	A29	AB17	B29	W16	A29	ADJ1	B29	GND
A30	D14	B30	C13	A30	AB16	B30	W15	A30	ADJ1	B30	GND
A31	F14	B31	A16	A31	AB15	B31	U16				
A32	F13	B32	A15	A32	AA15	B32	T16				
A33	E14	B33	A14	A33	AA14	B33	V14				
A34	E13	B34	A13	A34	Y13	B34	V13				
A35	GND	B35	GND	A35	GND	B35	GND				
A36	E10	B36	E6	A36	Y12	B36	V15				
A37	F10	B37	F6	A37	Y11	B37	U15				
A38	GND	B38	GND	A38	AB13	B38	T15				
A39	C11	B39	C7	A39	AA13	B39	T14				
A40	D11	B40	D7	A40	AB12	B40	W12				
A41	GND	B41	GND	A41	AB11	B41	W11				
A42	A10	B42	A6	A42	AB10	B42	W10				
A43	B10	B43	B6	A43	AA9	B43	V10				
A44	GND	B44	GND	A44	GND	B44	GND				
A45	C9	B45	C5	A45	AA11	B45	PG_1V8				
A46	D9	B46	D5	A46	AA10	B46	GND				
A47	GND	B47	GND	A47	GND	B47	GND				
A48	A8	B48	A4	A48	GND	B48	GND				
A49	D8	B49	B4	A49	TDO	B49	TMS				
A50	GND	B50	GND	A50	TCK	B50	TDI				

6: JTAG

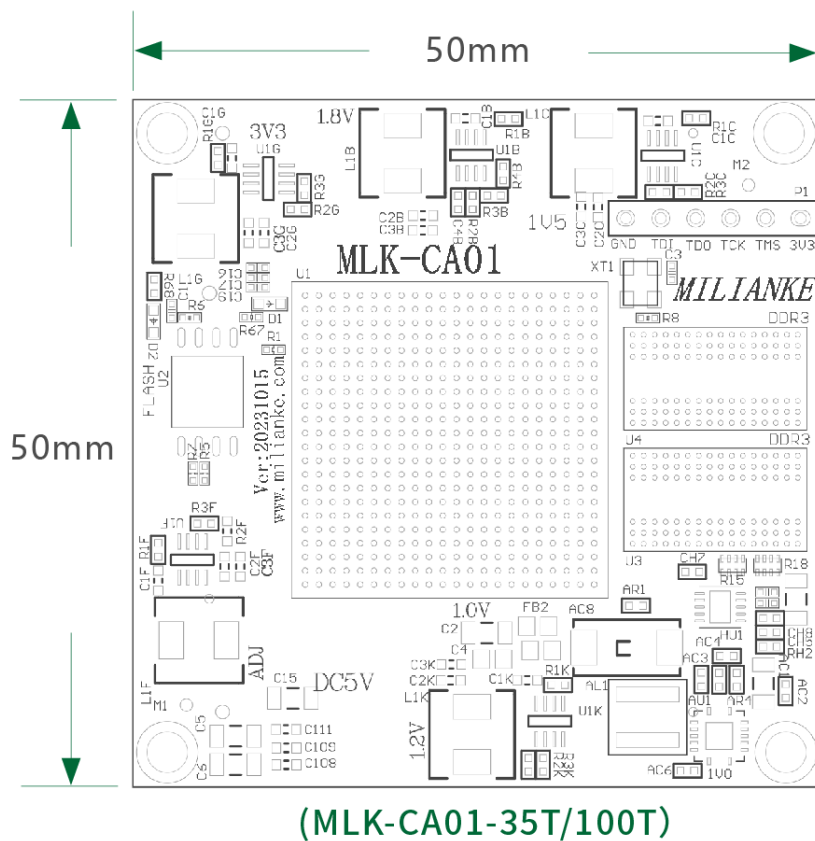
核心板引出了 JTAG 接口，但是该接口一般不推荐客户使用，因为排针接触不可靠，可能存在打坏 JTAG IO 的情况。

7: 散热片



FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热片，防止芯片过热。

5 核心模块 2D 平面图尺寸



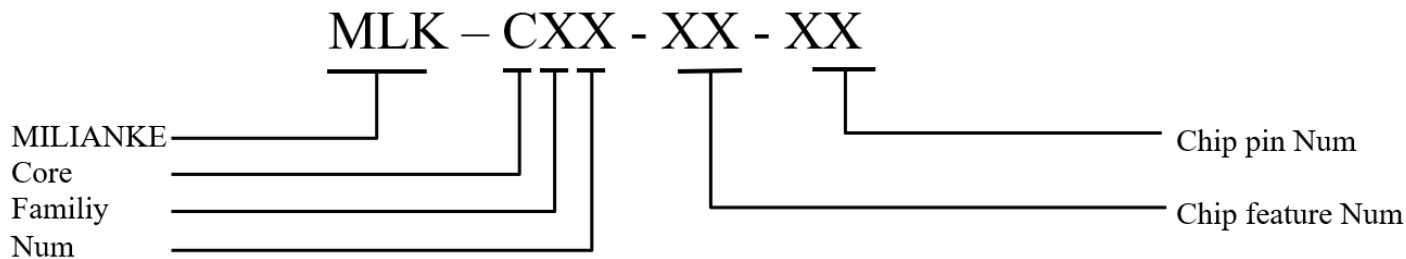
6 XC7A35T-2FFG484I/XC7A100T-2FFG484I BANK 分布

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	35			216		216		216		216			16	16	16	16		16	16	16	16		A
B	35	35		216		216		216		216			16		16	16	16	16		16	16	16	B
C		35			216		216		216		216		16	16	16		16	16	16	16		16	C
D	35	35			216		216		216		216			16	16	16	16		16	16	16	16	D
E	35	35	35			216				216			16	16		16	16	16	16		16	16	E
F	35		35	35		216		216		216			16	16	16	16		16	16	16	16		F
G	35	35	35	35									15		15	15	15	15		15	16	16	G
H		35	35	35	35								15	15	15		15	15	15	15		15	H
J	35	35		35	35	35								15	15	15	15		15	15	15	15	J
K	35	35	35	35		35								15	15		15	15	15	15		15	K
L	35		35	35	35	35								15	15	15	15		15	15	15	15	L
M	35	35	35		35	35								15		15	15	15	15		15	15	M
N		35	35	35	35									14	14	14		14	15	15	15		N
P	35	35		35	35	35								14	14	14	14		14	14	14	14	P
R	35	34	34	34		34								14		14	14	14	14		14	14	R
T	34		34	34	34	34								13	13	13		14	14	14	14		T
U	34	34	34		34	34	34							13	13	13	14	14		14	14	14	U
V		34	34	34	34		34	34	34	13			13	13	13		14	14	14	14		14	V
W	34	34		34	34	34	34		34	13	13	13		13	13	13	14		14	14	14	14	W
Y	34	34	34	34		34	34	34	34	13	13	13	13		13	13	14	14		14	14	14	Y
AA	34		34	34	34	34		34	13	13	13	13	13	13	13	13		14	14	14	14		AA
AB	34	34	34		34	34	34	34		13	13	13	13		13	13	13	14		14	14	14	AB
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	

附录 1:命名规则

米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

1 核心模块命名规则



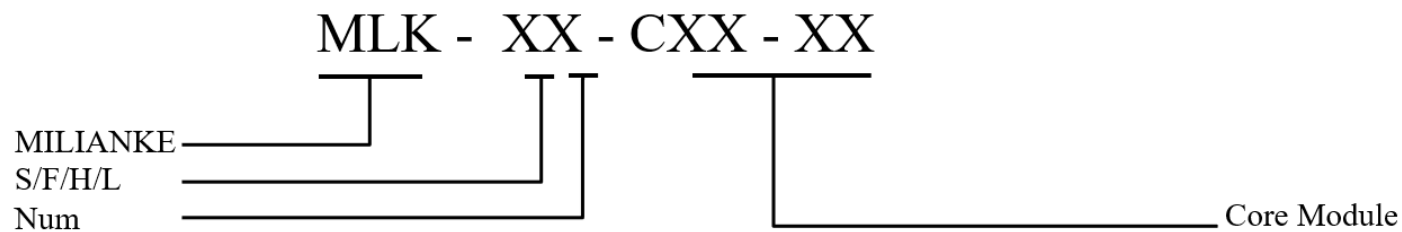
2 开发平台命名规则

S-代表单板

F-代表核心板+底板方式的 FEP 扩展接口的开发平台

H-代表核心板+底板方式的 FMC-HPC 扩展接口的开发平台

L-代表核心板+底板方式的 FMC-LPC 扩展接口的开发平台



附录 2:常见问题

1 联系方式

技术交流群网址: <https://www.uisrc.com/f-380.html> 查看最新可以加入的 QQ 群

技术微信: 18951232035

技术电话: 18951232035

官方微信公众号(新微信公众号):



2 售后

1、7天无理由退货(人为原因除外)

2、质保期限: 本公司产品自快递签收之日起, 提供一年质保服务(主芯片, 比如 FPGA 或者 CPU 等除外)。

3、维修换货, 需提供淘宝订单编号或合同编号, 联系销售/技术支持安排退回事宜。

售后维修请登录工单系统: https://www.uisrc.com/plugin.php?id=x7ree_service

4、以下情形不属于质保范畴。

A: 由于用户使用不当造成板子的损坏: 比如电压过高造成的开发板短路, 自行焊接造成的焊盘脱落、铜线起皮 等

B: 用户日常维护不当造成板子的损坏: 比如放置不当导致线路板腐蚀、基板出现裂纹等

5、质保范畴外(上方第4条)及质保期限以外的产品, 本公司提供有偿维修服务。维修仅收取器件材料成本, 往返运费全部由客户承担。

6、寄回地址, 登录网页获取最新的售后地址: <https://www.uisrc.com/t-1982.html>

3 销售

天猫米联客旗舰店: <https://milianke.tmall.com>

京东米联客旗舰店: <https://milianke.jd.com/>

FPGA|SOC 生态店: <https://milianke.taobao.com>

销售电话: 18921033576

常州溧阳总部: 常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1 幢楼

4 在线视频

<https://www.uisrc.com/video.html>

5 资源下载

<https://www.uisrc.com/download.html>

6 软件或其他下载

<https://www.uisrc.com/f-download.html>