

版本信息:

版本 V1.0

时间 16/03/2023

# 米联客MLK-F9-CA01-35T-100T AMD FPGA开发板硬件手册

此开发板PCB兼容35T/100T芯片

电子版自学资料

常州一二三电子科技有限公司

常州米联客电子科技有限公司

版权所有

米联客 FPGA|SOC 生态 QQ 群 05(XILINX)(新群):554101168

米联客 FPGA|SOC 生态 QQ 群 04(XILINX)(已满):516869816

米联客 FPGA|SOC 生态 QQ 群 03(XILINX)(已满):543731097

米联客 FPGA|SOC 生态 QQ 群 02(XILINX)(已满):86730608

米联客 FPGA|SOC 生态 QQ 群 01(XILINX)(已满):34215299

如果 QQ 群全满无法加入, 请登录网址: <https://www.uisrc.com/f-380.html> 查看最新可以加入的 QQ 群

微信扫码注册米联客技术论坛 [www.uisrc.com](http://www.uisrc.com) 免费享受更多资源



扫码关注微信公众平台“米联客(MILIANKE)”掌握更多信息动态



手册版本	核心板硬件版本	底板硬件版本	版本描述
V1.0	2023-10-15	2023-10-15	MLK-CA01 工 作 兼 容 模 式 下 可 以 完 全 兼 容 MA703CORE,MLK-F9 为全新设计底板，功能更优化，支持底板调节 MLK-CA01 核心板的 ADJ 电压。

目录

用户须知—使用必看 .....	4
1 整体概述 .....	1
2 硬件参数概述 .....	1
3 核心模块 .....	2
4 功能底板 .....	2
5 硬件详细描述 .....	4
1: 核心板 Artix FPGA 芯片 .....	4
2: 核心板 DDR 内存 .....	4
3: 核心板 PROM SPI FALSH .....	6
4: 核心板系统时钟 .....	7
5: 核心板系统复位 .....	7
6: 核心板电源管理 .....	7
5: 核心板连接器信号定义 .....	8
6: 核心板 JTAG .....	9
7: 底板 UART .....	9
8: 底板 RS485 .....	10
9: 底板以太网 .....	10
10: 底板 TF 卡 .....	11
11: 底板 HDMI 输出接口 .....	12
12: 底板按键输入 .....	12
13: 底板 LED .....	13
14: 底板数码管 .....	14
15: 底板 PCIE 接口 .....	15
16: 底板 SFP 接口 .....	16
17: 底板 GT 参考时钟输入 .....	16
18: 底板 FEP 接口 .....	17
19: 底板 CEP 接口 .....	18
20: 底板 JTAG .....	19
22: 底板电源管理 .....	19
21: 散热片 .....	19
6 2D 平面图尺寸 .....	20
7 XC7A35T-2FFG484I/XC7A100T-2FFG484I BANK 分布 .....	21
附录 1:命名规则 .....	22
1 核心模块命名规则 .....	22
2 开发平台命名规则 .....	22
附录 2:常见问题 .....	23
1 联系方式 .....	23
2 售后 .....	23
3 销售 .....	23
4 在线视频 .....	23
5 资源下载 .....	23
6 软件或其他下载 .....	23

## 用户须知—使用必看

开发板使用人员：

您好！感谢您使用我公司产品，为避免在开发过程中遇到问题，请您在使用前阅读以下几点内容。

- 1、硬件手册对开发板参数说明来源于开发板原理图，如有疑问请查看原理图 或联系销售、技术支持。
- 2、请使用稳压电源供电，不要使用纹波较大的电源供电。
- 3、请不要对核心板上的元件进行改动，如有必要，请联系客服或技术支持。
- 4、未联系客服或技术支持，对开发板进行改动，造成开发板损坏，不在质保范围，需使用者自行承担。

常州一三三电子科技有限公司/常州米联电子科技有限公司

技术服务部

## 1 整体概述

MLK-F9-CA03-35T/100T 开发板是米联客 Artix7-MLK-FX 系列开发平台的高性价比开发板。用户基于核心模块设计功能底板（提供功能底板设计方案），降低项目功能底板设计难度和生产成本，加速项目开发。其应用领域包含高速通信:机器视觉、伺服系统、视频采集、高速通信、仪器设备、消费电子、产品研发前期验证、学习评估。

## 2 硬件参数概述

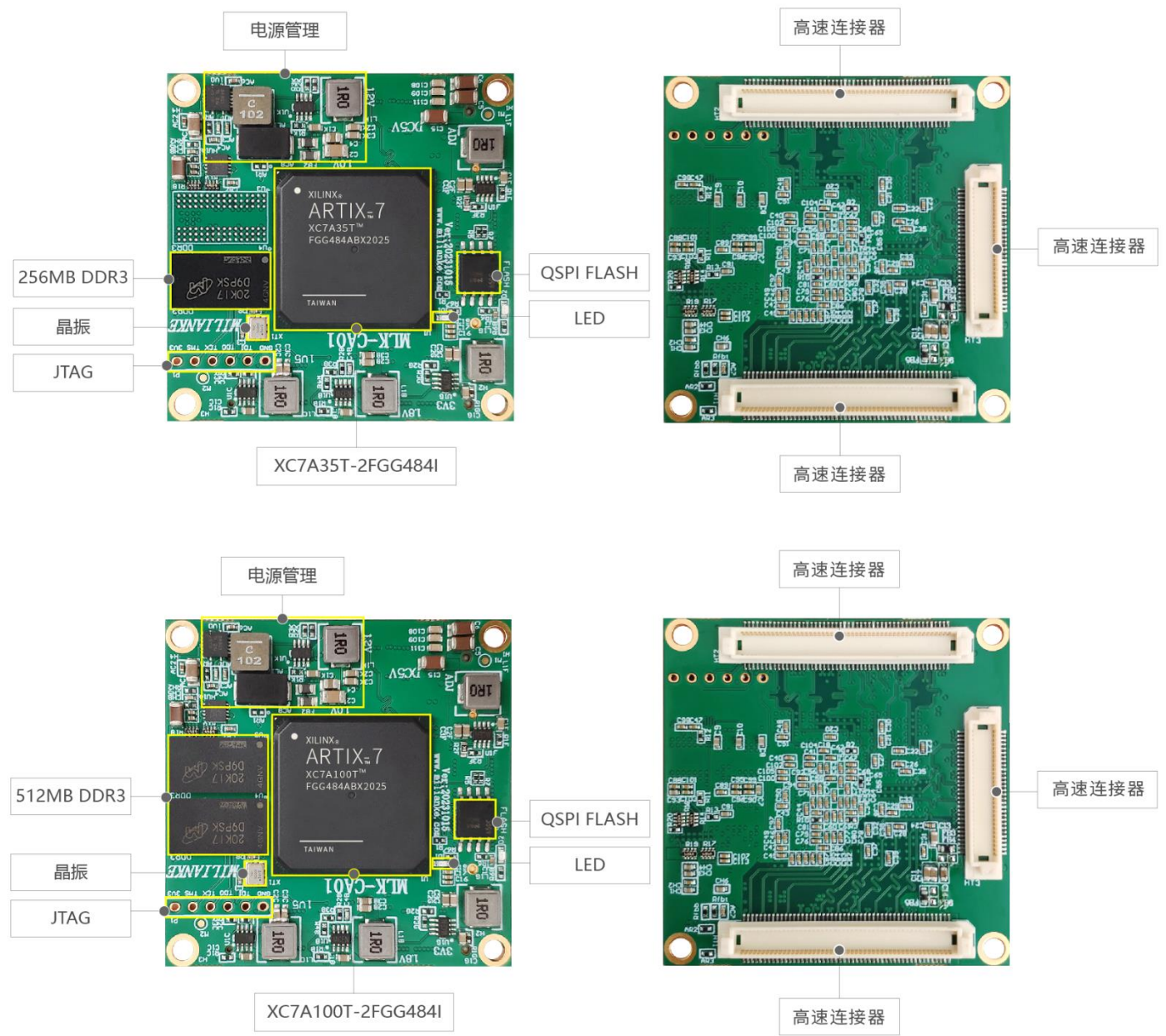
MLK-CA01-35T-100T 核心模块硬件参数				
FPGA 主要参数	型号	XC7A35T-2FFG484I		XC7A100T-2FFG484I
	构架	Artix7		Artix7
	逻辑单元(Logic Cells)	33280		101440
	查找表(Luts)	20800		63400
	BlockRAM(kb)	1800		4860
	DSP(DSP slices)	90		240
	触发器(Flip-flops)	41600		126800
	XADC	12bit*1(IO BANK 复用)		12bit*1(IO BANK 复用)
	GTP(6.6Gbps 高速收发器)	4 对		4 对
	速度等级	-2		-2
	温度等级	-40° ~+85°		-40° ~+85°
DDR	核心板支持最多焊接 2 片 DDR3L, 35T 默认焊接 1 片 DDR3L,100T 默认焊接 2 片 DDR3L			
FLASH	核心板焊接 128Mbit FLASH, 用于固化程序, 存放数据			
USB UART	底板 1 路 USB UART			
RS485	底板 2 路 RS485,默认焊接 1 路			
TF 卡	底板 1 路			
以太网	底板 2 路 10/100/1000 Mbit/s			
PCIE2.0 接口	底板 PCIE2.0 X2 和 SFP 共用一组 GTP			
SFP 接口	底板 2 路 SFP+ 6.6G 接口和 PCIE 共用一组 GTP			
HDMI 接口	底板 1 路 HDMI 输出			
EEPROM	底板 I2C 接口挂 24LC02 1 路			
RTC	底板 I2C 接口挂 实时时钟芯片 1 路			
数码管	底板 7 段数码管*8 动态驱动			
按键	底板 4 个			
LED	底板 4 个			
FEP 扩展 IO	48GPIO/24 对差分, 差分阻抗 100R 单端阻抗 50R ±10% 支持 LVDS\MIPI扩展各类 FEP 模块			
CEP 扩展 IO	36GPIO/18 对差分, 支持 LVDS\DVP 接口相机等			
	核心板		底板	
PCB 层数	10 层		4 层	
时钟输入	50MHZ(系统时钟)		125MHZ(GTP 使用)	
JTAG	1 路和底板复用 IO		1 路和核心板复用 IO	
电源管理	集成电源管理, 内核 1.0V@8A 电流		通过跳线帽修改核心板 ADJ BANK 电源	
电源输入	DC-5V @2A		DC-12V@2A	
外形尺寸	50(mm)x50(mm)x9.5(mm)含散热片高度		5(mm)x5(mm)x9.5(mm)	
连接器型号	FX8-100P-SV*2    FX8-60P-SV*1		FX8-100S-SV*2    FX8-60S-SV*1	
最大功耗	35T    5W	100T    8W	35T    6W	100T    10W
连接器合高	3mm			

散热方式	被动散热
电源开关	1 个 2 挡位开关用于切换从 DC5.0 接口供电还是从 PCIE 金手指供电

3 核心模块

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的核心模块进行开发

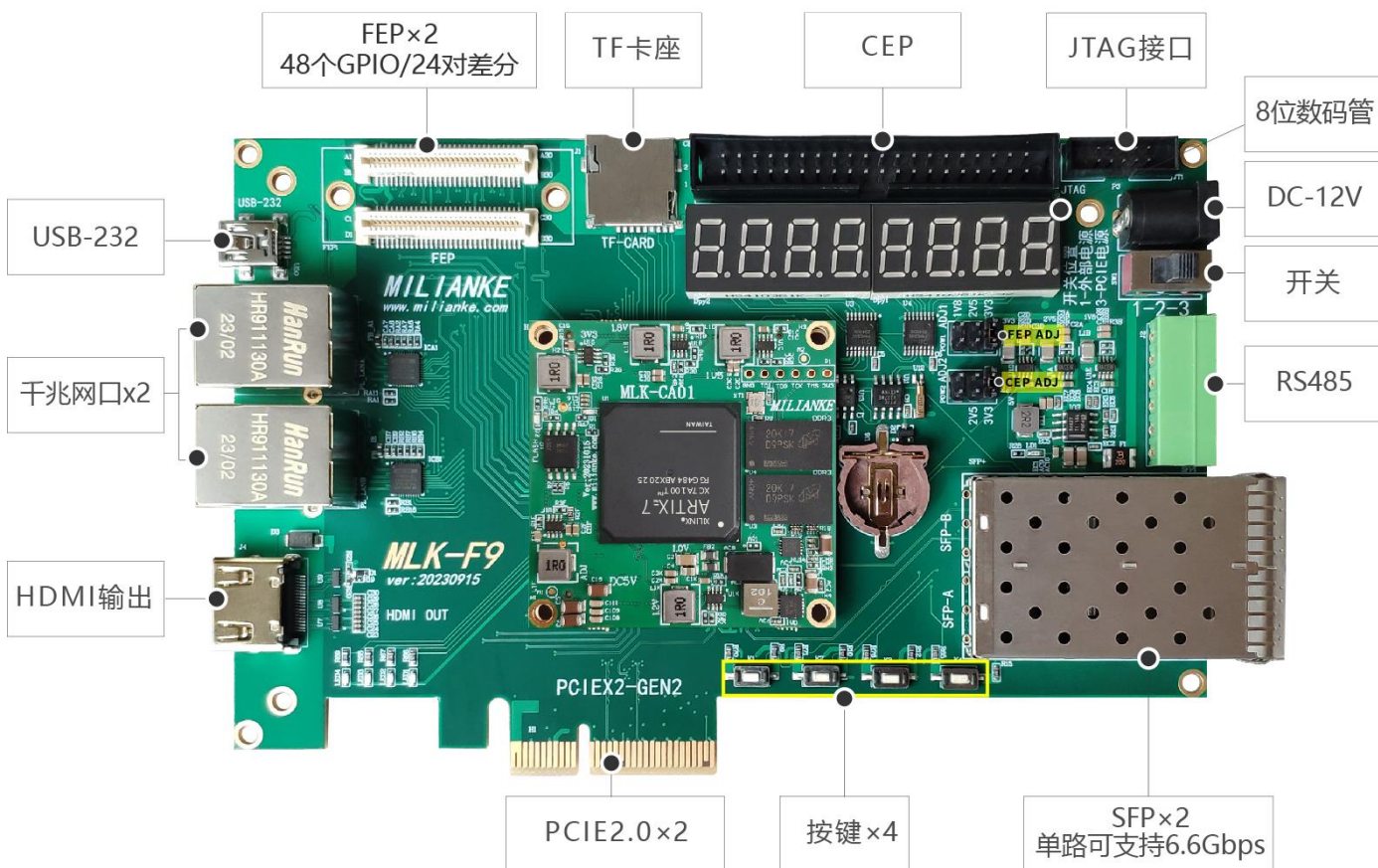
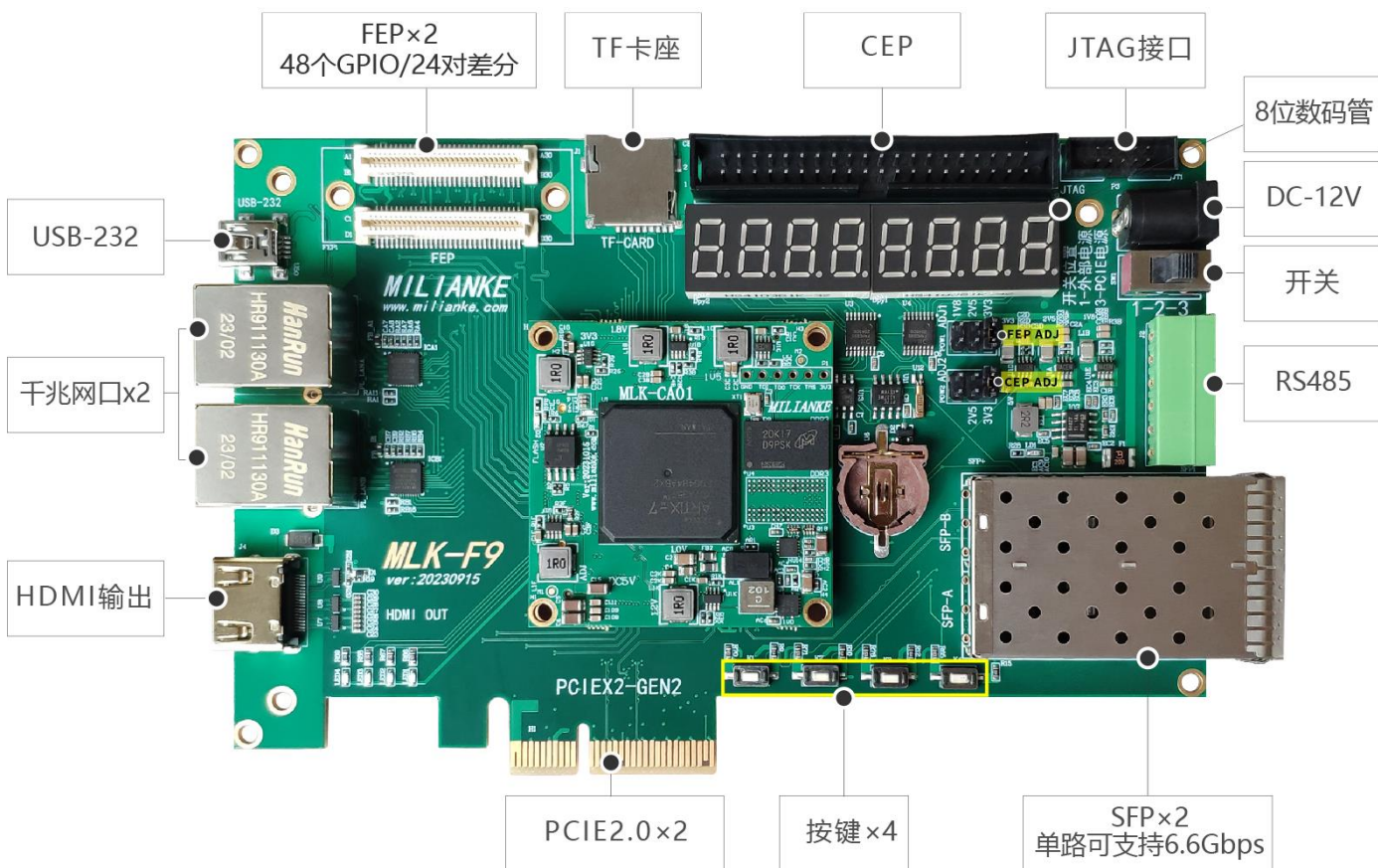
MLK-CA01-35T-100T 核心模块



4 功能底板

注意：示意图只标注芯片位置，并不代表实物，使用者请根据实际使用的功能底板进行开发。





## 5 硬件详细描述

### 1: 核心板 Artix FPGA 芯片



MLK-CA01-35T-100T 核心板搭载了一颗 AMD(Xilinx) Artix-7 FPGA 片 XC7A35T-2FFG484I/XC7A100T-2FFG484I。

此芯片封装是 FFG484，速度等级是-2，温度等级是工业级。

MLK-CA01-35T-100T 芯片参数			
FPGA 主要参数	型号	XC7A35T-2FFG484I	XC7A100T-2FFG484I
	构架	Artix7	Artix7
	逻辑单元(Logic Cells)	33280	101440
	查找表(Luts)	20800	63400
	BlockRAM(kb)	1800	4860
	DSP(DSP slices)	90	240
	触发器(Flip-flops)	41600	126800
	XADC	12bit*1(IO BANK 复用)	12bit*1(IO BANK 复用)
	GTP(6.6Gbps 高速收发器)	4 对	4 对
	速度等级	-2	-2
	温度等级	-40° ~+85°	-40° ~+85°

### 2: 核心板 DDR 内存



核心板支持最多焊接 2 片 DDR3L 内存，其中 35T 为低成本方案，默认焊接 1 片 DDR3L 256MB，100T 默认焊接 2 片 DDR3L 共计 512MB。数据速度最高 800Mbps，2 片 DDR3L 数据带宽可达 800Mbps\*32bit, 1 片 DDR3L 数据带宽可达 800bps\*16bit。

默认焊接高品质 Micron 品牌 DDR 也可以根据客户要求，定制生产国产品牌 DDR。





FPGA PL DDR 引脚分配表(红色字体部分为 2 片 DDR 的 IO 定义, ddr3\_addr[14]为预留, 默认不用):

DDR DATA	FPGA PIN	IOSTANDARD	DDR ADDR	FPGA PIN	IOSTANDARD
ddr3_dq[0]	P6	SSTL135	ddr3_addr[0]	AB3	SSTL135
ddr3_dq[1]	R1	SSTL135	ddr3_addr[1]	AA6	SSTL135
ddr3_dq[2]	M5	SSTL135	ddr3_addr[2]	Y3	SSTL135
ddr3_dq[3]	N4	SSTL135	ddr3_addr[3]	Y2	SSTL135
ddr3_dq[4]	N5	SSTL135	ddr3_addr[4]	AB6	SSTL135
ddr3_dq[5]	N2	SSTL135	ddr3_addr[5]	AA3	SSTL135
ddr3_dq[6]	M6	SSTL135	ddr3_addr[6]	Y7	SSTL135
ddr3_dq[7]	P1	SSTL135	ddr3_addr[7]	AA4	SSTL135
ddr3_dq[8]	L3	SSTL135	ddr3_addr[8]	AA8	SSTL135
ddr3_dq[9]	J4	SSTL135	ddr3_addr[9]	Y4	SSTL135
ddr3_dq[10]	M3	SSTL135	ddr3_addr[10]	Y9	SSTL135
ddr3_dq[11]	K4	SSTL135	ddr3_addr[11]	AB7	SSTL135
ddr3_dq[12]	M2	SSTL135	ddr3_addr[12]	AA5	SSTL135
ddr3_dq[13]	K3	SSTL135	ddr3_addr[13]	W5	SSTL135
ddr3_dq[14]	L4	SSTL135	ddr3_addr[14]	AB8	SSTL135
ddr3_dq[15]	L5	SSTL135	ddr3_ba[0]	AB2	SSTL135
ddr3_dq[16]	B1	SSTL135	ddr3_ba[1]	AB5	SSTL135
ddr3_dq[17]	E2	SSTL135	ddr3_ba[2]	W2	SSTL135
ddr3_dq[18]	B2	SSTL135	ddr3_cas_n	AA1	SSTL135
ddr3_dq[19]	F3	SSTL135	ddr3_ras_n	V2	SSTL135
ddr3_dq[20]	A1	SSTL135	ddr3_we_n	W1	SSTL135
ddr3_dq[21]	G1	SSTL135	ddr3_cke[0]	Y6	SSTL135
ddr3_dq[22]	C2	SSTL135	ddr3_odt[0]	AB1	SSTL135
ddr3_dq[23]	F1	SSTL135	ddr3_cs_n[0]	Y1	SSTL135
ddr3_dq[24]	J5	SSTL135	ddr3_reset_n	W4	SSTL135
ddr3_dq[25]	H5	SSTL135	ddr3_ck_p[0]	T5	DIFF_SSTL135
ddr3_dq[26]	K1	SSTL135	ddr3_ck_n[0]	U5	DIFF_SSTL135
ddr3_dq[27]	G4	SSTL135			
ddr3_dq[28]	H4	SSTL135			
ddr3_dq[29]	G3	SSTL135			
ddr3_dq[30]	H3	SSTL135			
ddr3_dq[31]	G2	SSTL135			
ddr3_dm[0]	P2	SSTL135			
ddr3_dm[1]	J6	SSTL135			
ddr3_dm[2]	D2	SSTL135			
ddr3_dm[3]	H2	SSTL135			
ddr3_dqs_p[0]	P5	DIFF_SSTL135			

ddr3_dqs_n[0]	P4	DIFF_SSTL135			
ddr3_dqs_p[1]	M1	DIFF_SSTL135			
ddr3_dqs_n[1]	L1	DIFF_SSTL135			
ddr3_dqs_p[2]	E1	DIFF_SSTL135			
ddr3_dqs_n[2]	D1	DIFF_SSTL135			
ddr3_dqs_p[3]	K2	DIFF_SSTL135			
ddr3_dqs_n[3]	J2	DIFF_SSTL135			

FPGA 核心模块 DDR 引脚分配文件下载页面 <https://www.uisrc.com/t-5665.html>

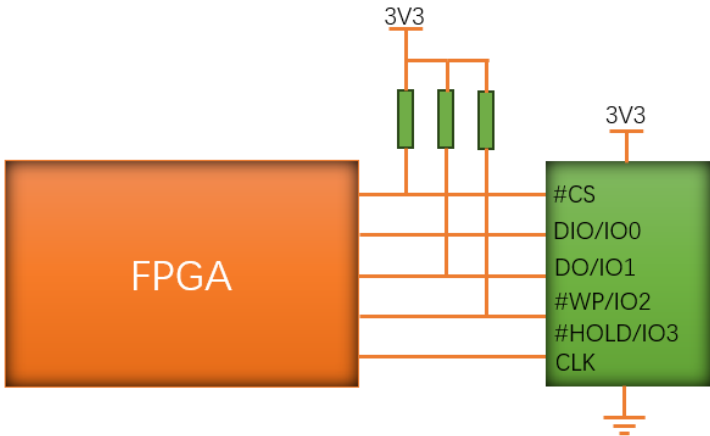
### 3: 核心板 PROM SPI FALSH

核心板具有 1 片 4bit SPI FLASH，支持 x1, x2, and x4 配置模式

MA703 核心板焊接:N25Q128



MLK-CA01 核心板焊接:W25Q128FVSI



FPGA FLASH 引脚分配表(其中时钟 CLK 无需分配):

FLASH PIN	FPGA PIN	IOSTANDARD	FLASH PIN	FPGA PIN	IOSTANDARD
DIO/IO0	P22	LVCMOS33	#CS	T19	LVCMOS33
DO/IO1	R22	LVCMOS33	CLK	L12	
#WP/IO2	P21	LVCMOS33			
#HOLD/IO3	R21	LVCMOS33			

注意:默认 FPGA 配置阶段不需要分配 FLASH IO，具体应用参考 demo，当配置完成后，FLASH IO 可以当作普通 IO 使用。

通过添加约束文件到 XDC 设置 FLASH 的基本配置参数

```
#bit compress spix4 speed up
#当 CFGBVS 连接至 Bank 0 的 VCC0 时，Bank 0 的 VCC0 必须为 2.5V 或 3.3V
```

```
set_property CFGBVS VCC0 [current_design]
#设置 CONFIG_VOLTAGE 也要配置为 3.3V
set_property CONFIG_VOLTAGE 3.3 [current_design]
#设置 bit 是否压缩
set_property BITSTREAM.GENERAL.COMPRESS true [current_design]
#设置 QSPI 的加载时钟
set_property BITSTREAM.CONFIG.CONFIGRATE 50 [current_design]
#设置 QSPI 的位宽
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 4 [current_design]
#设置 QPSI 的数据加载时钟边沿
set_property BITSTREAM.CONFIG.SPI_FALL_EDGE Yes [current_design]
```

## 4: 核心板系统时钟

MLK-CA01-35T-100T 核心板上具备一颗 50MHZ 的单端时钟

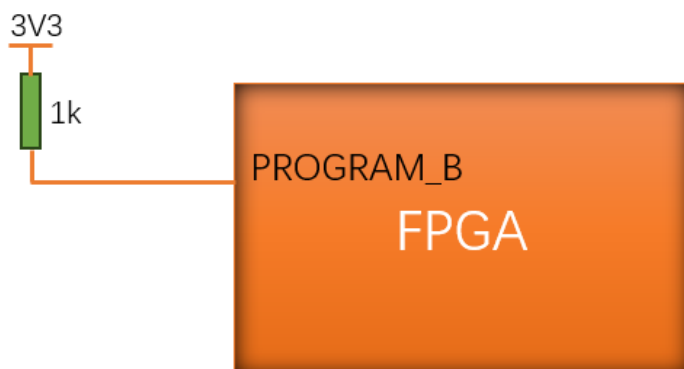


FPGA 时钟引脚分配表:

时钟 PIN	方向	FPGA PIN	IOSTANDARD	描述
CLK	输入	V4	SSTL135	时钟输入

## 5: 核心板系统复位

芯片支持上电复位，上电后复位整个芯片。



## 6: 核心板电源管理

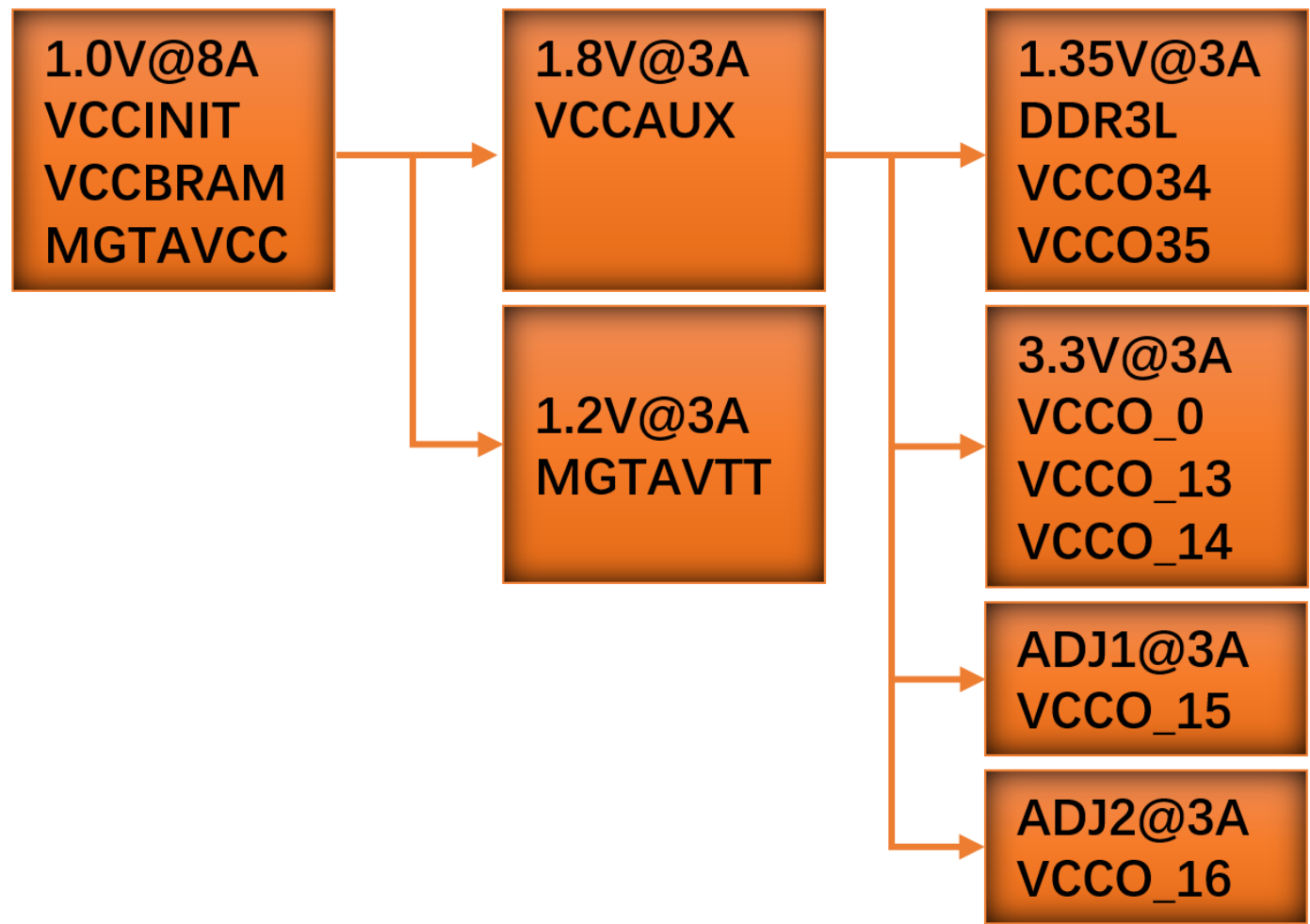
核心板集成电源管理，核心板输入电压 4.7~5.0V，最大功耗 8W 左右。

- 1、核心板提供 1.0V 核心电源，最大输出 8A，确保 FPGA 资源极端使用情况下电流足够。
- 2、核心板提供 1.0V、1.8V、3.3V、1.35V、1.2V 等电源。

3、MLK-CA01 可以通过底板修改 BANK15 BANK16 的电源，当通过底板修改核心板的 ADJ BANK,分别焊接 FB3、FB5，FB4、FB6 不焊接

当需要兼容 MA703CORE 模式下，需要焊接磁珠 FB4 和 FB6,FB3 和 FB5 不焊接

核心板上电时序如下：



5: 核心板连接器信号定义

HT1				HT2				HT3			
连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN	连接器 PIN	FPGA PIN
A1	VCC5V	B1	VCC5V	A1	GND	B1	GND	A1	GND	B1	GND
A2	VCC5V	B2	VCC5V	A2	Y22	B2	V22	A2	L18	B2	M22
A3	GND	B3	VCC5V	A3	Y21	B3	U22	A3	M18	B3	N22
A4	GND	B4	VCC5V	A4	W22	B4	U21	A4	M16	B4	M20
A5	GND	B5	GND	A5	W21	B5	T21	A5	M15	B5	N20
A6	GND	B6	GND	A6	AB22	B6	R19	A6	J17	B6	N19
A7	ADJ2	B7	GND	A7	AB21	B7	P19	A7	K17	B7	N18
A8	ADJ2	B8	GND	A8	AA21	B8	V20	A8	K16	B8	L21
A9	D22	B9	A21	A9	AA20	B9	U20	A9	L16	B9	M21
A10	E22	B10	B21	A10	GND	B10	GND	A10	GND	B10	GND
A11	D21	B11	B22	A11	W20	B11	T18	A11	K14	B11	K22
A12	E21	B12	C22	A12	W19	B12	R18	A12	K13	B12	K21
A13	G22	B13	B16	A13	V18	B13	P17	A13	L15	B13	L20

A14	G21	B14	B15	A14	V19	B14	N17	A14	L14	B14	L19
A15	C20	B15	C19	A15	Y19	B15	U18	A15	H18	B15	J21
A16	D20	B16	C18	A16	Y18	B16	U17	A16	H17	B16	J20
A17	GND	B17	GND	A17	AB20	B17	R17	A17	L13	B17	K19
A18	F20	B18	A20	A18	AA19	B18	P16	A18	M13	B18	K18
A19	F19	B19	B20	A19	GND	B19	GND	A19	GND	B19	GND
A20	D19	B20	A19	A20	W17	B20	R16	A20	H14	B20	G18
A21	E19	B21	A18	A21	V17	B21	P15	A21	J14	B21	G17
A22	E18	B22	C17	A22	AB18	B22	R14	A22	H15	B22	H22
A23	F18	B23	D17	A23	AA18	B23	P14	A23	J15	B23	J22
A24	E17	B24	B18	A24	GND	B24	N14	A24	G16	B24	G20
A25	F16	B25	B17	A25	GND	B25	N13	A25	G15	B25	H20
A26	GND	B26	GND	A26	GND	B26	GND	A26	G13	B26	H19
A27	D16	B27	C15	A27	AA16	B27	Y14	A27	H13	B27	J19
A28	E16	B28	C14	A28	Y16	B28	W14	A28	GND	B28	GND
A29	D15	B29	B13	A29	AB17	B29	W16	A29	ADJ1	B29	GND
A30	D14	B30	C13	A30	AB16	B30	W15	A30	ADJ1	B30	GND
A31	F14	B31	A16	A31	AB15	B31	U16				
A32	F13	B32	A15	A32	AA15	B32	T16				
A33	E14	B33	A14	A33	AA14	B33	V14				
A34	E13	B34	A13	A34	Y13	B34	V13				
A35	GND	B35	GND	A35	GND	B35	GND				
A36	E10	B36	E6	A36	Y12	B36	V15				
A37	F10	B37	F6	A37	Y11	B37	U15				
A38	GND	B38	GND	A38	AB13	B38	T15				
A39	C11	B39	C7	A39	AA13	B39	T14				
A40	D11	B40	D7	A40	AB12	B40	W12				
A41	GND	B41	GND	A41	AB11	B41	W11				
A42	A10	B42	A6	A42	AB10	B42	W10				
A43	B10	B43	B6	A43	AA9	B43	V10				
A44	GND	B44	GND	A44	GND	B44	GND				
A45	C9	B45	C5	A45	AA11	B45	PG_1V8				
A46	D9	B46	D5	A46	AA10	B46	GND				
A47	GND	B47	GND	A47	GND	B47	GND				
A48	A8	B48	A4	A48	GND	B48	GND				
A49	D8	B49	B4	A49	TDO	B49	TMS				
A50	GND	B50	GND	A50	TCK	B50	TDI				

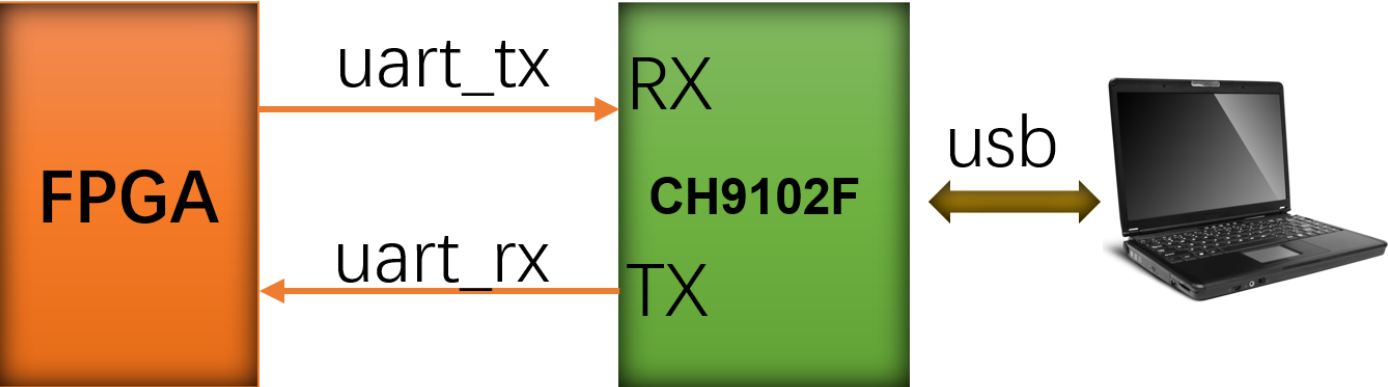
## 6: 核心板 JTAG

核心板引出了 JTAG 接口，但是该接口一般不推荐客户使用，因为排针接触不可靠，可能存在打坏 JTAG IO 的情况。

## 7: 底板 UART

底板具有一路 USB 转串口芯片，该芯片使用了 CH9102F,直接接入电脑 USB 接口即可和 FPGA 进行通信



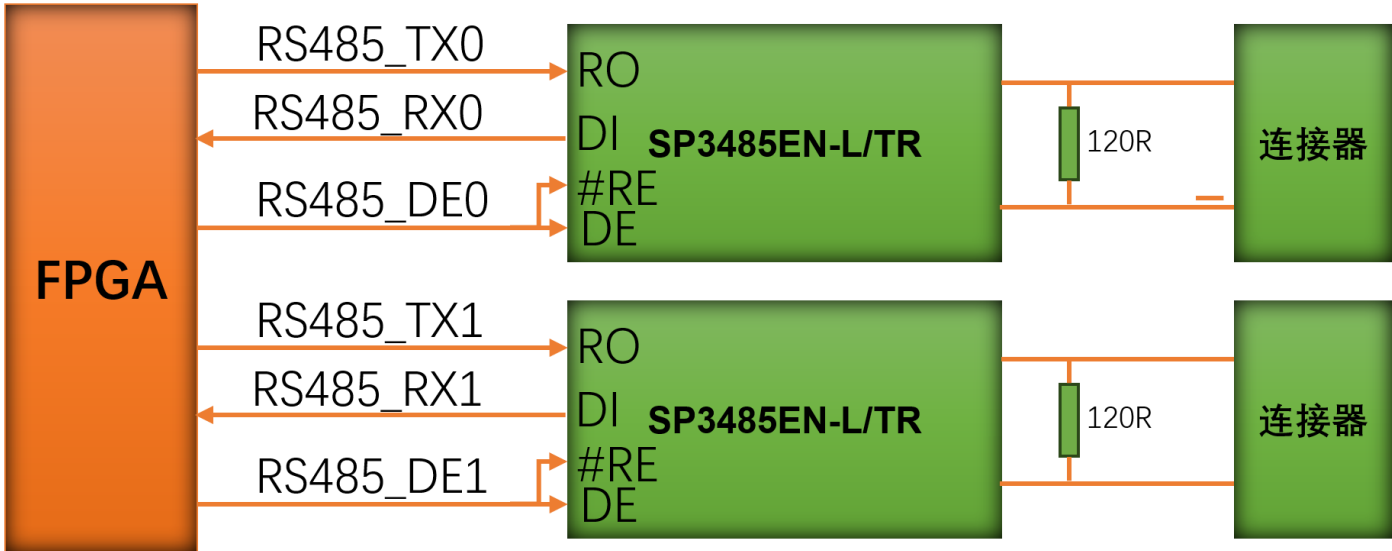


FPGA UART 引脚分配表:

UART PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
uart_tx	输出	R17	LVCMOS33	FPGA UART 串口发送
uart_rx	输入	P16	LVCMOS33	FPGA UART 串口接收

8: 底板 RS485

RS485 是一直常用的工业现在总线通信方式，具有良好的抗干扰和较高的波特率通信速度。



FPGA RS485 引脚分配表:

RS485 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
RS485_TX0	输出	E14	LVCMOS33	FPGA RS485_0 发送
RS485_RX0	输入	A16	LVCMOS33	FPGA RS485_0 接收
RS485_DE0	输出	A15	LVCMOS33	FPGA RS485_0 方向控制:0 接收 1 发送
RS485_TX1	输出	A13	LVCMOS33	FPGA RS485_1 发送
RS485_RX1	输入	E13	LVCMOS33	FPGA RS485_1 接收
RS485_DE1	输出	A14	LVCMOS33	FPGA RS485_1 方向控制:0 接收 1 发送

9: 底板以太网

MLK-F9 底板具有 2 路以太网，以太网芯片采用 RGMII 接口芯片 YT8531DC。支持 10M/100M/1000M 网速通信。采用的 RJ45 接头集成了网络变压器。

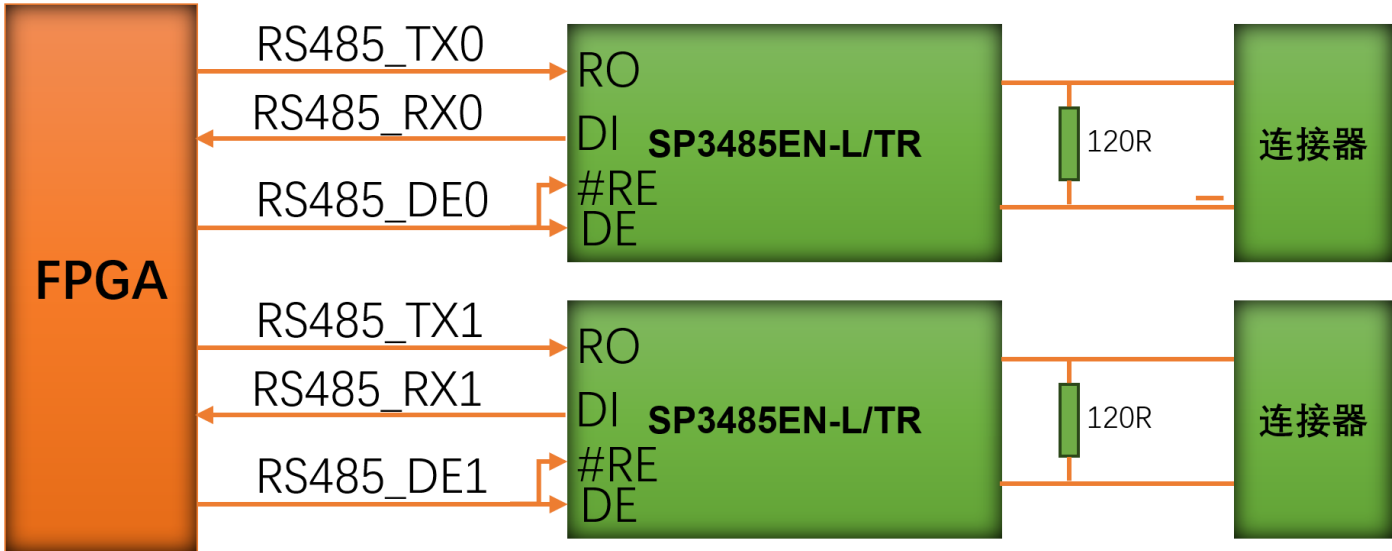


FPGA 以太网芯片引脚分配表:

ETHA			ETHB		
信号定义	FPGA PIN	IOSTANDARD	信号定义	FPGA PIN	IOSTANDARD
ETHA_RXD0	V19	LVCMOS33	ETHB_RXD0	R18	LVCMOS33
ETHA_RXD1	W20	LVCMOS33	ETHB_RXD1	V22	LVCMOS33
ETHA_RXD2	AA20	LVCMOS33	ETHB_RXD2	U22	LVCMOS33
ETHA_RXD3	AA21	LVCMOS33	ETHB_RXD3	U21	LVCMOS33
ETHA_RXCTL	V18	LVCMOS33	ETHB_RXCTL	P17	LVCMOS33
ETHA_RXCK	W19	LVCMOS33	ETHB_RXCK	Y18	LVCMOS33
ETHA_TXD0	W21	LVCMOS33	ETHB_TXD0	P19	LVCMOS33
ETHA_TXD1	W22	LVCMOS33	ETHB_TXD1	V20	LVCMOS33
ETHA_TXD2	Y21	LVCMOS33	ETHB_TXD2	U20	LVCMOS33
ETHA_TXD3	Y22	LVCMOS33	ETHB_TXD3	T18	LVCMOS33
ETHA_TXCTL	AB22	LVCMOS33	ETHB_TXCTL	R19	LVCMOS33
ETHA_TXCK	AB21	LVCMOS33	ETHB_TXCK	T21	LVCMOS33
ETH_MDIO	N17	LVCMOS33	ETH_MDIO	N17	LVCMOS33
ETH_MDC	U18	LVCMOS33	ETH_MDC	U18	LVCMOS33
RST	U17	LVCMOS33	RST	U17	LVCMOS33

10: 底板 TF 卡

底板具有一路 TF 卡接口，支持 SDIO 模式，SPI 模式。



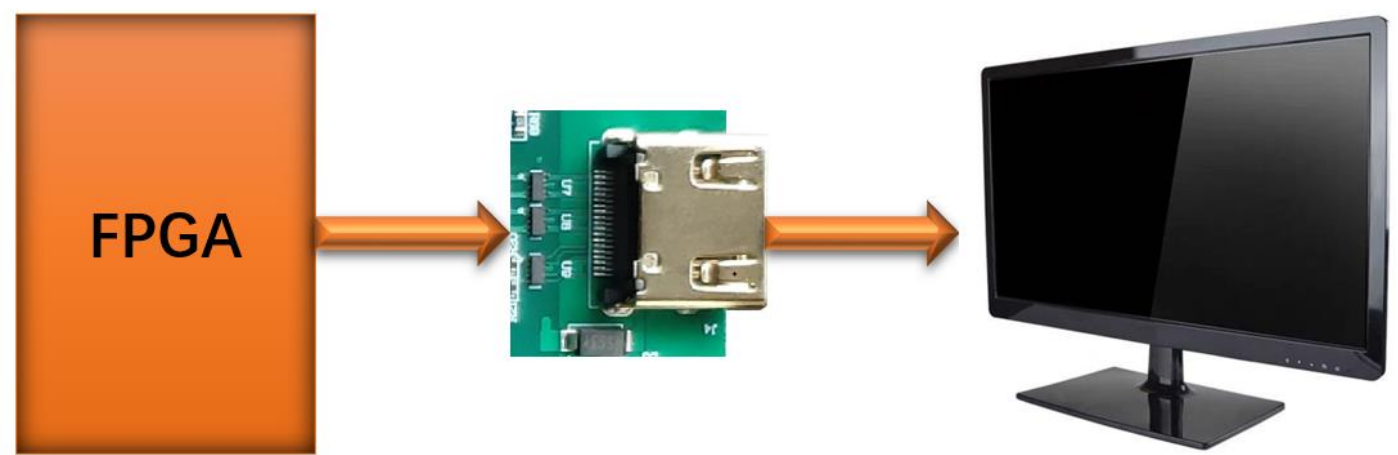
FPGA TF 引脚分配表:

TF PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
--------	------------	----------	------------	----

TF_CD	输入	AA18	LVC MOS33	TF 卡 CD 检查脚
TF_DAT0	双向	V17	LVC MOS33	TF 卡数据 0
TF_DAT1	双向	AB18	LVC MOS33	TF 卡数据 1
TF_DAT2	双向	Y19	LVC MOS33	TF 卡数据 2
TF_DAT3	双向	AB20	LVC MOS33	TF 卡数据 3
TF_CMD	输出	AA19	LVC MOS33	TF 卡命令
TF_CLK	输出	W17	LVC MOS33	TF 卡时钟

## 11: 底板 HDMI 输出接口

底板具有一路 HDMI 输出接口，该接口直接通过 FPGA 的差分 IO 驱动，具有稳定可靠成本低廉的优势。

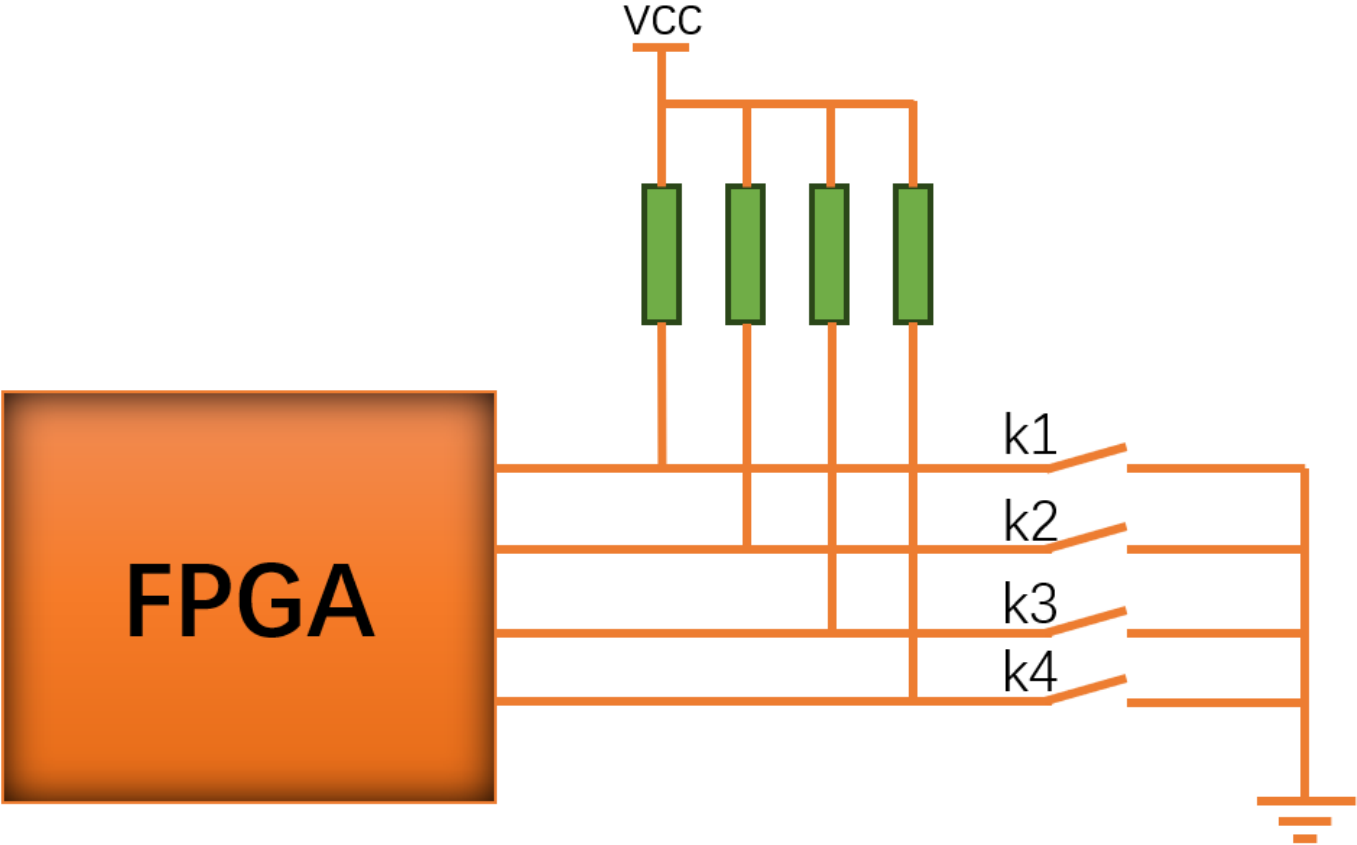


FPGA HDMI 输出引脚分配表:

HDMI PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
D2+	输出	C22	TMDS33	HDMI 数据 3 差分对 P 端
D2-	输出	B22	TMDS33	HDMI 数据 3 差分对 N 端
D1+	输出	B21	TMDS33	HDMI 数据 2 差分对 P 端
D1-	输出	A21	TMDS33	HDMI 数据 2 差分对 N 端
D0+	输出	B15	TMDS33	HDMI 数据 1 差分对 P 端
D0-	输出	B16	TMDS33	HDMI 数据 1 差分对 N 端
CK+	输出	C18	TMDS33	HDMI 时钟差分对 P
CK-	输出	C19	TMDS33	HDMI 时钟差分对 N
CEC	双向	NC		消费电子控制通道
SCL	双向	NC		DDC 接口，用于发送配置信息
SDA	双向	NC		
HPD	输入	NC		热插拔信号

## 12: 底板按键输入

底板具有 4 路按键输入，按键通过上拉到 VCC，默认为高电平，当按键按下，接到 GND，信号变为低电平。

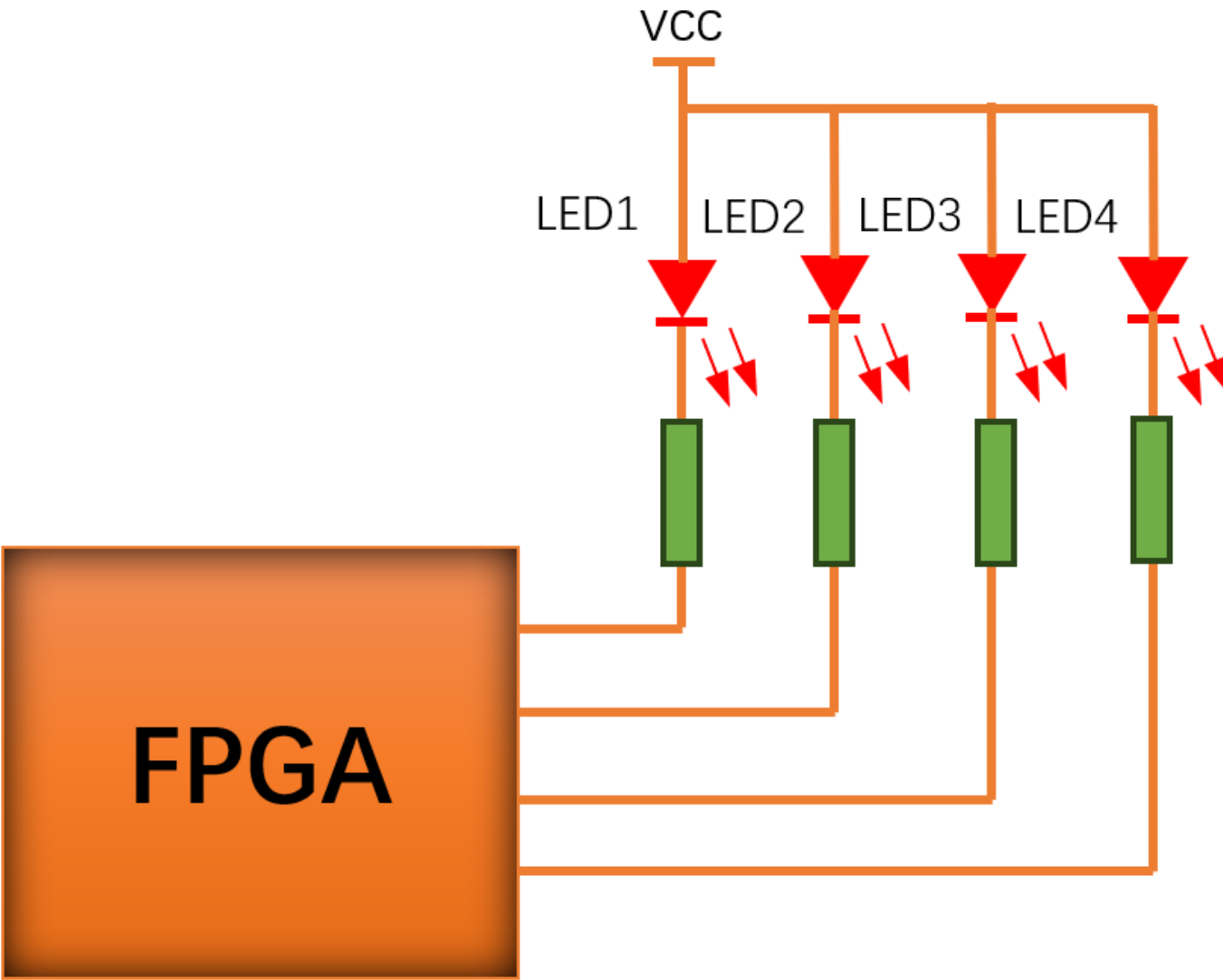


FPGA 按键输入引脚分配表:

KEY PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
KEY1	输入	R14	LVCMOS33	按键 1 输入
KEY2	输入	P14	LVCMOS33	按键 2 输入
KEY3	输入	N14	LVCMOS33	按键 3 输入
KEY4	输入	N13	LVCMOS33	按键 4 输入

### 13: 底板 LED

底板具有 4 路 LED 输出，LED 的阳极接到了 VCC，阴极接到 FPGA IO,当 FPGA IO 输出 0 点亮 LED,输出 1 关闭 LED. MLK-F9-CA01 的 LED 信号的 VCC 接到了 ADJ2,ADJ2 可以选择 2.5V 或者 3.3V，默认电平采用 3.3V



FPGA LED 输出引脚分配表:

LED PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
LED1	输出	E21	LVCMOS33	LED 1 输出
LED2	输出	D21	LVCMOS33	LED 2 输出
LED3	输出	E22	LVCMOS33	LED 3 输出
LED4	输出	D22	LVCMOS33	LED 4 输出

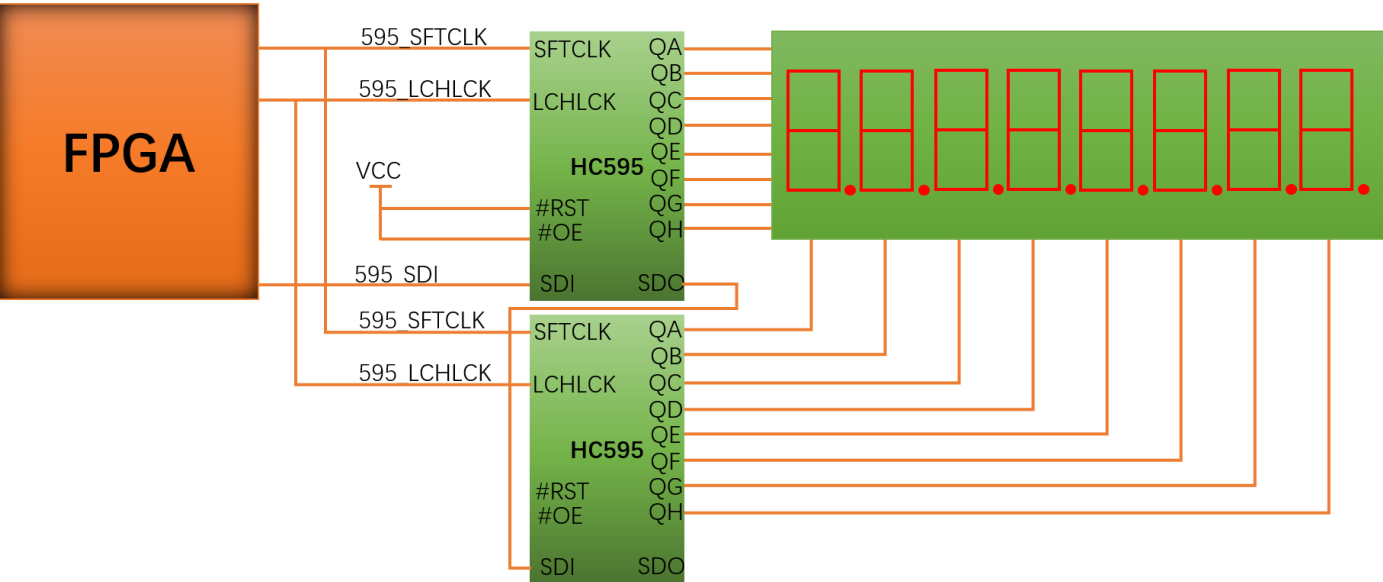
14: 底板数码管



通过 HC595 串并转换芯片扩展出 16 个 GPIO，控制 8 个 7 段数码管，动态显示，数码管采用阴接发。HC595 采用 SPI 接口驱动，驱动 HC595 芯片使用到了 3 个 FPGA IO，信号名分别为:595\_SFTCLK\595\_LCHLCK\595\_SDI, 此外#RST 和#OE 信号默认拉高即可。

驱动 HC595 芯片的 FPGAIO 和以上驱动 LED 的 FPGAIO 复用。此外由于这部分 IO 的 BANK 电压是 ADJ 的，可以设置 3.3V 和 2.5V,以下参数默认设置 3.3V,实际硬件电路在 FPGA IO 和 HC595 芯片之间串接了 100R 电阻，即便是使用 2.5V 的 BANK 电压也可以正常工作。



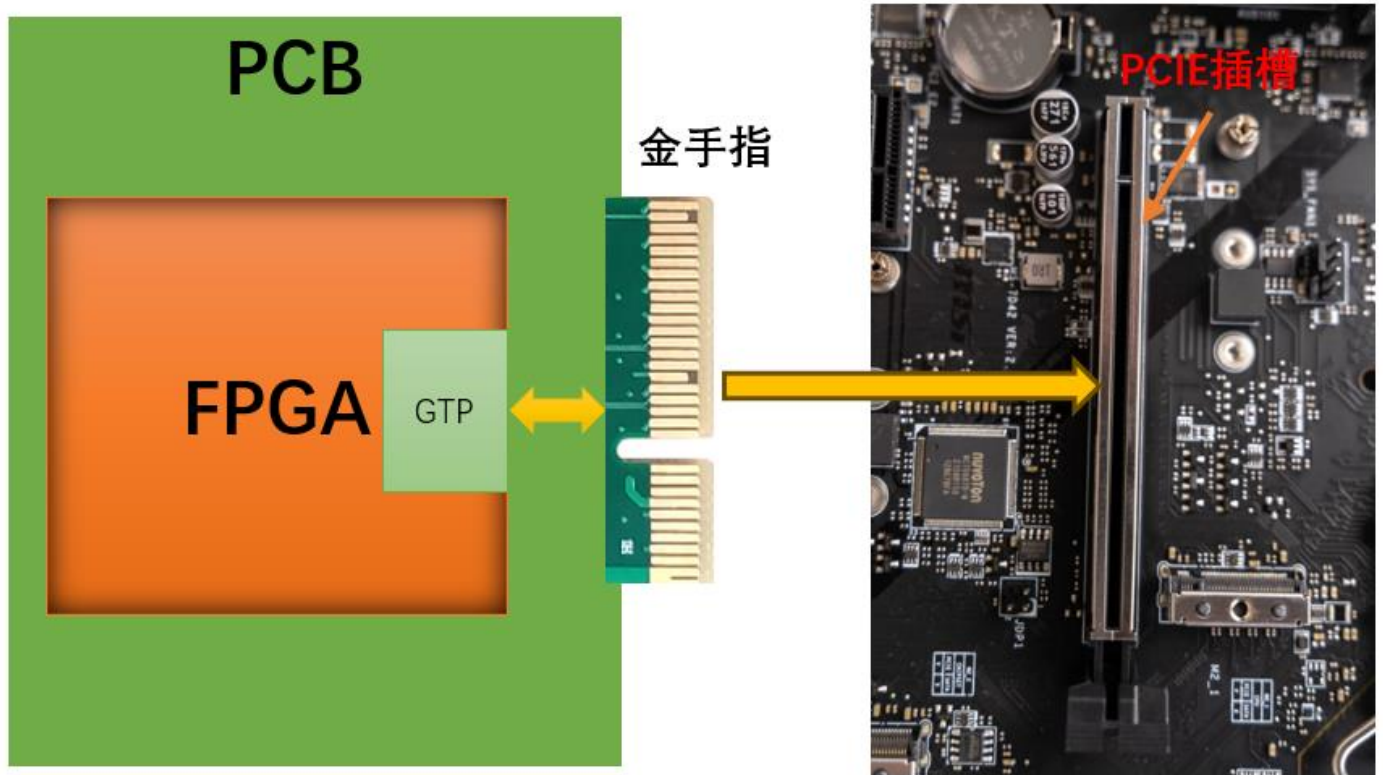


FPGA HC595 输出引脚分配表:

HC595 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
595_SFCLK	输出	E22	LVCMOS33	HC595 芯片 SPI 时钟
595_LCHCLK	输出	D21	LVCMOS33	HC595 芯片数据加载信号(SPI CS 信号)
595_SDI	输出	E21	LVCMOS33	HC595 芯片 SPI 数据

15: 底板 PCIE 接口

MLK-F9-CA01 开发板具有 1 组 GTX 共 4 对高速收发通道，其中 2 组用于 PCIE 通信。其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。



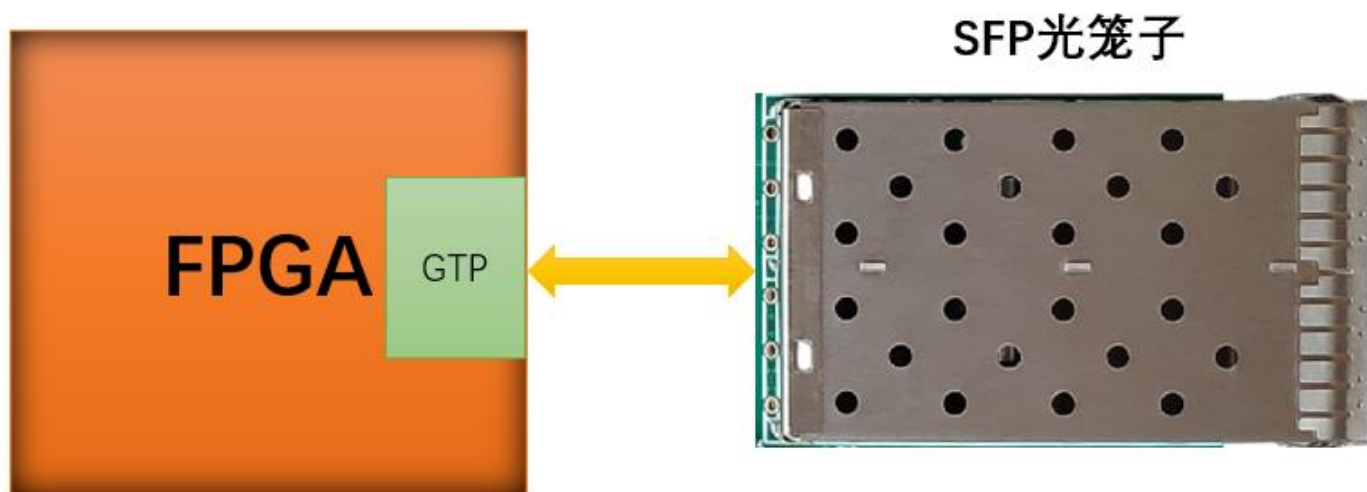
FPGA PCIE 引脚分配表:

PCIE PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
----------	------------	----------	------------	----

REFCLK_P	差分输入	F6		PCIE 差分时钟输入 100M
REFCLK_N	差分输入	E6		PCIE 差分时钟输入 100M
PETp0	差分输入	D9		PCIE 差分数据输入通道 0 P 端
PETn0	差分输入	C9		PCIE 差分数据输入通道 0 N 端
PETp1	差分输入	B10		PCIE 差分数据输入通道 1 P 端
PETn1	差分输入	A10		PCIE 差分数据输入通道 1 N 端
PERp0	差分输出	D7		PCIE 差分数据输出通道 0 P 端
PERn0	差分输出	C7		PCIE 差分数据输出通道 0 N 端
PERp1	差分输出	B6		PCIE 差分数据输出通道 1 P 端
PERn1	差分输出	A6		PCIE 差分数据输出通道 1 N 端
PERST#	输入	P15	LVC MOS33	PCIE 复位

## 16: 底板 SFP 接口

MLK-F9-CA01 开发板具有 1 组 GTX 共 4 对高速收发通道, 其中 2 组用于 PCIE 通信。其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。

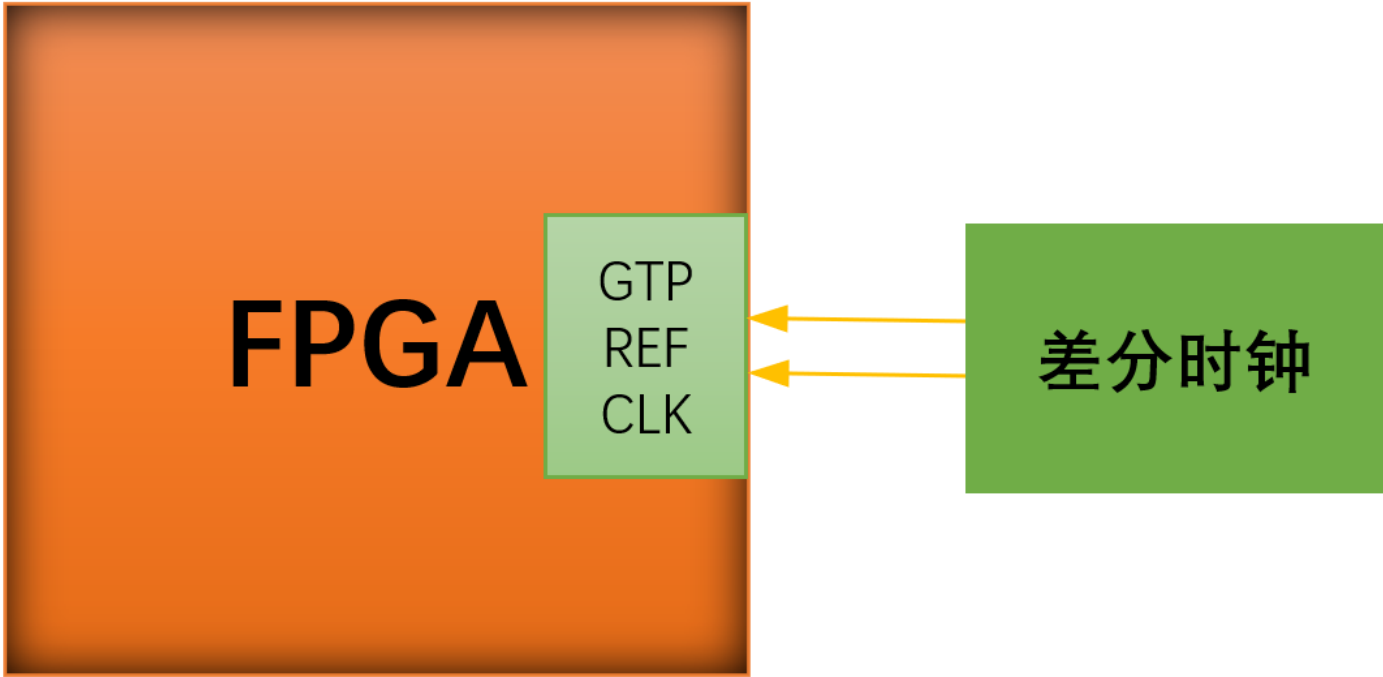


FPGA SFP 引脚分配表:

SFP PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
SFPA_TD_P	差分输出	B4		SFPA GT 串行数据发送差分 P 端
SFPA_TD_N	差分输出	A4		SFPA GT 串行数据发送差分 N 端
SFPA_RD_P	差分输入	B8		SFPA GT 串行数据接收差分 P 端
SFPA_RD_N	差分输入	A8		SFPA GT 串行数据接收差分 N 端
SFPA_TX_DIS	输入	A18	LVC MOS33	发送使能, 1 禁止发送, 0 使能发送
SFPB_TD_P	差分输出	D5		SFPB GT 串行数据发送差分 P 端
SFPB_TD_N	差分输出	C5		SFPB GT 串行数据发送差分 N 端
SFPB_RD_P	差分输入	D11		SFPB GT 串行数据接收差分 P 端
SFPB_RD_N	差分输入	C11		SFPB GT 串行数据接收差分 N 端
SFPB_TX_DIS	输入	A20	LVC MOS33	发送使能, 1 禁止发送, 0 使能发送

## 17: 底板 GT 参考时钟输入

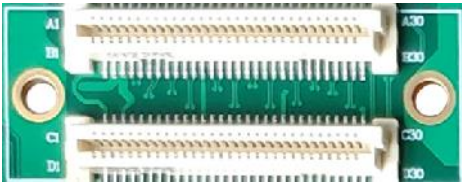
GT 部分高速单元需要提供高精度的参考时钟, 其中 GT 部分的 IO 为高速专用 IO 不需要约束电平属性。MLK-F9 的参考时钟为 125M 固定差分时钟输入到 GT 的参考时钟输入端。



FPGA GT 参考时钟引脚分配表:

晶振 PIN	FPGA IO 方向	FPGA PIN	IOSTANDARD	描述
OUT+	差分输入	E10		GT 参考时钟输入 P 端
OUT-	差分输入	F10		GT 参考时钟输入 N 端

18: 底板 FEP 接口



FEP 接口为米联客自定义的低成本高速接口，相比 FMC 接口具有更好的成本控制，更小的尺寸，焊接更加方便，普通单端 GPIO 250Mbps, LVDS 高速 IO 1.5Gbps ,GT 专用高速 IO 3Gbps 传输,满足大多数的应用场景。

- \_P 代表了当使用差分信号的时候代表了差分信号的 P;
- \_N 代表了当使用差分信号的时候代表了差分信号的 N;

FEP											
连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN
A1		VCC5V	B1		VCC5V	C1		VCC5V	D1		VCC5V
A2		GND	B2		GND	C2		GND	D2		GND
A3		GND	B3		GND	C3		NC	D3		NC
A4	_P	M18	B4	_P	N22	C4	_P	NC	D4	_P	NC
A5	_N	L18	B5	_N	M22	C5	_N	NC	D5	_N	NC
A6	_P	M15	B6	_P	N20	C6	_P	NC	D6	_P	NC
A7	_N	M16	B7	_N	M20	C7	_N	NC	D7	_N	NC
A8	_P	K17	B8	_P	N18	C8	_P	NC	D8	_P	NC
A9	_N	J17	B9	_N	N19	C9	_N	NC	D9	_N	NC
A10	_P	L16	B10	_P	M21	C10	_P	NC	D10	_P	NC
A11	_N	K16	B11	_N	L21	C11	_N	NC	D11	_N	NC
A12	_P	GND	B12	_P	GND	C12	_P	GND	D12	_P	GND

A13	_N	K13	B13	_N	K21	C13	_N	NC	D13	_N	NC
A14	_P	K14	B14	_P	K22	C14	_P	NC	D14	_P	NC
A15	_N	L14	B15	_N	K18	C15	_N	NC	D15	_N	NC
A16	_P	L15	B16	_P	K19	C16	_P	NC	D16	_P	NC
A17	_N	H17	B17	_N	J19	C17	_N	NC	D17	_N	NC
A18	_P	H18	B18	_P	H19	C18	_P	NC	D18	_P	NC
A19	_N	M13	B19	_N	L19	C19	_N	NC	D19	_N	NC
A20	_P	L13	B20	_P	L20	C20	_P	NC	D20	_P	NC
A21	_N	GND	B21	_N	GND	C21	_N	GND	D21	_N	GND
A22	_P	J14	B22	_P	J20	C22	_P	NC	D22	_P	NC
A23	_N	H14	B23	_N	J21	C23	_N	NC	D23	_N	NC
A24	_P	J15	B24	_P	G17	C24	_P	NC	D24	_P	NC
A25	_N	H15	B25	_N	G18	C25	_N	NC	D25	_N	NC
A26	_P	G15	B26	_P	J22	C26	_P	NC	D26	_P	NC
A27	_N	G16	B27	_N	H22	C27	_N	NC	D27	_N	NC
A28	_P	H13	B28	_P	H20	C28	_P	NC	D28	_P	NC
A29	_N	G13	B29	_N	G20	C29	_N	NC	D29	_N	NC
A30		GND	B30		GND	C30		GND	D30		GND

## 19: 底板 CEP 接口

CEP 为米联客自定义的普通 GPIO 接口, 间距为 2.54 间距, 具有单端 GPIO 250Mbps, LVDS 高速 IO 500Mbps 速度, 焊接排针, 通过杜邦线可以引出 IO, CEP 可以接米联客 DVP 接口摄像头。

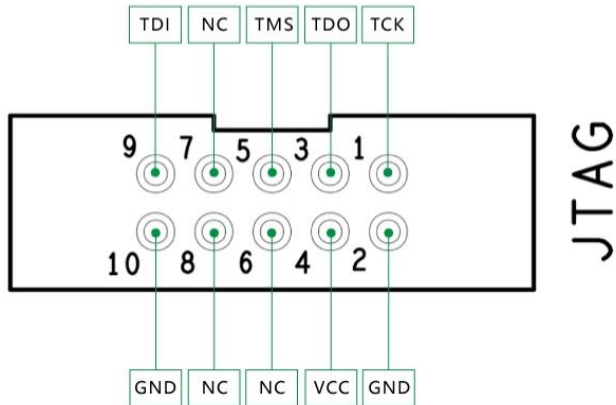
\_P 代表了当使用差分信号的时候代表了差分信号的 P;

\_N 代表了当使用差分信号的时候代表了差分信号的 N;

CEP											
连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN	连接器 PIN		FPGA PIN
1		VCC3V3	2		GND						
3	_P	G21	4	_N	G22						
5	_P	D20	6	_N	C20						
6	_P	D17	8	_N	C17						
9	_P	F19	10	_N	F20						
11	_P	B20	12	_N	A20						
13	_P	E19	14	_N	D19						
15	_P	A18	16	_N	A19						
17	_P	F18	18	_N	E18						
19	_P	F16	20	_N	E17						
21	_P	B17	22	_N	B18						
23	_P	E16	24	_N	D16						
25	_P	C14	26	_N	C15						
27	_P	D14	28	_N	D15						
29	_P	C13	30	_N	B13						
31	_P	F13	32	_N	F14						
33	_P	A15	34	_N	A16						
35	_P	E13	36	_N	E14						
37	_P	A13	38	_N	A14						
39		GND	40		GND						

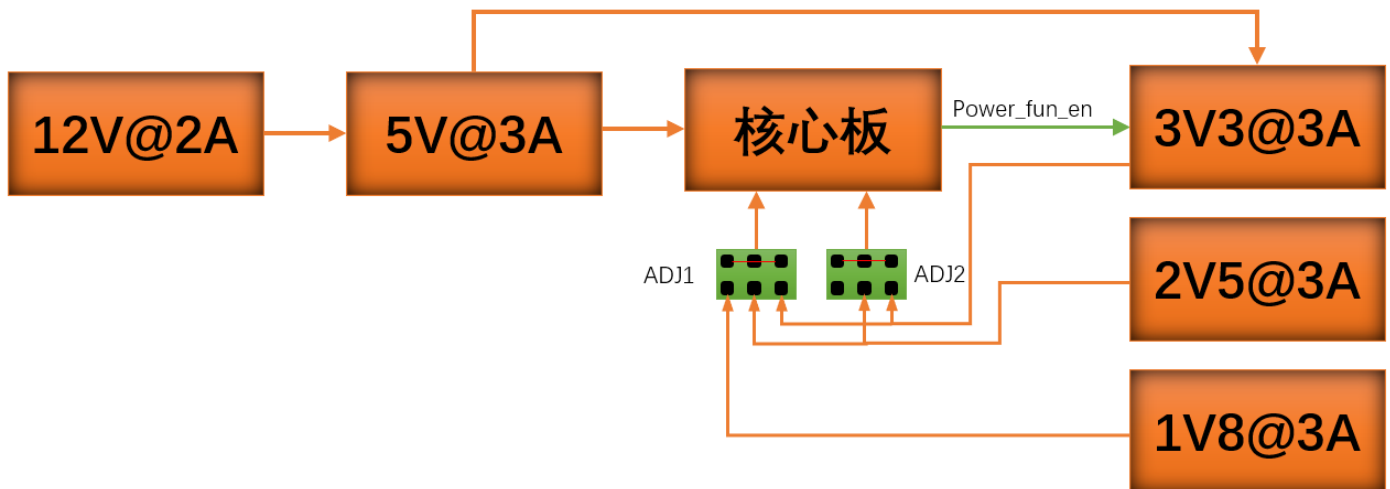
## 20: 底板 JTAG

底板具有路 JTAG 接口，用于在线调试，程序下载,米联客采用 2X5X2.0 间距的 JTAG 连接器具有更加紧凑的尺寸。JTAG 接口不支持热插拔，正确使用 JTAG 请参考此网页：<https://www.uisrc.com/t-3292.html>



## 22: 底板电源管理

底板通过 12V 转 5V 给核心板供电,核心板有上电顺序要求，通过核心板提供 Power\_fun\_en 使能底板上的 3.3V，2.5V,1.8V，并且通过跳线帽可以选择提供何种电压给核心板的 IO BANK。



## 21:散热片

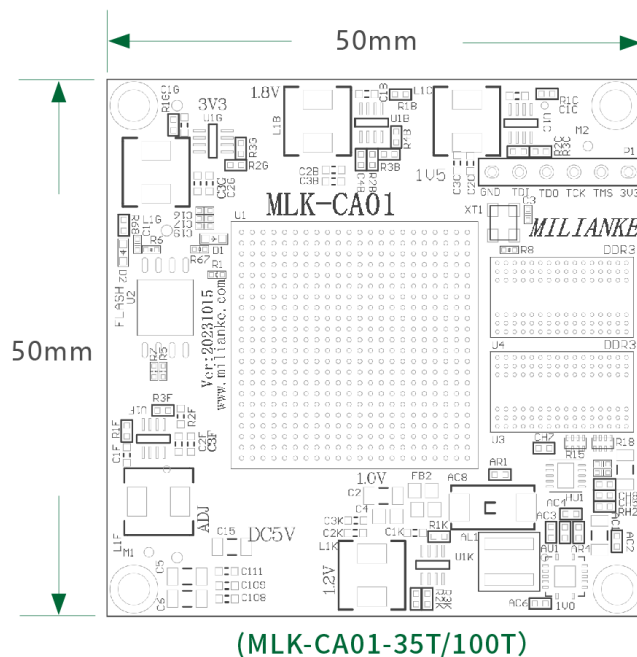




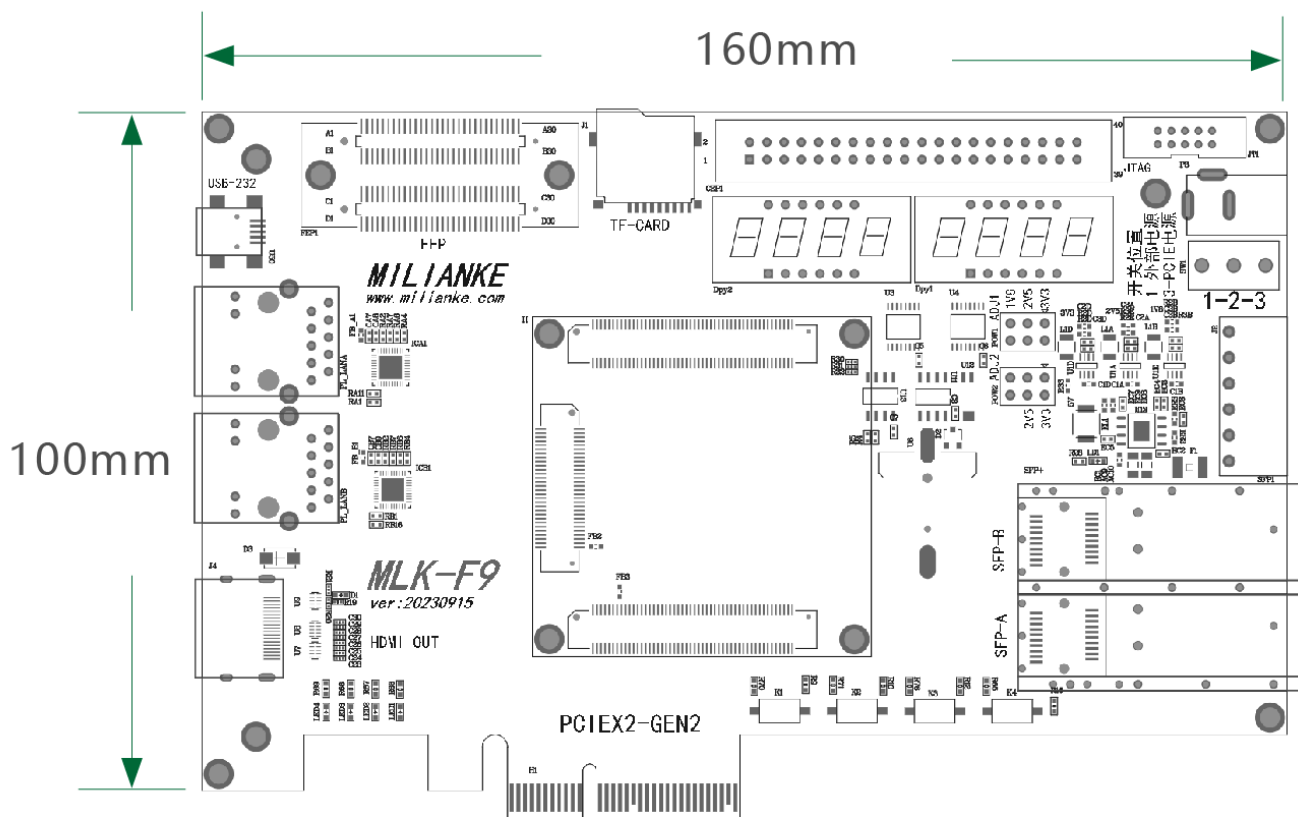
FPGA 正常工作时会产生大量的热量，开发板主芯片增加了一套散热片，防止芯片过热。

## 6 2D 平面图尺寸

核心板:



底板:



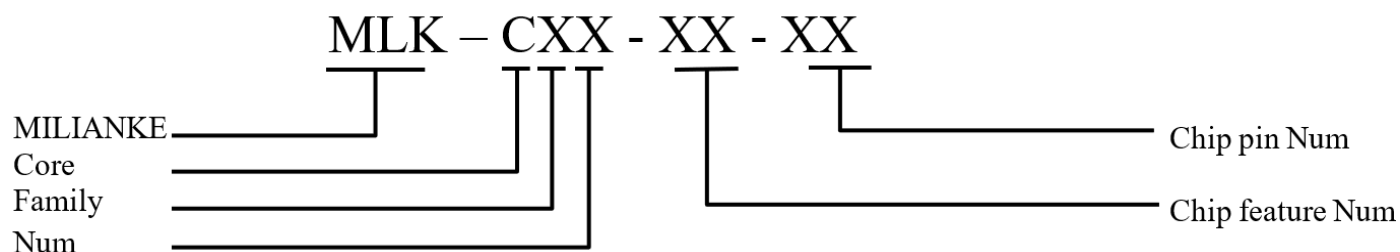
## 7 XC7A35T-2FFG484I/XC7A100T-2FFG484I BANK 分布

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	
A	35			216		216		216		216			16	16	16	16		16	16	16	16		A
B	35	35		216		216		216		216			16		16	16	16	16		16	16	16	B
C		35			216		216		216		216		16	16	16		16	16	16	16		16	C
D	35	35			216		216		216		216			16	16	16	16		16	16	16	16	D
E	35	35	35			216				216			16	16		16	16	16	16		16	16	E
F	35		35	35		216		216		216			16	16	16	16		16	16	16	16		F
G	35	35	35	35									15		15	15	15	15		15	16	16	G
H		35	35	35	35								15	15	15		15	15	15	15		15	H
J	35	35		35	35	35								15	15	15	15		15	15	15	15	J
K	35	35	35	35		35								15	15		15	15	15	15		15	K
L	35		35	35	35	35								15	15	15	15		15	15	15	15	L
M	35	35	35		35	35								15		15	15	15	15		15	15	M
N		35	35	35	35									14	14	14		14	15	15	15		N
P	35	35		35	35	35								14	14	14	14		14	14	14	14	P
R	35	34	34	34		34								14		14	14	14	14		14	14	R
T	34		34	34	34	34								13	13	13		14	14	14	14		T
U	34	34	34		34	34	34								13	13	14	14		14	14	14	U
V		34	34	34	34		34	34	34	13			13	13	13		14	14	14	14		14	V
W	34	34		34	34	34	34		34	13	13	13		13	13	13	14		14	14	14	14	W
Y	34	34	34	34		34	34	34	34		13	13	13	13		13	13	14	14		14	14	Y
AA	34		34	34	34	34		34	13	13	13		13	13	13	13		14	14	14	14		AA
AB	34	34	34		34	34	34	34		13	13	13	13		13	13	13	14		14	14	14	AB
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	

## 附录 1:命名规则

米联客硬件全新启用新的命名规则，对于老的型号，两个名字会同时使用

### 1 核心模块命名规则



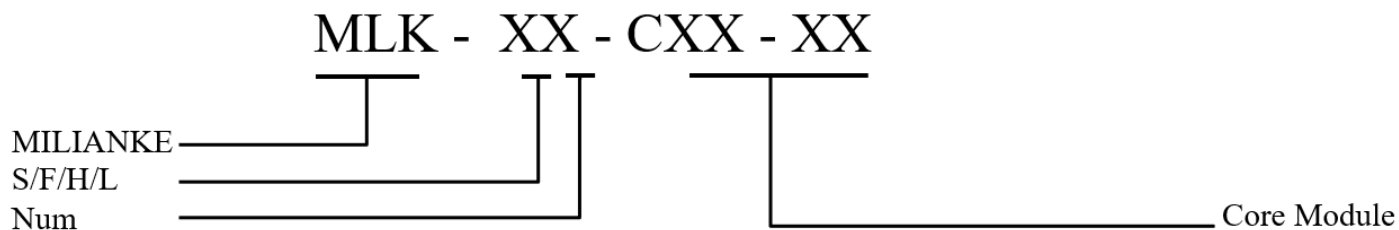
### 2 开发平台命名规则

S-代表单板

F-代表核心板+底板方式的 FEP 扩展接口的开发平台

H-代表核心板+底板方式的 FMC-HPC 扩展接口的开发平台

L-代表核心板+底板方式的 FMC-LPC 扩展接口的开发平台



## 附录 2:常见问题

### 1 联系方式

技术交流群网址: <https://www.uisrc.com/f-380.html> 查看最新可以加入的 QQ 群

技术微信: 18951232035

技术电话: 18951232035

官方微信公众号 (新微信公众号):



### 2 售后

1、7 天无理由退货(人为原因除外)

2、质保期限: 本公司产品自快递签收之日起, 提供一年质保服务(主芯片, 比如 FPGA 或者 CPU 等除外)。

3、维修换货, 需提供淘宝订单编号或合同编号, 联系销售/技术支持安排退回事宜。

售后维修请登录工单系统: [https://www.uisrc.com/plugin.php?id=x7ree\\_service](https://www.uisrc.com/plugin.php?id=x7ree_service)

4、以下情形不属于质保范畴。

A: 由于用户使用不当造成板子的损坏: 比如电压过高造成的开发板短路, 自行焊接造成的焊盘脱落、铜线起皮 等

B: 用户日常维护不当造成板子的损坏: 比如放置不当导致线路板腐蚀、基板出现裂纹等

5、质保范畴外 (上方第 4 条) 及质保期限以外的产品, 本公司提供有偿维修服务。维修仅收取器件材料成本, 往返运费全部由客户承担。

6、寄回地址, 登录网页获取最新的售后地址: <https://www.uisrc.com/t-1982.html>

### 3 销售

天猫米联客旗舰店: <https://milianke.tmall.com>

京东米联客旗舰店: <https://milianke.jd.com/>

FPGA|SOC 生态店: <https://milianke.taobao.com>

销售电话: 18921033576

常州溧阳总部: 常州溧阳市中关村吴潭渡路雅创高科制造谷 10-1 幢楼

### 4 在线视频

<https://www.uisrc.com/video.html>

### 5 资源下载

<https://www.uisrc.com/download.html>

### 6 软件或其他下载

<https://www.uisrc.com/f-download.html>