**Lab Task\_01**

**Binary counter using D Flip-Flop**

**ENTITIES:**

**1:** **DLatch**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**ENTITY** myDLatch **is** **port** **(**

clk **:** **in** std\_logic**;**

D **:** **in** std\_logic**;**

Q **:** **out** std\_logic**;**

Q\_not **:** **out** std\_logic

**);**

**end** myDLatch**;**

**architecture** bhv **of** myDLatch **is**

**begin**

**process** **(**clk**)**

**begin**

**if** clk **=** '1' **then**

Q **<=** D**;**

Q\_not **<=** **not** D **;**

**end** **if;**

**end** **process;**

**end** bhv**;**

**PACKAGE:**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**package** My\_Package **is**

**component** myDLatch **is**

**port** **(**

clk **:** **in** std\_logic**;**

D **:** **in** std\_logic**;**

Q **:** **out** std\_logic**;**

Q\_not **:** **out** std\_logic

**);**

**end** **component;**

**end** **package** My\_Package**;**

**TOP-ENTITY(Wrapper File)**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**USE** WORK**.**My\_Package**.ALL;**

**ENTITY** FourBitCounter **IS**

**PORT** **(**

o\_output **:** **OUT** STD\_LOGIC\_VECTOR**(**3 **DOWNTO** 0**);**

clk **:** **IN** STD\_LOGIC

**);**

**END** FourBitCounter**;**

**ARCHITECTURE** bhv **OF** FourBitCounter **IS**

**SIGNAL** q **:** STD\_LOGIC\_VECTOR**(**3 **DOWNTO** 0**);**

**SIGNAL** qnot **:** STD\_LOGIC\_VECTOR**(**3 **DOWNTO** 0**);**

**SIGNAL** d **:** STD\_LOGIC\_VECTOR**(**3 **DOWNTO** 0**);**

**BEGIN**

U1 **:** myDLatch **PORT** **MAP** **(**clk**,** d**(**0**),** q**(**0**),** qnot**(**0**));**

U2 **:** myDLatch **PORT** **MAP** **(**clk**,** d**(**1**),** q**(**1**),** qnot**(**1**));**

U3 **:** myDLatch **PORT** **MAP** **(**clk**,** d**(**2**),** q**(**2**),** qnot**(**2**));**

U4 **:** myDLatch **PORT** **MAP** **(**clk**,** d**(**3**),** q**(**3**),** qnot**(**3**));**

d**(**0**)** **<=** **NOT** q**(**0**);**

d**(**1**)** **<=** q**(**1**)** **XOR** q**(**0**);**

d**(**2**)** **<=** q**(**2**)** **XOR** **(**q**(**1**)** **AND** q**(**0**));**

d**(**3**)** **<=** q**(**3**)** **XOR** **(**q**(**2**)** **AND** q**(**1**)** **AND** q**(**0**));**

o\_output **<=** q**;**

**END** bhv**;**

**Simulation:**

**A screenshot of a computer

AI-generated content may be incorrect.**

Simulation 1 :Four-Bit up Counter with Clock Positive Edge Sensitive

**Lab Task\_02**

**Up/Down Binary counter**

**TOP-ENTITY(Wrapper File)**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**USE** WORK**.**My\_Package**.ALL;**

**ENTITY** UpDownBinaryCounter **IS**

**PORT** **(**

binOut **:** **OUT** STD\_LOGIC\_VECTOR**(**2 **DOWNTO** 0**);**

opcode **:** **IN** STD\_LOGIC**;**

clk **:** **IN** STD\_LOGIC

**);**

**END** UpDownBinaryCounter**;**

**ARCHITECTURE** bhv **OF** UpDownBinaryCounter **IS**

**SIGNAL** q **:** STD\_LOGIC\_VECTOR**(**2 **DOWNTO** 0**);**

**SIGNAL** qnot **:** STD\_LOGIC\_VECTOR**(**2 **DOWNTO** 0**);**

**SIGNAL** d **:** STD\_LOGIC\_VECTOR**(**2 **DOWNTO** 0**);**

**BEGIN**

U1 **:** myDLatch **PORT** **MAP** **(** clk**,** d**(**0**),** q**(**0**),** qnot**(**0**));**

U2 **:** myDLatch **PORT** **MAP** **(** clk**,** d**(**1**),** q**(**1**),** qnot**(**1**));**

U3 **:** myDLatch **PORT** **MAP** **(** clk**,** d**(**2**),** q**(**2**),** qnot**(**2**));**

d**(**0**)** **<=** **NOT** q**(**0**);**

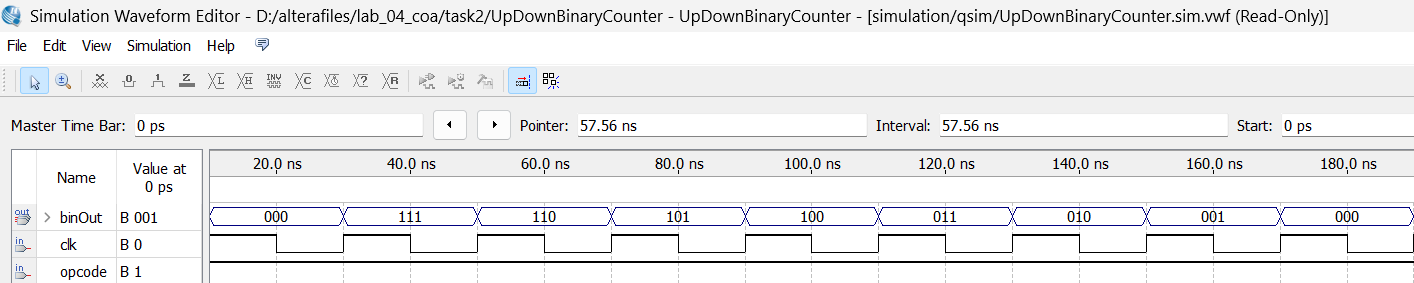
d**(**1**)** **<=** **(**q**(**1**)** **XOR** q**(**0**))** **WHEN** opcode **=** '0' **ELSE** **(**q**(**1**)** **XOR** qnot**(**0**));**

d**(**2**)** **<=** **(**q**(**2**)** **XOR** **(**q**(**1**)** **AND** q**(**0**)))** **WHEN** opcode **=** '0' **ELSE** **(**q**(**2**)** **XOR** **(**qnot**(**1**)** **AND** qnot**(**0**)));**

binOut **<=** q**;**

**END** bhv**;**

**Simulation:**



A screenshot of a computer

AI-generated content may be incorrect.

Simulation 2: :Three-Bit up-down Counter with Clock Positive Edge Sensitive