

LAPORAN PROYEK ANALOG IC DESIGN

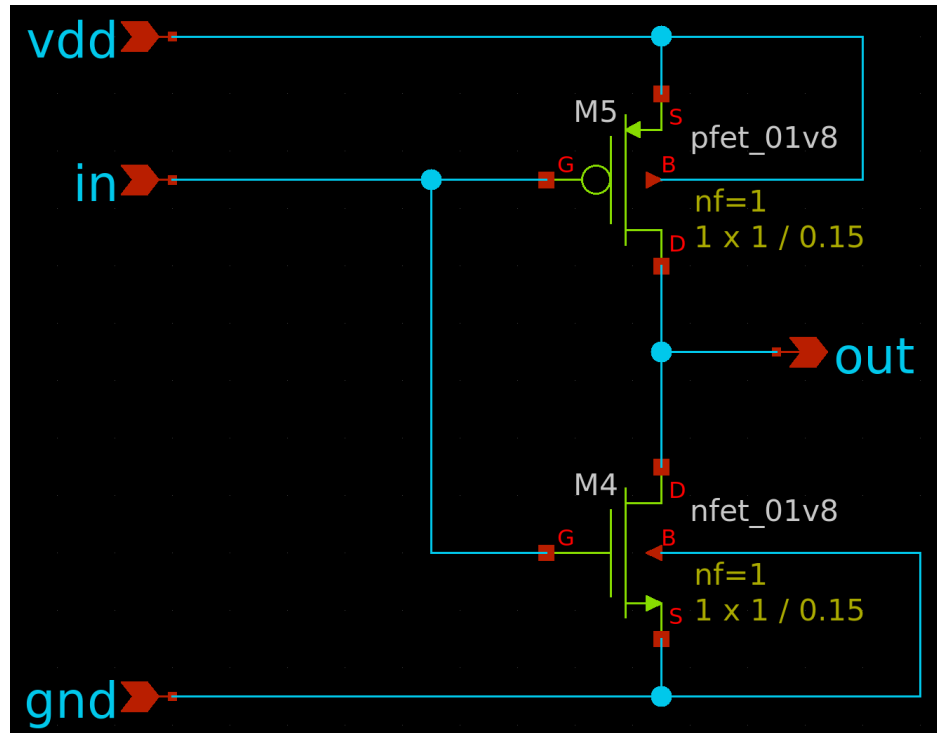
ID Number	Student Name
23402110004	Muhammad Fauzanil Wildan A. R.
Institution	: Universitas Prasetya Mulya
Date	: 19 October 2024



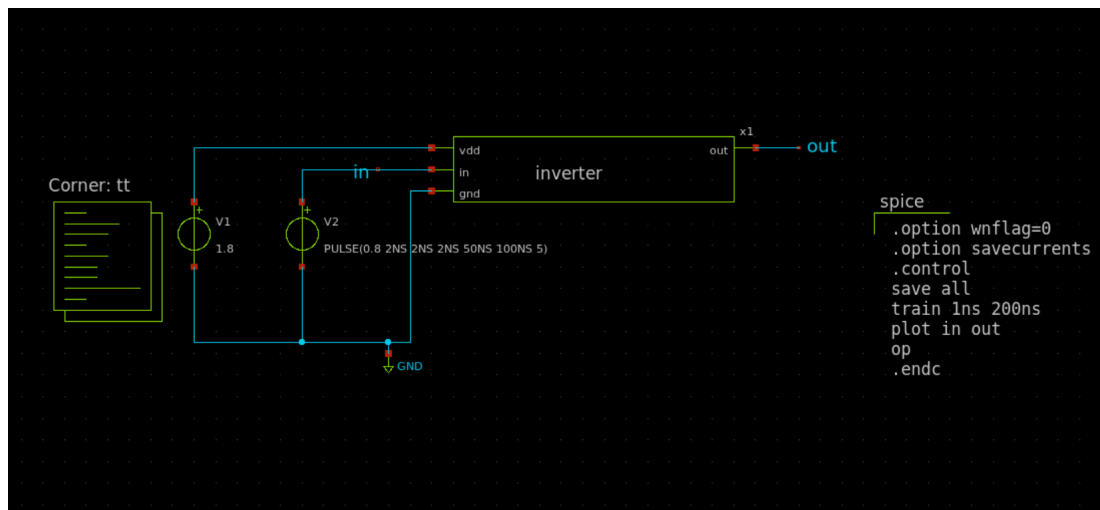
MBKM - MSIB IC Design Engineer Intern
PT. Hartono Istana Teknologi
2024

1. INVERTER

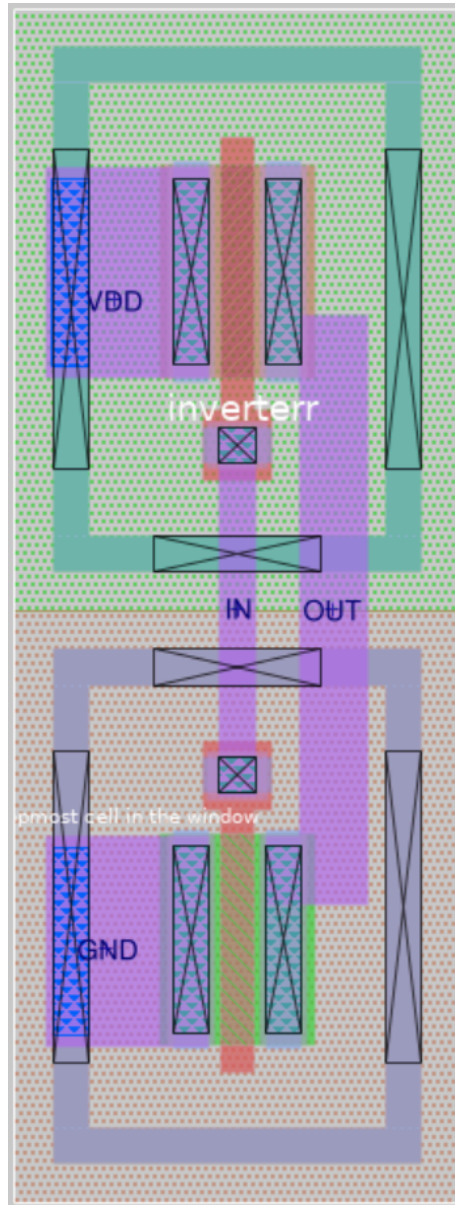
Inverter dalam desain analog adalah elemen dasar yang membalikkan sinyal input digital menjadi output yang berlawanan. Peran inverter sangat penting dalam rangkaian logika dan sistem elektronik, di mana ia membantu mengendalikan dan mengalirkan sinyal di antara berbagai komponen rangkaian.



Gambar di atas merupakan rangkaian skematik dari inverter. Dimana inverter ini terdiri dari transistor MOSFET tipe N (M4) dan tipe P (M5).



Gambar di atas merupakan rangkaian untuk test bench atau simulasi dari inverter. Dalam hal ini, rangkaian inverter yang telah dibuat sebelumnya dijadikan simbol dan dihubungkan dengan source 1.8 volt sebagai supply power. Kemudian diberikan input tegangan sebesar 0.8 volt, delay 2ns, rise time 2ns, fall time 2ns, pulse width 50ns, pulse period 100ns, dan dilakukan siklus sebanyak 5 kali.



Gambar di atas merupakan hasil desain layout rangkaian inverter yang telah dibuat menggunakan software magic. Terdapat 2 bagian dalam gambar layout tersebut, bagian atas yaitu P-FET dan bagian bawah N-FET yang kemudian keduanya dihubungkan dengan wiring.

```

fauzann@MuhammadFauzanil:~$ cd inverter
fauzann@MuhammadFauzanil:~/inverter$ chmod +x iic-lvs.sh
fauzann@MuhammadFauzanil:~/inverter$ ./iic-lvs.sh inverterr
[INFO] Running LVS of <inverterr.mag> vs <inverterr.sch>.
[INFO] Extracting netlist from schematic <inverterr.sch>...
[INFO] Extracting netlist from layout <inverterr.mag>...
[INFO] Run netgen...
---
CONGRATULATIONS! LVS is OK, schematic/netlist and layout match!
---
[DONE] Bye!

```

```

Subcircuit summary:
Circuit 1: inverterr
-----
sky130_fd_pr__nfet_01v8 (1)
sky130_fd_pr__pfet_01v8 (1)
Number of devices: 2
Number of nets: 4
-----
Circuit 2: inverterr
-----
sky130_fd_pr__nfet_01v8 (1)
sky130_fd_pr__pfet_01v8 (1)
Number of devices: 2
Number of nets: 4
-----
Netlists match uniquely.

Subcircuit pins:
Circuit 1: inverterr
-----
OUT
IN
GND
VDD
-----
Circuit 2: inverterr
-----
out
in
gnd
vdd
-----
Cell pin lists are equivalent.
Device classes inverterr and inverterr are equivalent.

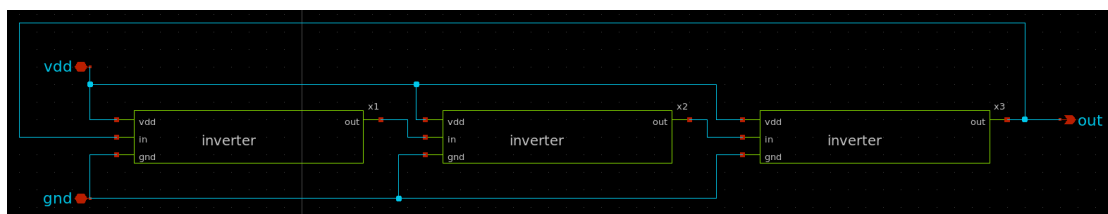
Final result: Circuits match uniquely.

```

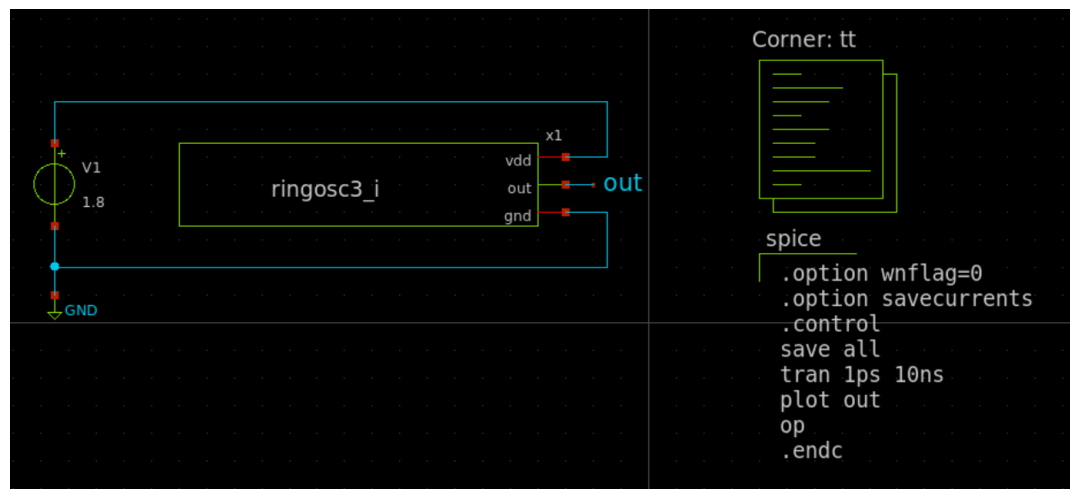
Setelah membuat desain skematik dan layout dengan magic, maka dilakukan proses LVS. Proses LVS ini bertujuan untuk memverifikasi bahwa sirkuit yang dirancang pada layout benar-benar mencerminkan sirkuit yang didefinisikan dalam skematik, tanpa kesalahan atau ketidaksesuaian. Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout match (sesuai).

2. RING OSCILLATOR

Ring oscillator adalah rangkaian yang terdiri dari inverter yang disusun dalam loop tertutup, menghasilkan osilasi karena adanya penundaan pada setiap inverter. Rangkaian ini banyak digunakan untuk mengukur kecepatan transistor, evaluasi proses fabrikasi, dan sebagai elemen inti pada berbagai aplikasi frekuensi tinggi.



Gambar di atas merupakan rangkaian osilator yang terdiri dari tiga buah inverter yang sudah dibuat sebelumnya dan dihubungkan dengan vdd, gnd, dan out.



Circuit: ** sch_path: /home/fauzann/latiahan1/xschem/ringosc3_tb.sch

```
option SCALE: Scale is set to 1e-06 for instance and model parameters
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
```

Initial Transient Solution

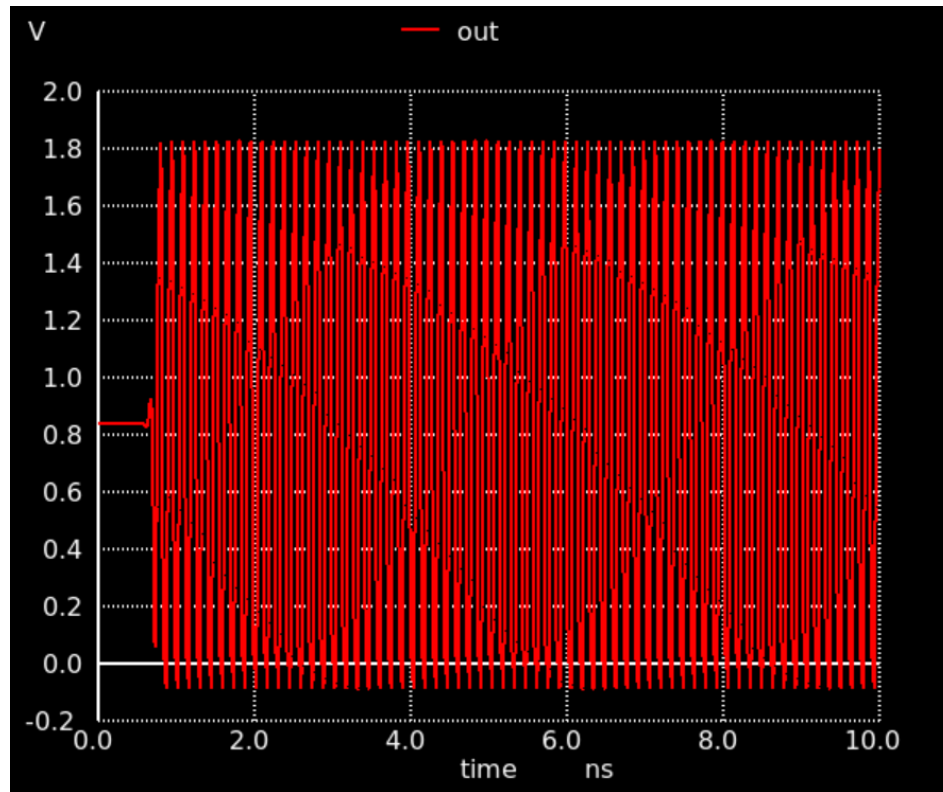
```

Node                                     Voltage
----                                     -
net1                                     1.8
x1.net1                                0.838029
out                                     0.838029
x1.net2                                0.838029
v1#branch                              -5.43241e-05

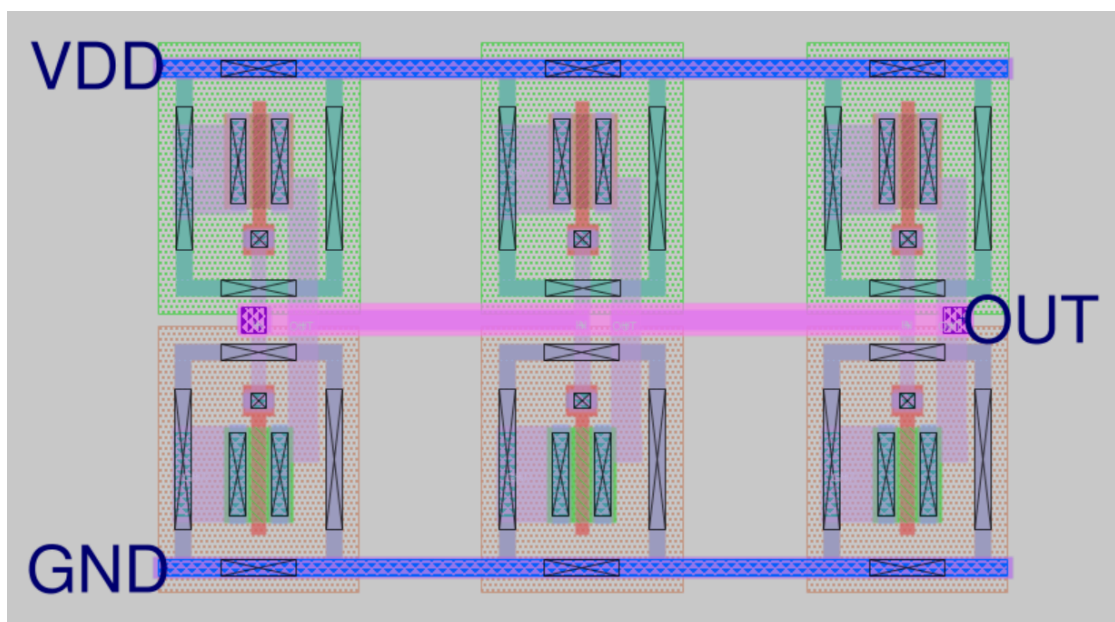
```

```
Reference value : 9.26128e-09
No. of Data Rows : 10008
Doing analysis at TEMP = 27.000000 and TNOM = 27.000000
```

```
No. of Data Rows : 1
ngspice 1 -> █
```



Gambar di atas merupakan rangkaian untuk test bench atau simulasi dari ring oscillator. Dalam hal ini, rangkaian ring oscillator yang telah dibuat sebelumnya dijadikan simbol dan dihubungkan dengan source 1.8 volt sebagai supply power. Setelah disimulasikan, maka akan muncul grafik di atas.



Gambar di atas merupakan hasil desain layout rangkaian ring oscillator yang telah dibuat menggunakan software magic. Terdapat 2 bagian dalam gambar layout tersebut, bagian atas yaitu P-FET dan bagian bawah N-FET yang kemudian keduanya dihubungkan dengan wiring.

```
Subcircuit summary:
Circuit 1: ringosc3_i          |Circuit 2: ringosc3_i
-----|-----
inverter1 (3)                  |inverter1 (3)
Number of devices: 3           |Number of devices: 3
Number of nets: 5              |Number of nets: 5
-----|-----
Resolving symmetries by property value.
Resolving symmetries by pin name.
Netlists match uniquely.

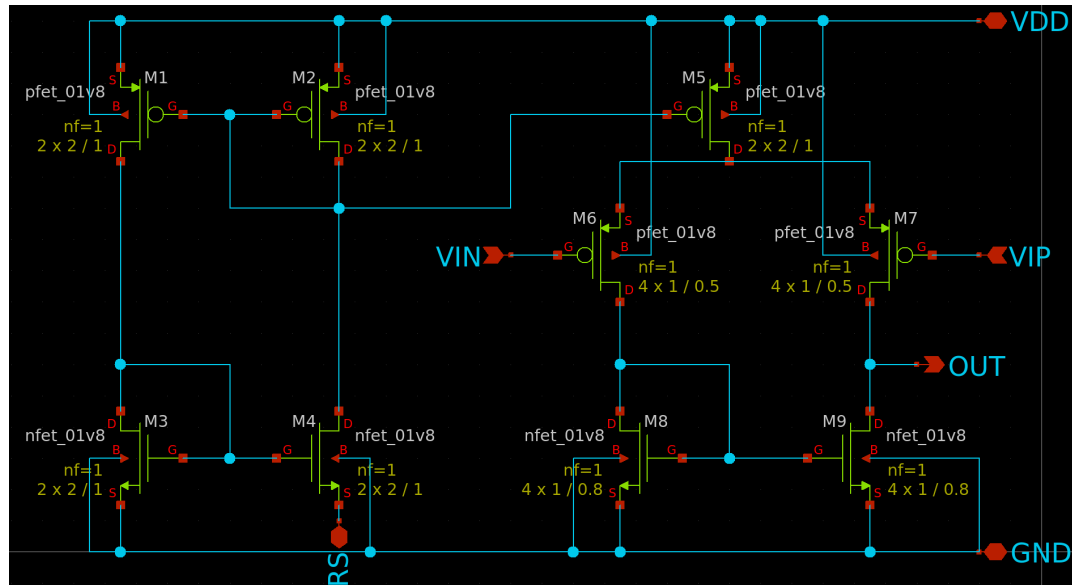
Subcircuit pins:
Circuit 1: ringosc3_i          |Circuit 2: ringosc3_i
-----|-----
OUT                             |out
VDD                             |vdd
GND                             |gnd
-----|-----
Cell pin lists are equivalent.
Device classes ringosc3_i and ringosc3_i are equivalent.

Final result: Circuits match uniquely.
```

Setelah membuat desain skematik dan layout dengan magic, maka dilakukan proses LVS. Proses LVS ini bertujuan untuk memverifikasi bahwa sirkuit yang dirancang pada layout benar-benar mencerminkan sirkuit yang didefinisikan dalam skematik, tanpa kesalahan atau ketidaksesuaian. Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout match (sesuai).

3. OP-AMP

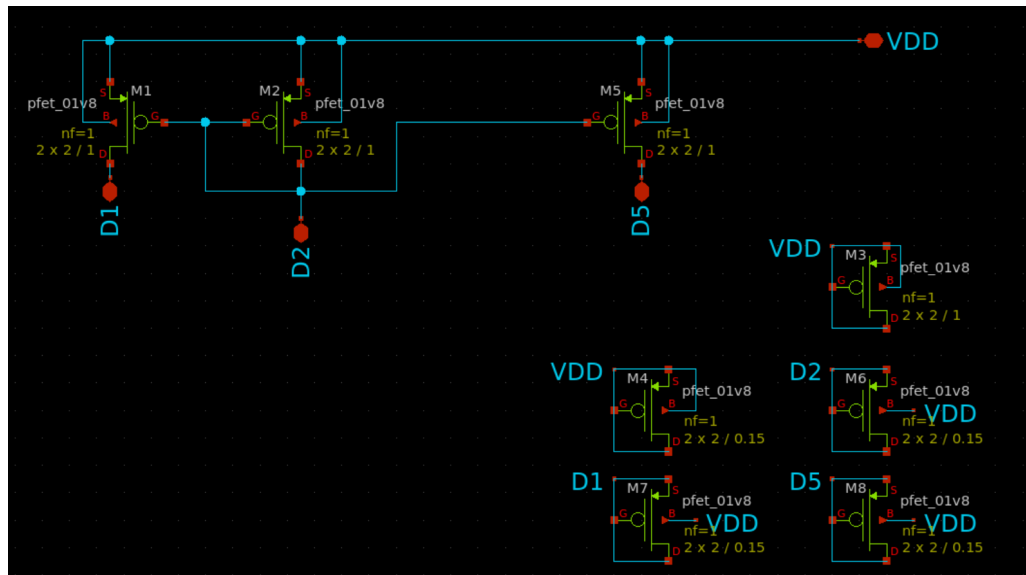
Operational amplifier atau op-amp adalah komponen penting dalam desain analog yang digunakan untuk memperkuat sinyal listrik. Dengan gain yang tinggi dan input impedansi yang besar, op-amp sering digunakan dalam aplikasi penguatan, pengolahan sinyal, dan berbagai rangkaian filter aktif dalam elektronik analog.

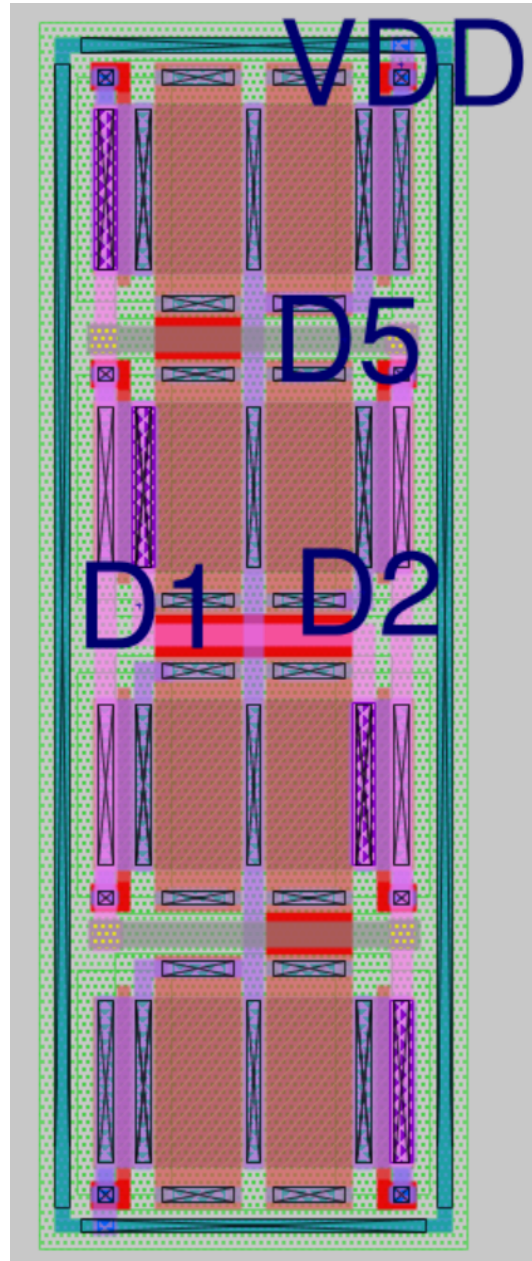


Karena rangkaian di atas akan sangat banyak dan membingungkan apabila langsung dirangkai menjadi satu, maka saya melakukan grouping atau membagi rangkaian di atas menjadi 4. Sebagai Berikut.

1. pmoscs

Untuk rangkaian pertama ini, saya namani pmoscs. Dalam rangkaian ini terdapat 3 P-FET dan juga dummy. Berikut adalah rangkaian skematik dan juga layout nya.





```

Subcircuit summary:
Circuit 1: pmoscs
-----
sky130_fd_pr__pfet_01v8 (16->7)
Number of devices: 7
Number of nets: 4
-----
Resolving symmetries by property value.
Resolving symmetries by pin name.
Netlists match uniquely.

Subcircuit pins:
Circuit 1: pmoscs
-----
D2
VDD
D5
D1
-----
Circuit 2: pmoscs
-----
D2
VDD
D5
D1
-----
Cell pin lists are equivalent.
Device classes pmoscs and pmoscs are equivalent.

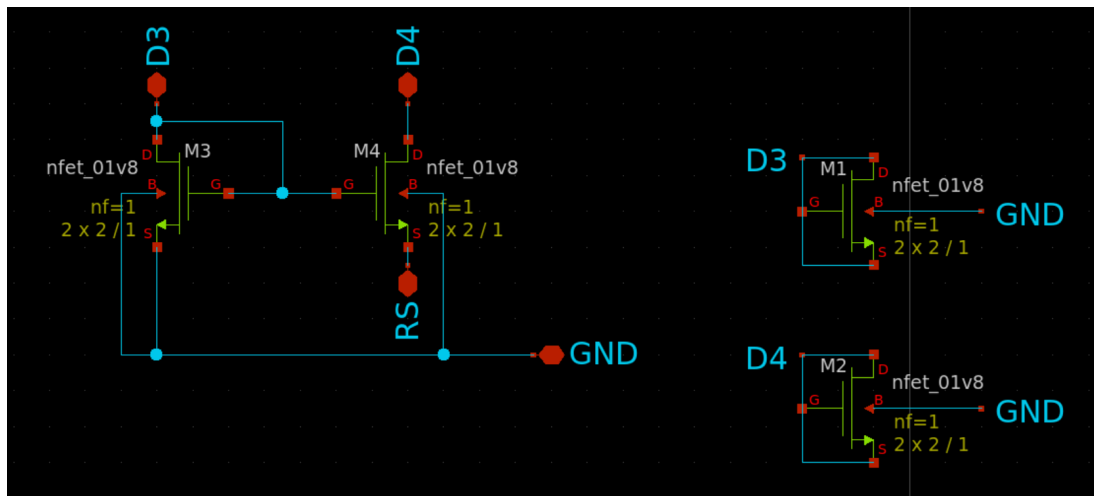
Final result: Circuits match uniquely.
.

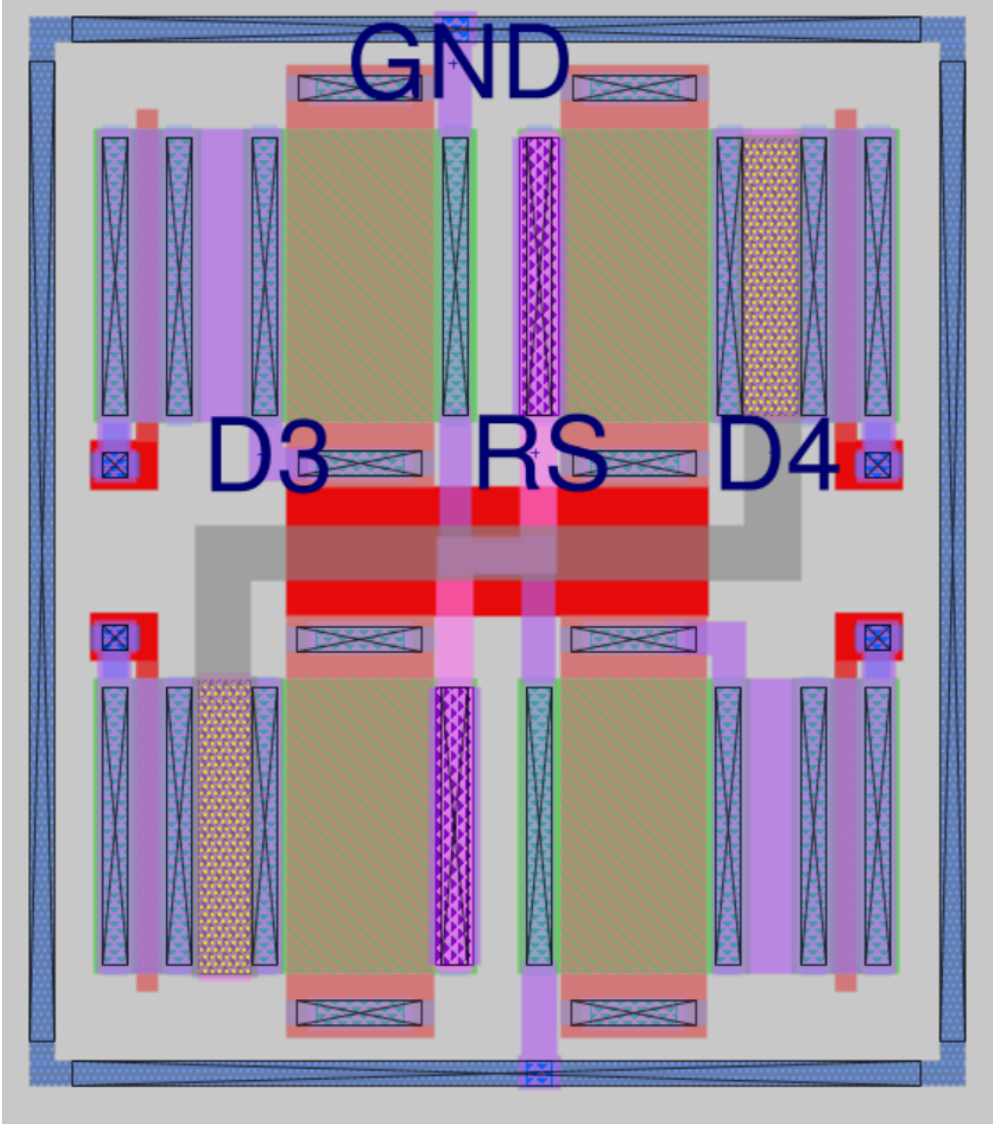
```

Setelah membuat desain skematik dan layout dengan magic, maka dilakukan proses LVS. Proses LVS ini bertujuan untuk memverifikasi bahwa sirkuit yang dirancang pada layout benar-benar mencerminkan sirkuit yang didefinisikan dalam skematik, tanpa kesalahan atau ketidaksesuaian. Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout match (sesuai).

2. nmosrs

Untuk rangkaian pertama ini, saya namani pmoscs. Dalam rangkaian ini terdapat 2 N-FET dan juga dummy. Berikut adalah rangkaian skematik dan juga layout nya.





```

Subcircuit summary:
Circuit 1: nmosrs
-----
sky130_fd_pr_nfet_01v8 (8->4)
Number of devices: 4
Number of nets: 4
-----
Circuit 2: nmosrs
-----
sky130_fd_pr_nfet_01v8 (8->4)
Number of devices: 4
Number of nets: 4
-----
Netlists match uniquely with property errors.
sky130_fd_pr_nfet_01v8_TC9PLT_2/sky130_fd_pr_nfet_01v8:0 vs. sky130_fd_pr_nfet_01v8:M1:
1 circuit1: 0.15 circuit2: 1 (delta=148%, cutoff=1%)
sky130_fd_pr_nfet_01v8_TC9PLT_0/sky130_fd_pr_nfet_01v8:0 vs. sky130_fd_pr_nfet_01v8:M2:
1 circuit1: 0.15 circuit2: 1 (delta=148%, cutoff=1%)

Subcircuit pins:
Circuit 1: nmosrs
-----
GND
RS
D3
D4
-----
Circuit 2: nmosrs
-----
GND
RS
D3
D4
-----
Cell pin lists are equivalent.
Device classes nmosrs and nmosrs are equivalent.

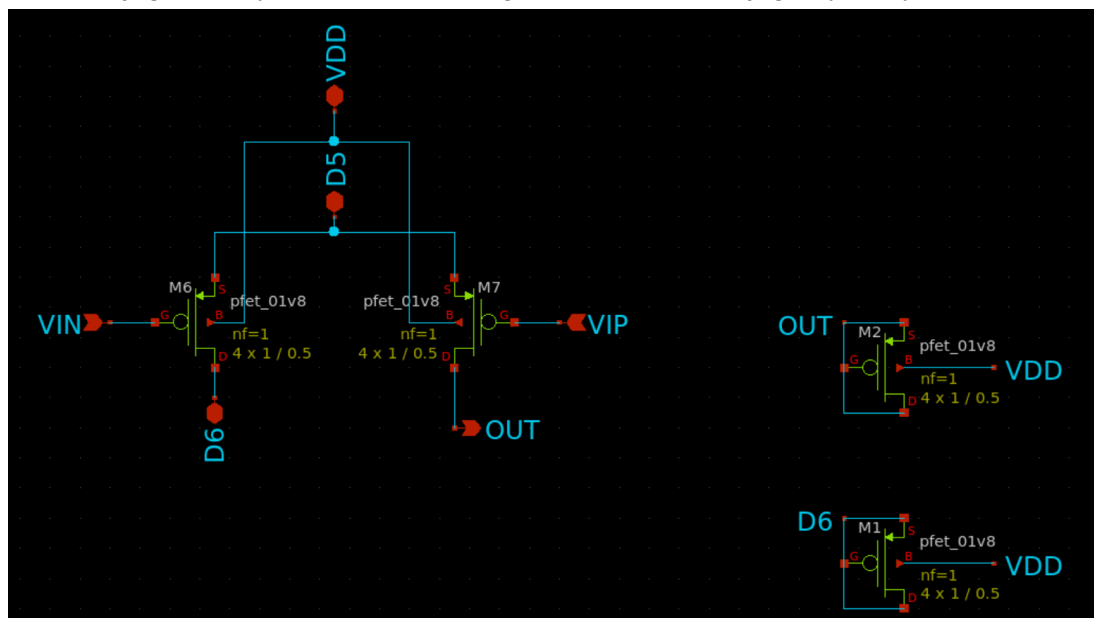
Final result: Circuits match uniquely.

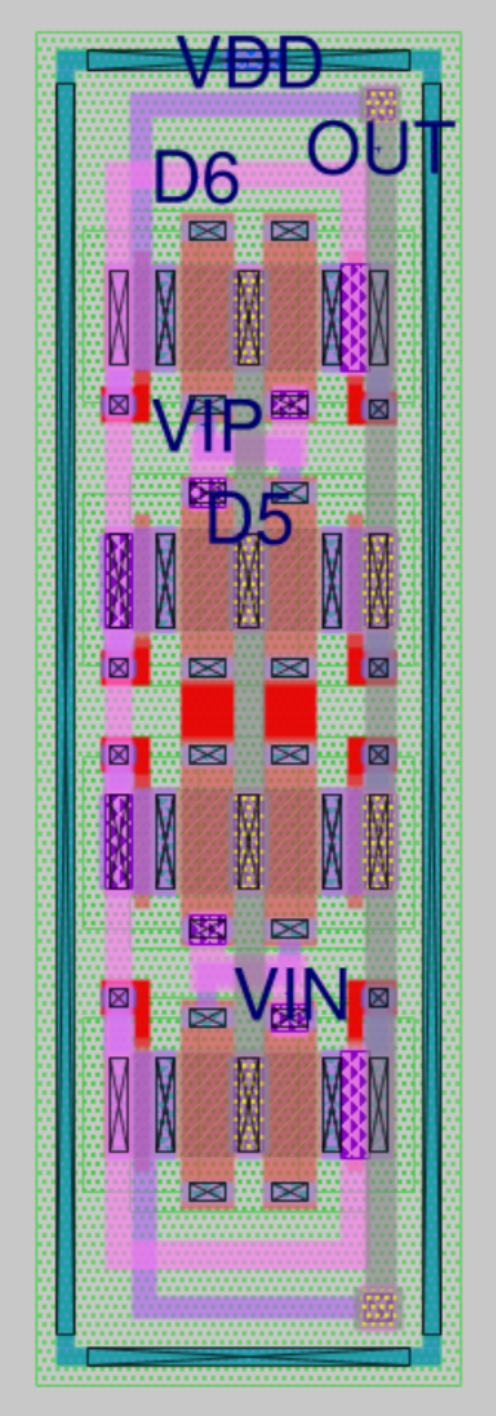
```

Setelah membuat desain skematik dan layout dengan magic, maka dilakukan proses LVS. Proses LVS ini bertujuan untuk memverifikasi bahwa sirkuit yang dirancang pada layout benar-benar mencerminkan sirkuit yang didefinisikan dalam skematik, tanpa kesalahan atau ketidaksesuaian. Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout match (sesuai).

3. pmos_dif

Untuk rangkaian pertama ini, saya namani pmoscs. Dalam rangkaian ini terdapat 2 P-FET dan juga dummy. Berikut adalah rangkaian skematik dan juga layout nya.





```

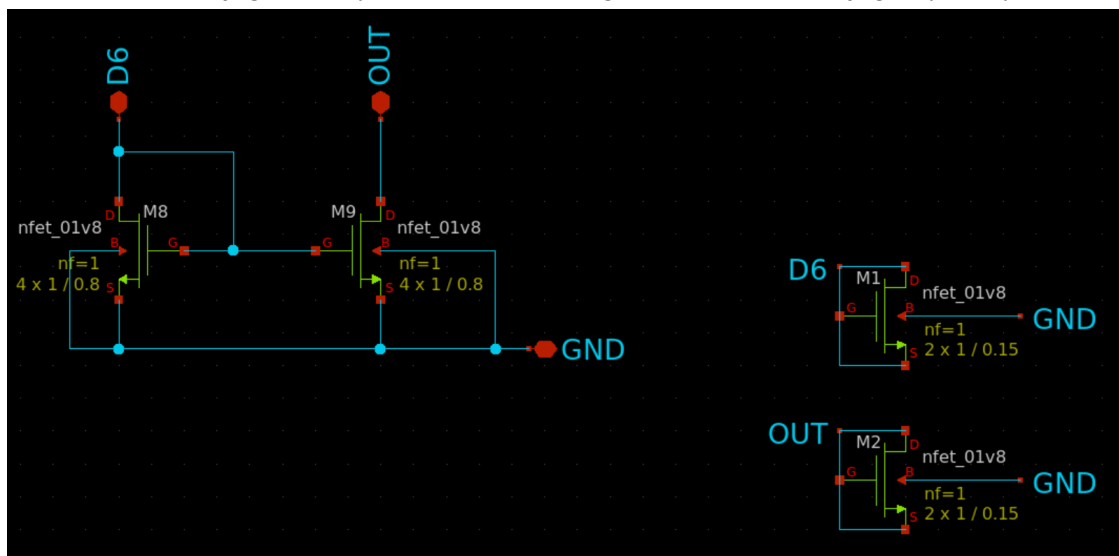
[INFO] Running LVS of <pmos_dif.mag> vs <pmos_dif.sch>.
[INFO] Extracting netlist from schematic <pmos_dif.sch>...
[INFO] Extracting netlist from layout <pmos_dif.mag>...
[INFO] Run netgen...
---
CONGRATULATIONS! LVS is OK, schematic/netlist and layout match!
---
[DONE] Bye!
fauzann@MuhammadFauzanil:~/opamp/mag$

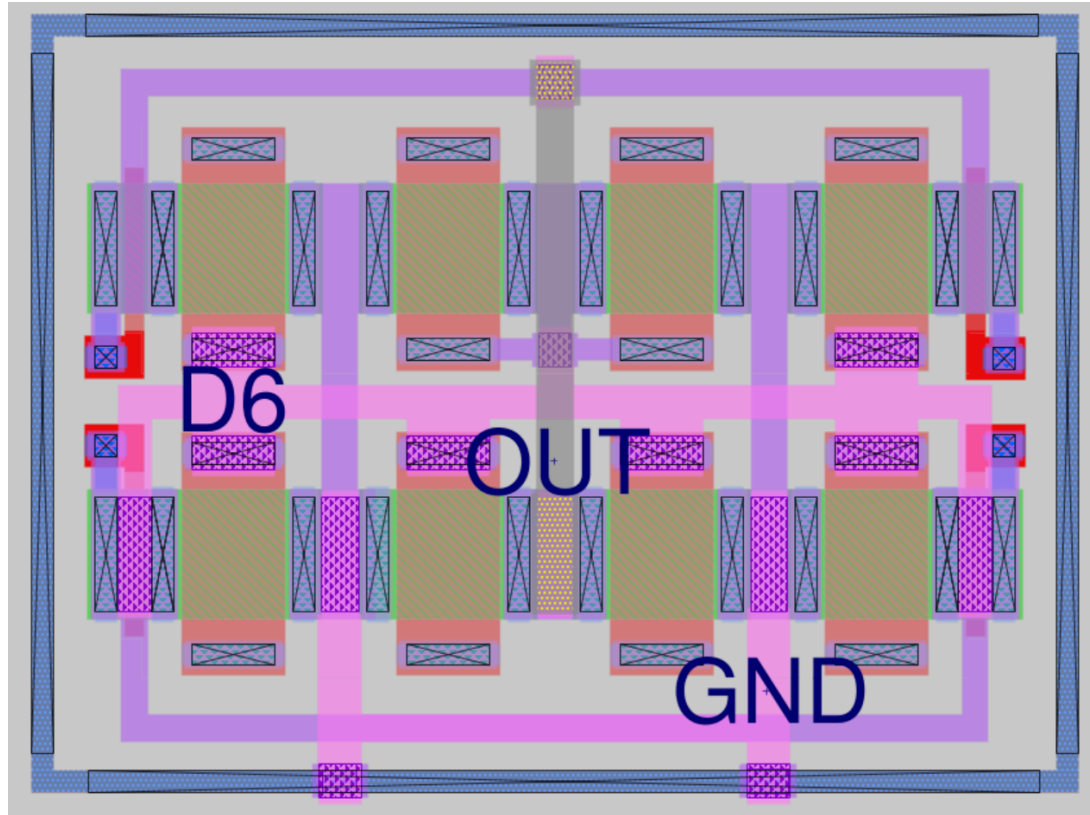
```

Setelah membuat desain skematik dan layout dengan magic, maka dilakukan proses LVS. Proses LVS ini bertujuan untuk memverifikasi bahwa sirkuit yang dirancang pada layout benar-benar mencerminkan sirkuit yang didefinisikan dalam skematik, tanpa kesalahan atau ketidaksesuaian. Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout match (sesuai).

4. nmos_dif

Untuk rangkaian pertama ini, saya namani pmoscs. Dalam rangkaian ini terdapat 2 N-FET dan juga dummy. Berikut adalah rangkaian skematik dan layout nya.





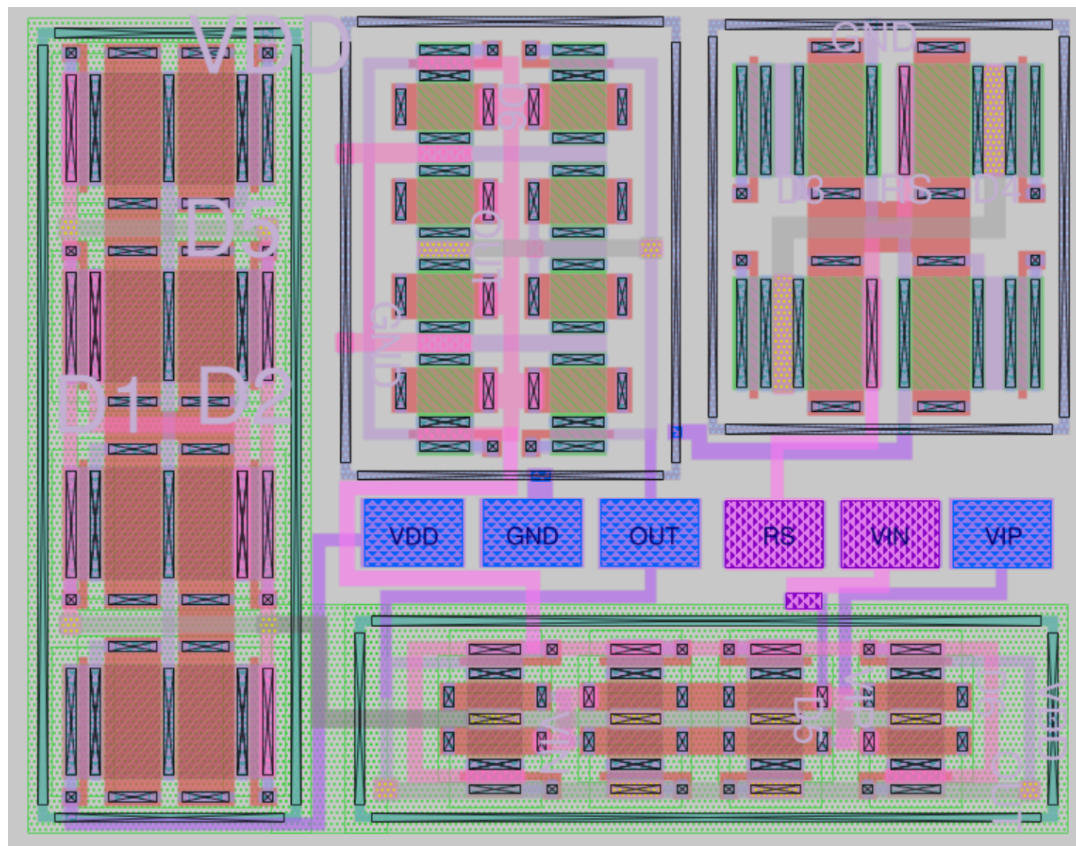
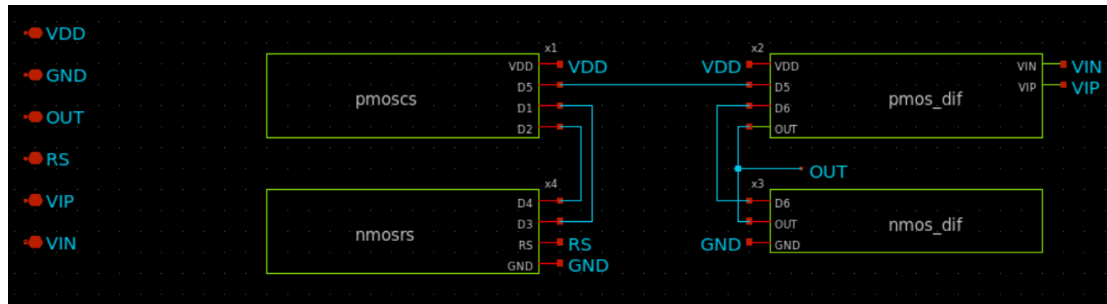
```

} Circuit 1: nmos_dif                                |Circuit 2: nmos_dif
|
|-----|
Instance: sky130_fd_pr_nfet_01v8_6H9P4D_0 |Instance: sky130_fd_pr_nfet_01v8:M8
  (1,3) = (7,7)                               |  (1,3) = (6,6)
  2 = 7                                         |  2 = 6
  4 = 8                                         |  4 = 6
|
Instance: sky130_fd_pr_nfet_01v8_DB328X_0 |Instance: sky130_fd_pr_nfet_01v8:M1
  (1,3) = (8,7)                               |  (1,3) = (6,6)
  2 = 7                                         |  2 = 6
  4 = 8                                         |  4 = 6
|
Instance: sky130_fd_pr_nfet_01v8_DB328X_1 | (no matching instance)
  (1,3) = (8,1)
  2 = 7
  4 = 8
|-----|
? Netlists do not match.
? Port matching may fail to disambiguate symmetries.
|
; Subcircuit pins:
; Circuit 1: nmos_dif                                |Circuit 2: nmos_dif
|-----|
D6                                             |D6
GND                                            |GND
OUT                                            |OUT
|-----|
? Cell pin lists are equivalent.
? Device classes nmos_dif and nmos_dif are equivalent.
|
; Final result: Netlists do not match.

```

Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout do not match (tidak sesuai).

Setelah membagi rangkaian menjadi 4 bagian, maka selanjutnya adalah menggabungkan keempat rangkaian tersebut agar menjadi rangkaian opamp yang sempurna. Berikut adalah rangkaian skematik dan layout nya.



Berdasarkan LVS yang telah dilakukan, hasilnya menunjukkan bahwa rangkaian skematik dan layout do not match (tidak sesuai). Hal ini bisa terjadi karena pada bagian nmos_dif menunjukkan hasil yang tidak match, maka ini membuat rangkaian opamp otomatis tidak match.

4. KESIMPULAN

Berdasarkan data yang didapatkan, dapat disimpulkan bahwa rangkaian inverter dan ring oscillator menunjukkan hasil match antara skematik dan layout, sedangkan untuk rangkaian opamp menunjukkan hasil yang tidak match dikarenakan salah satu group yaitu nmos_dif tidak match yang mengakibatkan rangkaian keseluruhan opamp juga menjadi tidak match.

5. LAMPIRAN

Lampiran ini berisi file-file skematik dan layout yang telah di unggah ke repository github.

Inverter	https://github.com/MuhammadFauzanil/Inverter-MBKM-ICDEC
Ring Oscillator	https://github.com/MuhammadFauzanil/Ring-Oscillator-MBKM-ICDEC
OpAmp	https://github.com/MuhammadFauzanil/OpAmp-MBKM-ICDEC