

DENEY 1 : LOJİK KAPILAR ve KOMBİNEZONSAL DEVRELER

1.1. DENEYİN AMACI

- Deney ortamının tanıtılması
- Temel Lojik kapıları içeren entegre devrelerin elektriksel ve fonksiyonel özelliklerinin incelenmesi
- Kombinezonsal devrelerin gerçekleştirilmesi

1.2. DENEYDEN ÖNCE YAPILACAK ÇALIŞMALAR


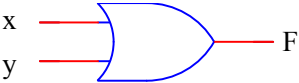
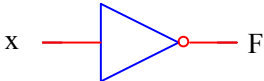
1. Boole cebrinin aksiyom ve teoremlerini gözden geçirin.
2. Aşağıda verilen lojik fonksiyonu Boole cebrinin aksiyom ve teoremlerini yardımıyla indirgeyerek doğruluk tablosunu elde ediniz.

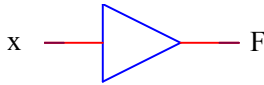

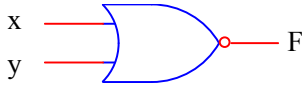
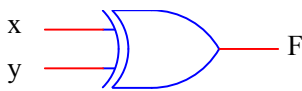
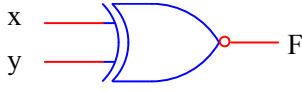
$$F(X,Y,Z) = Y(XZ' + X'Z) + XY'Z' + (Z+X')'$$

3. Elde ettiğiniz indirgenmiş fonksiyonun lojik devresini çizin.

1.3. GENEL BİLGİLER

Boole fonksiyonları AND, OR ve NOT işlemleriyle ifade edildiği için, herhangi bir boole fonksiyonunu bu türden kapılar yardımıyla gerçeklemek kolaydır. Lojik devre tasarımında kullanılan ve ticari olarak bulunan temel 8 kapının doğruluk tabloları, grafik sembolleri ve kodları aşağıdaki tabloda verilmektedir.

Lojik kapı ismi	Grafik Sembölü	Cebirsel Fonksiyon	Doğruluk Tablosu															
VE (AND) (74LS08)		$F = xy$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
VEYA (OR) (74LS32)		$F = x + y$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	1
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
TERSLEYİCİ (INVERTER) (74LS04)		$F = x'$	<table><tr><td>x</td><td>F</td></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	x	F	0	1	1	0									
x	F																	
0	1																	
1	0																	

TAMPON (BUFFER)		$F = x$	<table><tr><td>x</td><td>F</td></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	x	F	0	0	1	1									
x	F																	
0	0																	
1	1																	
VE DEĞİL (NAND) (74LS00)		$F = (xy)'$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
VEYA DEĞİL (NOR) (74LS02)		$F = (x + y)'$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	0
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
ÖZEL- VEYA (EXCLUSIVE-OR) (XOR) (74LS86)		$F = x'y + xy'$ $F = x \oplus y$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
ÖZEL-VEYA YA DA EŞDEĞERLİK (EXCLUSIVE-NOR OR EQUIVALENCE) (74LS266)		$F = xy + x'y'$	<table><tr><td>x</td><td>y</td><td>F</td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

Kombinezonsal bir devre, giriş değişkenleri, mantık kapıları ve çıkış değişkenleri ile tanımlıdır. Mantık kapıları girişlerden gelen sayısal işaretleri alır ve çıkışlara giden sayısal işaretleri üretir. Bu şekilde, ikili bilgiler belirli giriş verilerinden istenen çıkış verilerine dönüştürülür. Aşağıdaki şekilde kombinezonsal bir devrenin blok şeması verilmiştir. n ikili giriş değişkenler harici bir kaynaktan gelir; m çıkış değişkenleri ise harici bir hedefe gider.



1.4. DENEYDE KULLANILACAK ELEMANLAR

- CADET
- 74xx04 Tümlleme (NOT) kapısı
- 74xx08 VE (AND) kapısı
- 74xx32 VEYA (OR) kapısı
- 74xx00 VE DEĞİL (NAND),
- 74xx02 VEYA DEĞİL (NOR)

1.5. DENEYİN YAPILIŞI

Adım 1 : 74xx04 tümlleme kapısı entegre devresini CADET in borduna yerleştiriniz.

Adım 2 : Entegrenin +5Vcc ve toprak bağlantılarını yapınız.

Adım 3 : 74xx04 entegre devresini 1 nolu pinine giriş sinyal bağlantısını yapınız.
2 nolu pinini ise çıkışa bağlayınız.

Adım 4 : Giriş anahtarını sırayla lojik-0 ve lojik-1 seviyesine getirerek çıkışı gözlemleyin.

Adım 5 : Yukarıda yapılanları 74xx00 (NAND), 74xx02 (NOR), 74xx08 (AND), 74xx32 (OR) entegre devreleri için tekrarlayınız. Elde ettiğiniz sonuçları aşağıdaki tabloya yazınız.

x	y	AND	OR	NAND	NOR
0	0				
0	1				
1	0				
1	1				

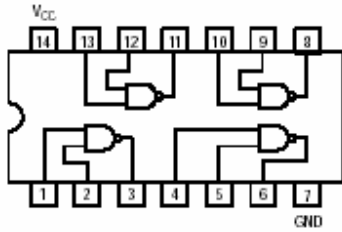
Adım 6 : F(X,Y,Z) fonksiyonunu gerekli kapı elemanları kullanarak gerçekleyiniz.
Deney sonucu elde edilen değerleri aşağıdaki doğruluk tablosuna yazınız.

X	Y	Z	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

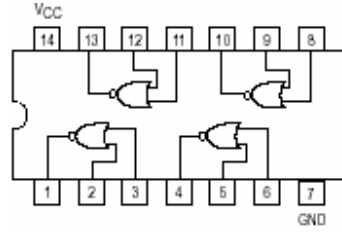
1.6 . RAPORDA İSTENENLER

1. Raporunuzu “Rapor Yazım Kuralları”na uygun olarak yazınız.
2. Deney sırasında oluşturduğunuz tüm devreleri düzgün bir şekilde çiziniz ve elde ettiğiniz sonuçları tablo formunda yazınız.
3. Fonksiyon sadece NAND kapıları kullanılarak gerçekleştirilmek istenilirse, tasarımın (entegre devre üzerinde) şeklini çiziniz?

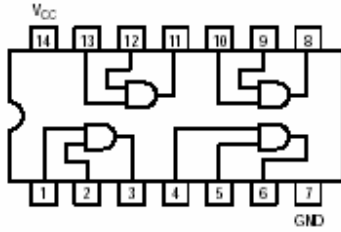
1.7. ENTEGRE DEVRELERİN AÇIK (PİN) GÖSTERİMLERİ



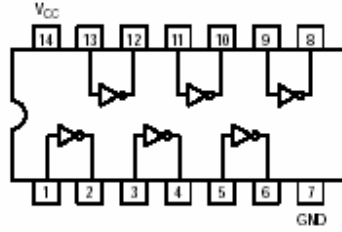
74LS00



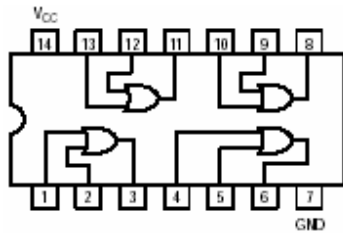
74LS02



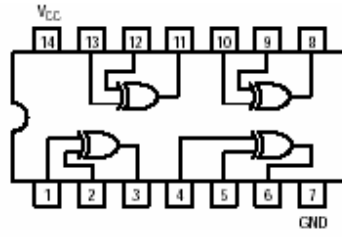
74LS08



74LS04



74LS32



74LS86

DENEY 2 : SAYISAL ARİTMETİK DEVRELER

2.1. DENEYİN AMACI

- Kombinezonsal Lojik Devreleri (KLD)
- Temel Sayısal Aritmetik Devreleri
 - Yarı Toplayıcı
 - Tam Toplayıcı
 - Paralel İkili Toplayıcı
 - Toplayıcı/Çıkarıcı Devreleri

tasarımlarını laboratuvar ortamında gerçeklemek ve KLD yapıların daha iyi kavranabilmesini sağlamaktır.

2.2. DENEYDEN ÖNCE YAPILACAK ÇALIŞMALAR

1. Temel aritmetik devreleri gözden geçirin.
2. Deneyde kurulacak olan devreleri inceleyiniz.

2.3. GENEL BİLGİLER

Sayısal bilgisayarlar, çeşitli bilgi işleme işlevlerine sahiptir. Karşılaşılan temel işlevler arasında çeşitli aritmetik işlemler de vardır. Kuşkusuz en temel aritmetik işlem, ikili iki rakamın toplanmasıdır. Bu basit toplama dört olası temel işlemi içerir: $0+0 = 0$, $0+1 = 1$, $1+0 = 1$, $1+1 = 10$. İlk üç işlem, uzunluğu bir basamak olan bir toplam verirken, dördüncü işlem ise yüksek değeri elde olan iki basamaklı bir sonuç verir.

2.3.1. Yarı Toplayıcı

İki bitin toplanmasını yapan kombinezonsal devreye yarı toplayıcı denir. Giriş değişkenleri, toplayan ve toplanan bitlere karşılık gelir; çıkış değişkenleri ise toplam ve eldeyi gösterir. İki giriş için x ve y, çıkışlar için ise S(toplam) ve C(elde) sembollerini kullanacağız. Yarı toplayıcının doğruluk tablosu aşağıdaki gibi elde edilir.

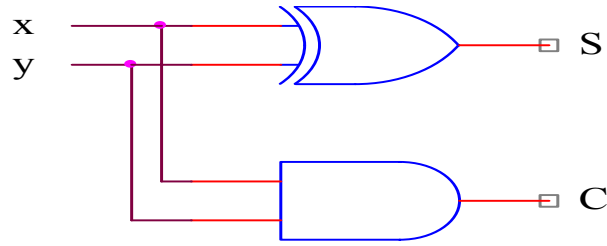
Tablo-1: Yarı toplayıcının doğruluk tablosu

x	y	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

İki girişin sadeleştirilmiş Boolean fonksiyonları doğruluk tablosundan elde edilirse elde ve toplam aşağıdaki gibi ifade edilebilir:

$$S = x'y + xy' \quad C = xy$$

Bu durumda yarı toplayıcının lojik devre şeması aşağıdaki gibi çizilebilir.



Şekil-1 : Yarı toplayıcı devresi

2.3.2. Tam toplayıcı

Tam toplayıcı üç giriş bitinin (iki değerlikli bit ve önceki elde) aritmetik toplamını oluşturan kombinezonalsal devredir. Giriş değişkenlerinden x ve y ile gösterilen ikisi toplanacak iki değerlikli biti gösterir. z ile gösterilen üçüncü giriş ise bir önceki düşük değerlikli konumdan gelen eldeyi gösterir. Çıktılar ise S(toplam) ve C(elde) ile gösterilir. Tam toplayıcının doğruluk tablosu aşağıdaki gibidir.

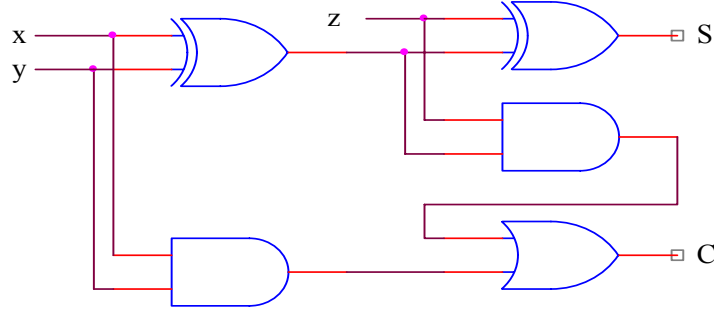
Tablo-2: Tam toplayıcının doğruluk tablosu

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

İki girişin sadeleştirilmiş Boolean fonksiyonları doğruluk tablosundan çok farklı şekillerde elde edilerek gerçekleştirilebilir. Fakat biz burada en yaygın olarak kullanılan aşağıdaki fonksiyonlarla ifade edeceğiz.

$$S = z \oplus (x \oplus y) \quad C = (x \oplus y)z + xy$$

Bu şekilde indirgenen tam toplayıcının lojik devre şeması ise aşağıdaki gibi çizilebilir.



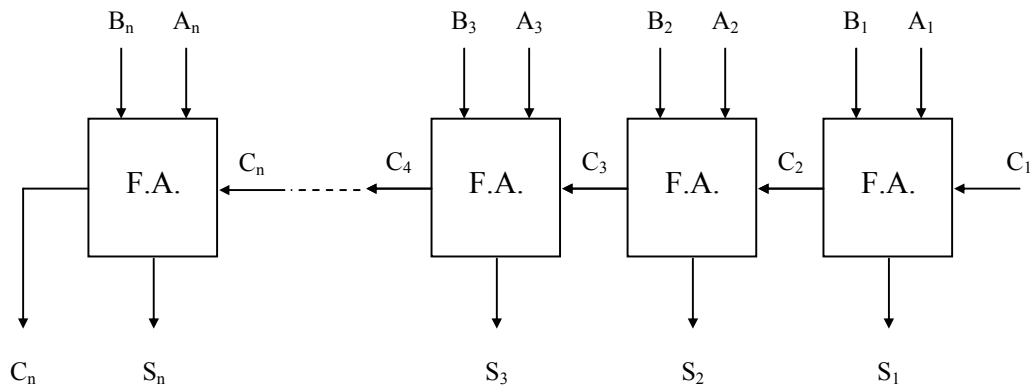
Şekil-2 : Tam toplayıcı devresi

Bu devre şekline baktığımızda bu devrenin iki yarı toplayıcı ve bir VEYA kapısından oluştuğu görülebilir.

2.3.3. İkili paralel toplayıcı

İkili paralel toplayıcı, iki ikili sayının aritmetik toplamını paralel olarak üreten sayısal bir fonksiyondur. Bu, ard arda bağlı tam toplayıcılardan oluşur. N bitlik bir paralel toplayıcıda n sayıda tam toplayıcı vardır. Burada, bir tam toplayıcının çıkış eldesi, bir sonrakinin giriş eldesine bağlanır.

Şekil 3, n-bitlik ikili paralel toplayıcı oluşturan n adet tam toplayıcı (Full adder-FA) devresinin bağlantısını göstermektedir. A'nın toplanan bitleriyle B'nin eklenen bitleri sağdan sola doğru alt indis numaralarıyla gösterilir.



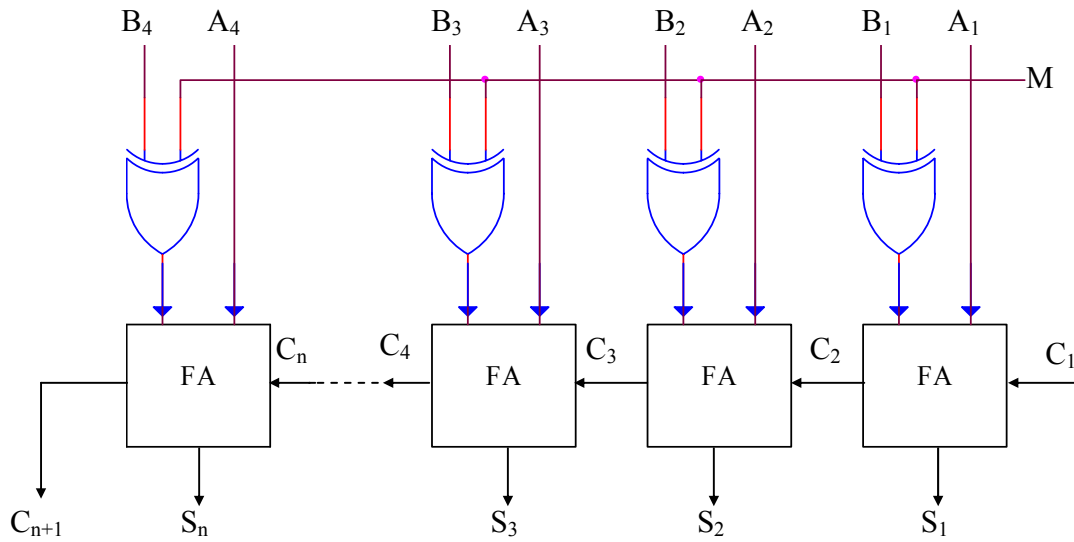
Şekil -3 : n-bitlik İkili paralel toplayıcı devresi

2.3.3. Çıkarıcılar

Bir ikili sayının bir başkasından çıkarılması, çıkanın tümleyenini alıp çıkarılana ekleyerek yapılabilir. Bu durumda, çıkarma işlemi tam toplayıcılar gerektiren bir toplama işlemine dönüşür. Aynı zamanda, lojik devre elemanlarıyla doğrudan çıkarma yapmak ta mümkündür. Toplayıcılar da olduğu gibi yarı ve tam çıkarıcılar vardır . Burada bunlara değinmeyeceğiz. Ayrıntılı bilgi ders kitaplarından öğrenilebilir.

2.3.4. Toplayıcı-Çıkarıcı

Toplama ve çıkarma işlemleri ikili toplayıcılar içeren bir devre içinde birleştirilerek gerçekleştirilebilir. Bu, her tam toplayıcıya tümleme işlemini yapan bir EXOR kapısının bağlanmasıyla yapılabilir. N bitlik toplayıcı-çıkarıcı devresi aşağıdaki şekilde gösterilmiştir. Burada, M değeri lojik-0 değerine eşit olursa bu devre toplayıcı işlevi görür. M değeri lojik-1 ise çıkarma işlemi gerçekleştirilir.



Şekil-4 : *n*-bitlik toplayıcı-çıkarıcı

2.4. DENEYDE KULLANILACAK ELEMANLAR

- CADET
- 74xx08 VE(AND) kapısı
- 74xx32 VEYA(OR) kapısı
- 74xx86 XOR kapısı
- 74xx83 veya 74xx283 4-bitlik ikili tam toplayıcı

2.5. DENEYİN YAPILIŞI

Adım 1 : Şekil-1 deki yarı toplayıcı devresini kurunuz.

Adım 2 : Giriş değişkenlerini değiştirerek elde ettiğiniz sonuçları aşağıdaki tabloya yazınız.

x	y	C	S
0	0		
0	1		
1	0		
1	1		

Adım 3 : Şekil-2 deki tam toplayıcı devresini kurunuz.

Adım 4 : Giriş değişkenlerini değiştirerek elde ettiğiniz sonuçları aşağıdaki tabloya yazınız.

x	y	z	C	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Adım 5 : Şekil-4 teki devreyi 4 bitlik olarak kurunuz.

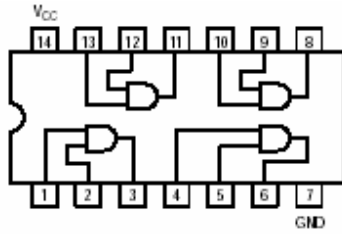
Adım 6 : Giriş değişkenlerini değiştirerek elde ettiğiniz sonuçları aşağıdaki tabloya yazınız.

M	A1	A2	A3	A4	B1	B2	B3	B4	S1	S2	S3	S4	Cout
0	1	0	0	1	1	0	1	1					
0	0	1	0	1	1	1	0	1					
0	1	1	1	0	1	1	0	0					
1	1	0	0	1	0	0	0	1					
1	0	1	0	1	1	0	1	1					
1	0	0	1	0	0	1	0	1					

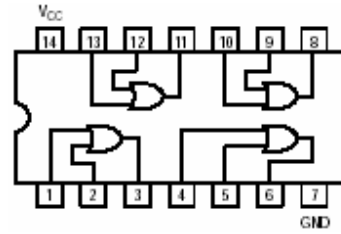
2.6 . RAPORDA İSTENENLER

1. Raporunuzu “Rapor Yazım Kuralları”na uygun olarak yazınız.
2. Deney sırasında oluşturduğunuz tüm devreleri düzgün bir şekilde çiziniz ve elde ettiğiniz sonuçları tablo formunda yazınız.
3. Dört adet 74xx83 entegre devresini kullanarak 16 bitlik ikili sayıları toplayan bir ikili toplayıcı devresi kurun.

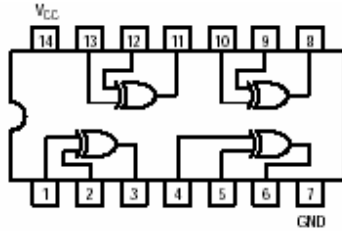
2.7. ENTEGRE DEVRELERİN AÇIK (PİN) GÖSTERİMLERİ



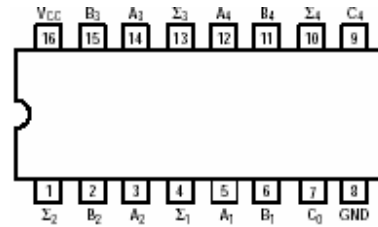
74LS08



74LS32



74LS86



74LS83 veya 74LS283

DENEY 3 :

BAZI ORTA-ÇAPTA TÜMLEŞİK (MSI) KOMBİNEZONSAL LOJİK ELEMANLARIN İNCELENMESİ

3.1. DENEYİN AMACI

- Bazı Kombinezonsal Lojik Elemanların İncelenmesi
 - Kod Çözücü (Decoder)
 - Çoğullayıcı (Multiplexer)
- Kombinezonsal Lojik Elemanları kullanarak Boolean Fonksiyonlarını gerçekleştirme

3.2. DENEYDEN ÖNCE YAPILACAK ÇALIŞMALAR

1. Kod çözücü (decoder) ve çoğullayıcı (multiplexer) kombinezonsal elemanlarını ve çalışma prensiplerini inceleyiniz
2. Aşağıda $F(A,B,C)$ Boolean fonksiyonu verilmiştir.

$$F(A,B,C) = \sum(0,1,3,4) = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}BC$$

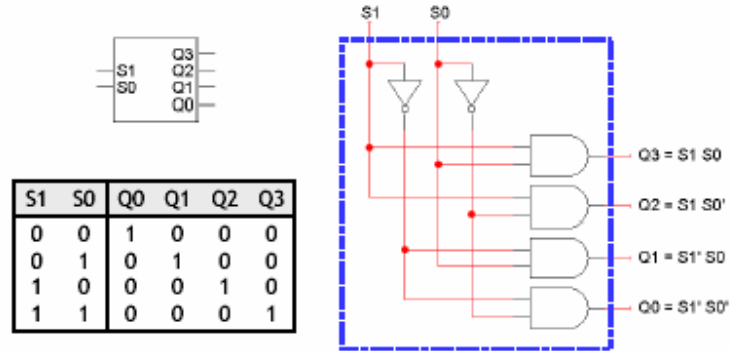
- a) Doğruluk tablosunu elde ediniz
- b) 3-8 kod çözücü kullanarak fonksiyonu gerçekleyiniz
- c) 8x1 çoğullayıcı (mux) kullanarak fonksiyonu gerçekleyiniz
- d) 4x1 çoğullayıcı (mux) kullanarak aynı fonksiyonu gerçekleyiniz

3.3. GENEL BİLGİLER

3.3.1. Kod Çözücü (Decoder)

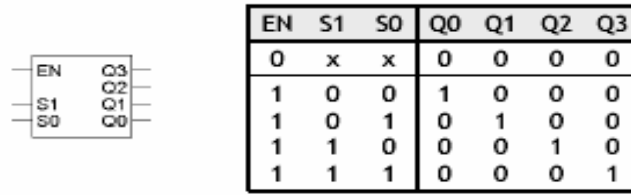
Kod çözücü, n giriş hattından gelen ikili bilgileri, maksimum 2^n sayıda çıkış hattına dönüştüren kombinezonsal bir devredir. Kod çözücülerin amacı, n sayıdaki giriş değişkeninin, 2^n (veya daha az) sayıda standart çarpımını (minterim) üretmektir.

Örnek olarak, Şekil-1 deki 2-4 (2 giriş/4 çıkış) hatlı kod çözücüyü ele alalım. İki girişin kodu çözülerek dört çıkış elde edilir. Burada her çıkış, 2 giriş değişkeninin bir minterimini temsil eder. Şekil-1 de 2-4 kod çözücünün lojik kapılarla elde edilişi görülebilir. Burada kullanılan 2 tersleyici, girişlerin tümleyenini sağlar ve dört VE kapısından her birisi bir minterim oluşturur. Şekil-1 deki tabloda verilen giriş-çıkış ilişkisi, kod çözücünün işleyişine daha ayrıntılı bir açıklık kazandırır. Belli bir anda sadece bir çıkış, lojik-1 değerine eşit olabilir. Değeri lojik-1 değerine eşit olan çıkış hattı, giriş hatlarında o anda bulunan ikili sayının minterim eşdeğerini temsil eder.



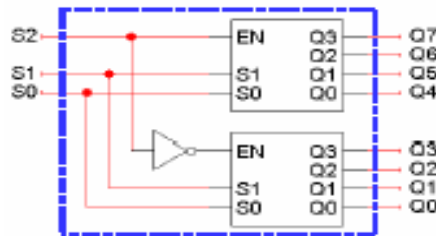
Şekil-1 : 2-4 kod çözücü

Aşağıda verilen Şekil-2 ise yetkilendirme (enable) girişli, 2-4 kod çözücünün lojik diyagramını ve doğruluk tablosunu göstermektedir. Kod çözücünün aktif olabilmesi için EN girişinin lojik-1 değerine eşit olması gerekmektedir.



Şekil-2 : Yetkilendirme girişli 2-4 kod çözücü

Kod çözücüler birbirine bağlanarak daha büyük bir kod çözücü elde edilebilir. Şekil-3 iki adet 2-4 kod çözücü kullanılarak 3-8 kod çözücünün nasıl elde edildiğini göstermektedir.



Şekil-3 : 3-8 kod çözücünün gerçekleştirilmesi

3.4. DENEYDE KULLANILACAK ELEMANLAR

- CADET
- 74xx04 Tümlleme (NOT) kapısı
- 74xx08 VE (AND) kapısı
- 74xx32 VEYA (OR)
- 74xx138 3-8 kod çözücü
- 1x74LS153 ikili 4x1 çoğullayıcı
- 74xx151 8x1 çoğullayıcı

3.5. DENEYİN YAPILIŞI

Adım 1 : Gerekli lojik kapıları kullanarak 2-4 kod çözücü devresini gerçekleyerek aşağıdaki tabloyu doldurunuz

S1	S0	Q1	Q2	Q3	Q4
0	0				
0	1				
1	0				
1	1				

Adım 2 : Gerekli lojik kapıları kullanarak 4x1 çoğullayıcı devresini gerçekleyerek aşağıdaki tabloyu doldurunuz

S1	S0	Q
0	0	
0	1	
1	0	
1	1	

Adım 3: İki adet 4x1 çoğullayıcı kullanarak 8x1 çoğullayıcı devresini elde ediniz.

Adım 4 : Deney öncesi yapılacak çalışmalar kısmında verilen fonksiyonu;

- 3-8 kod çözücü
- 8x1 çoğullayıcı
- 4x1 çoğullayıcı

kullanarak gerçekleyiniz. Aşağıdaki doğruluk tablosunu herbiri için doldurunuz. Bulduğunuz sonuçları karşılaştırınız.

A	B	C	F(3-8 dec)	F(8x1 mux)	F(4x1 mux)
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

3.6 . RAPORDA İSTENENLER

1. Raporunuzu “Rapor Yazım Kuralları”na uygun olarak yazınız.
2. Deney sırasında oluşturduğunuz tüm devreleri düzgün bir şekilde çiziniz ve elde ettiğiniz sonuçları tablo formunda yazınız.
3. 3-8 kodçözücü kullanarak ve gereken sayıda VEYA kapıları kullanarak aşağıda verilen fonksiyonları gerçekleyiniz.

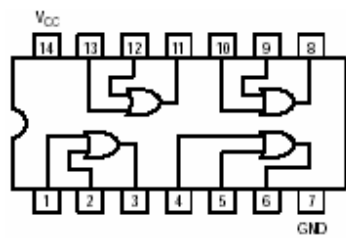
$$F1 = x'y' + xyz'$$

$$F2 = x' + y$$

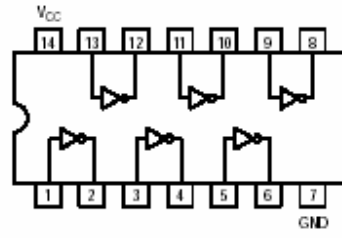
$$F3 = xy + x'y'$$

4. Yukarıda verilen fonksiyonları, ikili bir 4x1 çoğullayıcı, bir VEYA kapısı ve tersleyici kullanarak gerçekleyiniz?

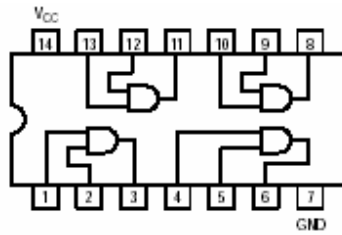
3.7. ENTEGRE DEVRELERİN AÇIK (PİN) GÖSTERİMLERİ



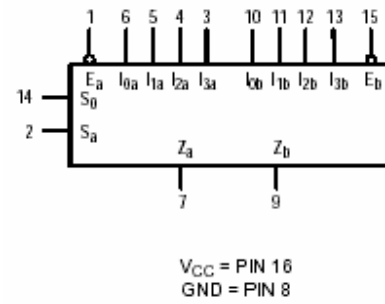
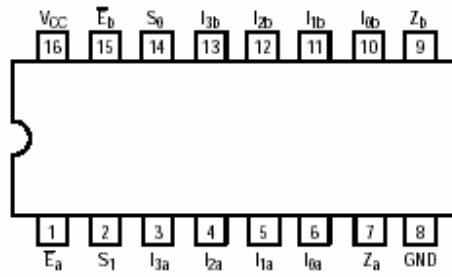
74LS32



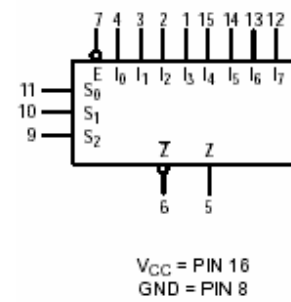
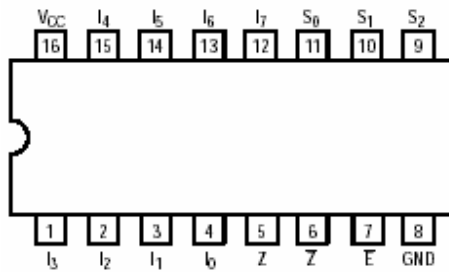
74LS04



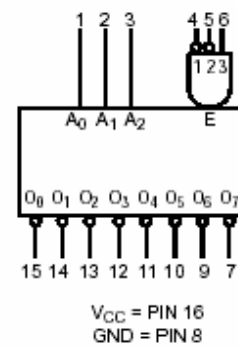
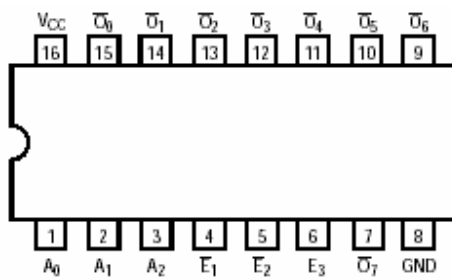
74LS08



74LS153



74LS151



74LS138

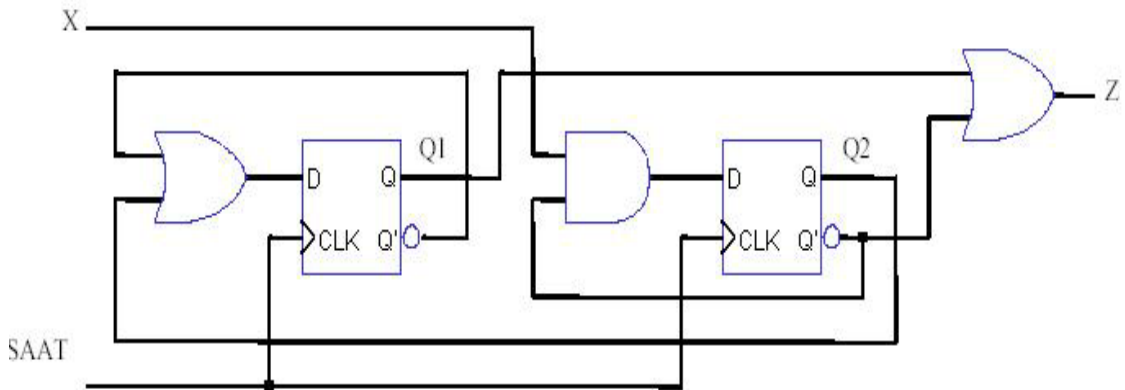
DENEY 4 : **TEMEL FLİP-FLOPLARIN İNCELENMESİ** **ve** **ARDIŞIL LOJİK DEVRE TASARIMI**

4.1. DENEYİN AMACI

- Flip-flopların tanıtılması ve işlevlerinin incelenmesi
 - SR flip-flop
 - D flip-flop
 - JK flip-flop
 - T flip-flop
- Ardışıl lojik devre tasarımının deneysel olarak gerçekleştirilmesi

4.2. DENEYDEN ÖNCE YAPILACAK ÇALIŞMALAR

1. Temel flip-flop devreleri olarak D, SR, JK ve T türü flip-flopların elektronik devrelerini ve çalışma prensiplerini inceleyiniz
2. Ardışıl Lojik Devre tasarım yöntemine çalışınız.
3. Şekil 1’de verilen ardışıl lojik devrenin,
 - a- Doğruluk tablusunu elde ediniz.
 - b- Durum diyagramını çiziniz.
 - c- Devrenin fonksiyonunun (amacının) ne olabileceğini düşününüz.



Şekil-1. *Ardışıl lojik devre*

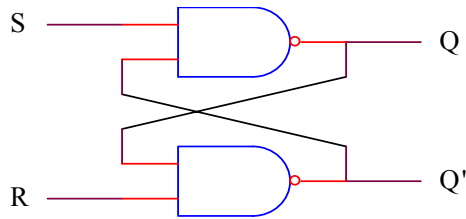
4.3. GENEL BİLGİLER

4.3.1. Giriş

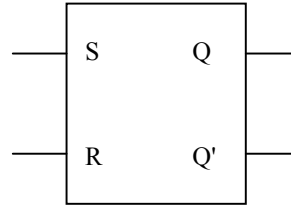
Flip-floplar sayısal sistemlerde bilgi saklama elemanı (bellek) olarak kullanılırlar. Kombinezonsal bir devrenin çıkışı sadece girişlerin fonksiyonudur. Fakat, ardışıl bir devrenin çıkışı sadece girişlerin fonksiyonu değil aynı zamanda devrenin durumlarının da fonksiyonudur. Yani devrenin çıkışları hem uygulanan girişlere hem de devrenin geçmişine (durumlara) bağlıdır.

4.3.2. SR Flip-flop

En temel ardışıl devre birimi SR tutucusudur (latch). Bu temel tutucudan flip-floplar elde edilmiştir. Temel S-R tutucusunun S ve R olmak üzere iki girişi, Q ve Q' olmak üzere iki çıkışı vardır. S girişi Q çıkışını kurmak(set) için, R girişi ise Q çıkışını silmek(reset) için kullanılır. Şekil-2, S-R tutucusunun VEDEĞİL(NAND) kapıları ile gerçekleştirilmiş devresini ve grafik sembolünü göstermektedir. Şekil-2c de verilen S-R tutucusunun doğruluk tablosu ile S-R tutucunun karakteristik özellikleri görülebilir.



(a) Lojik diyagram



(b) grafik sembolü

S	R	Q	Q'	İşlev
0	0	Q	Q'	Durumu koru
0	1	0	1	Sil
1	0	1	0	Kur
1	1	-	-	Yasak

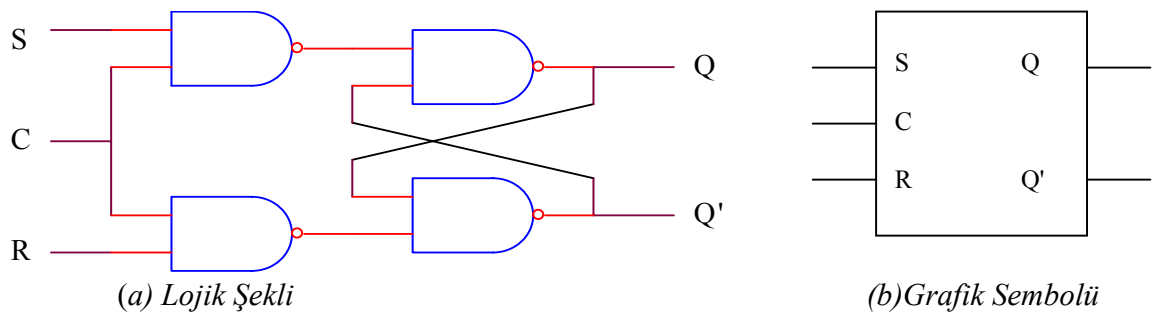
(c) doğruluk tablosu

Şekil 2: S-R tutucusu

S-R tutucusunun doğruluk tablosunda görüldüğü gibi, her iki giriş lojik-0 ise bir önceki çıkış konumu muhafaza edilir. S=0, R=1 olma durumuna sil işlemi ve S=1, R=0 olma durumunda ise kur işlemi yapılır. Her iki girişin lojik-1 olma durumu ise yasak

durumdur. Çünkü, girişler lojik-1 olduğu zaman, çıkışlar yani Q ve Q' aynı lojik değeri almaktadır. Bu ise istenmeyen durumdur.

Bu haliyle temel flip-flop olan SR flip-flopu, asenkron sıralı bir devredir. Temel devrenin girişlerine kapı eklemek suretiyle flip-flopun, bir saat darbesi sırasında giriş seviyelerine tepki vermesi sağlanabilir. Şekil-3 saatli SR flip-flopu göstermektedir. Bu devre, temel flip-flop ve iki VEDEĞİL kapısından oluşmaktadır. S ve R giriş değerleri ne olursa olsun saat darbesi 0 olduğu sürece çıkışlar durumunu korur. Saat darbesi 1 olunca S ve R girişlerinden gelen bilgilerin temel flip-flopa ulaşmasına izin verilir.



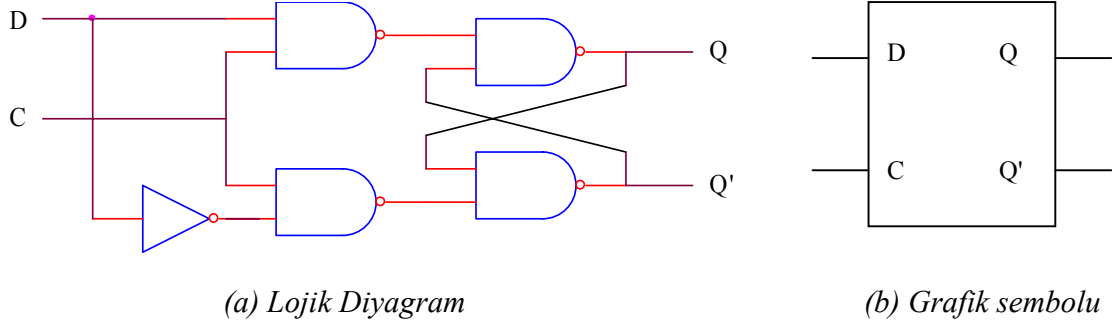
S	R	C	Q	Q'	İşlev
0	0	1	Q	Q'	Durumu koru
0	1	1	0	1	Sil
1	0	1	1	0	Kur
1	1	1	-	-	Yasak
x	x	0	Q	Q'	Durumu koru

(c) Doğruluk tablosu

Şekil-3 : Saatli S-R flip flopu (Pratik SR ff)

4.3.3. D flip flopu

D flip-flopu saatli S-R flip-flopunda değişiklik yapılarak elde edilmiştir. R girişine bir tersleyici (NOT) kapısı eklenerek elde edilir. Bu şekilde giriş sayısı bire iner. Böylelikle istenmeyen durumda ortadan kalkmış olur. Saatli bir D flip-flopunun lojik diyagramı Şekil-4a da gösterilmiştir. Grafik sembolü Şekil-4b ve doğruluk tablosu ise Şekil-4c de verilmiştir.



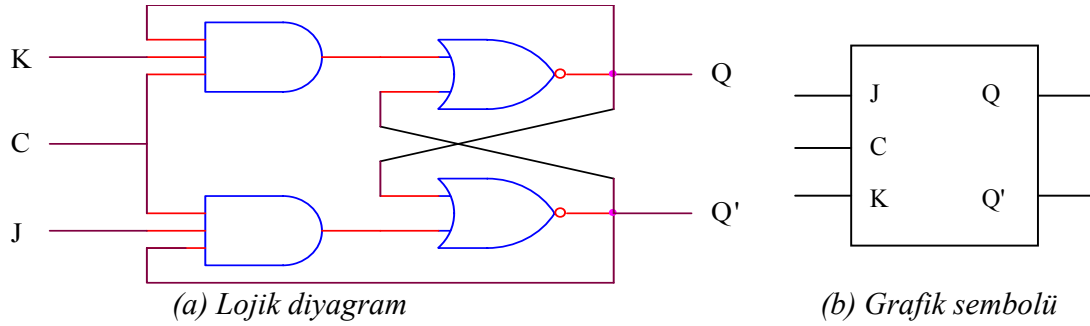
C	D	Q	Q'
1	0	0	1
1	1	1	0
0	x	Q	Q'

(c) Doğruluk tablosu

Şekil-4 D flip-flopu

4.3.4. JK flip flopu

JK flop-flopu, SR flip-flopundaki belirsiz durumun, JK flip-flopunda tanımlı olması açısından, SR flip-flopunun geliştirilmiş bir türüdür. J ve K girişleri, S ve R girişleri gibi flip-flopu kurmak ve silmek için kullanılır.



C	J	K	Q	Q'
1	0	0	Q	Q'
1	0	1	0	1
1	1	0	1	0'
1	1	1	Q'	Q
0	x	x	Q	Q'

(c) Doğruluk tablosu

Şekil-3 : JK flip-flopu.

4.3.5. T flip-flop

T flip-flopu, JK flip-flopunun tek giriřli bir versiyonudur. T flip-flopu, JK flip-flopunun giriřleri birbirine bağlanarak elde edilir. Flip-flopun mevcut durumu ne olursa olsun, giriř lojik-1 iken bir saat darbesinin gelmesi halinde tümleyen durumuna geçer. T flip-flopunun doğruluk tablosu ařağıdaki gibidir.

Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

4.4. DENEYDE KULLANILACAK ELEMANLAR

- CADET
- 74xx04 Tümleme (NOT) kapısı
- 74xx00 VE DEĞİL (NAND)
- 74xx08 VE (AND) kapısı
- 74xx02 VEYA DEĞİL (NOR)
- 74xx174 D flip-flopu (iki adet)

4.5. DENEYİN YAPILIřI

Adım 1 : řekil-2a verilen SR flip-flop devresini kurarak ařağıdaki tabloyu doldurunuz.

S	R	Q	Q'
0	0		
0	1		
1	0		
1	1		

Adım 2 : řekil-3a verilen saatli SR flip-flop devresini kurarak ařağıdaki tabloyu doldurunuz.

S	R	C	Q	Q'
0	0	1		
0	1	1		
1	0	1		
1	1	1		
x	x	0		

Adım 3: Adım 2 de kurduğunuz devrede değişiklik yaparak D flip-flopunu gerçekleyiniz. Aşağıdaki tabloyu doldurunuz.

C	D	Q	Q'
1	0		
1	1		
0	x		

Adım 4 : Şekil 4a da verilen JK flip-flop devresini kurarak aşağıdaki tabloyu doldurunuz?

C	J	K	Q	Q'
1	0	0		
1	0	1		
1	1	0		
1	1	1		
0	x	x		

Adım 5: Adım 4 te kurulan devrede değişiklik yaparak T flip-flopunu gerçekleyiniz. Aşağıdaki tabloyu doldurunuz.

Q	T	Q(t+1)
0	0	
0	1	
1	0	
1	1	

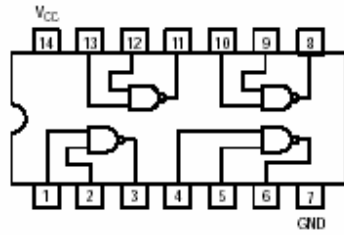
Adım 6 : Deneyden önce yapılması gerekenler bölümünde verilen Şekil-1 deki ardışıl lojik devreyi kurunuz. X girişine anahtar yardımıyla değerler veriniz. Saat işaretini titreşimsiz buton (debounced pushbutton) ile uygulayınız. Devrenin çıkışını ve durum değişkenlerini çıkış ledlerine bağlayarak gözlemleyiniz. Devrenin doğruluk tablosunu oluşturarak önceden yaptığınız çözümleme ile karşılaştırınız.

Giriş	Bir önceki durum		Bir sonraki durum		Çıkış
X	Q1	Q2	Q1 ⁺	Q2 ⁺	Z
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

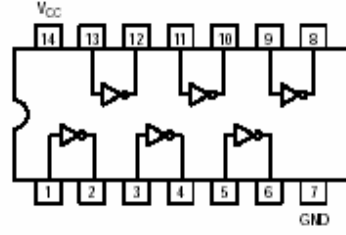
4.6 . RAPORDA İSTENENLER

1. Raporunuzu “Rapor Yazım Kuralları”na uygun olarak yazınız.
5. Deney sırasında oluşturduğunuz tüm devreleri düzgün bir şekilde çizin ve elde ettiğiniz sonuçları tablo formunda yazınız.
3. Şekil-1 deki ardışıl lojik devreyi JK flip-flopları ile gerçekleyiniz. Doğruluk tablosunu veriniz.

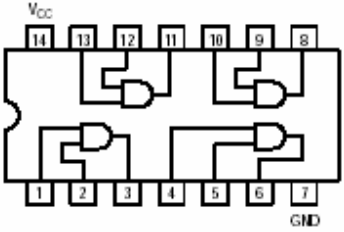
4.7. ENTEGRE DEVRELERİN AÇIK (PİN) GÖSTERİMLERİ



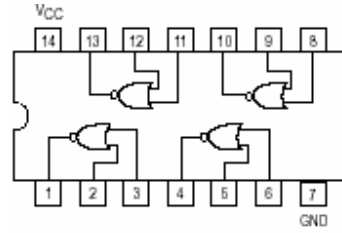
74LS00



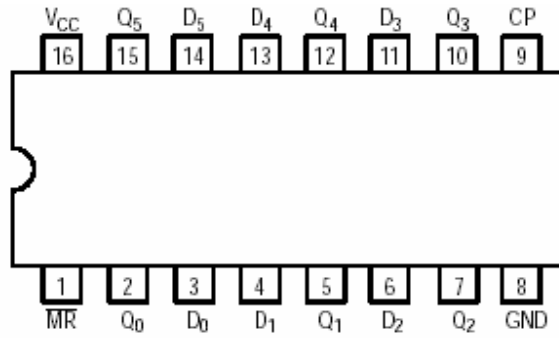
74LS04



74LS08



74LS02



74LS174 (MR : Reset)

DENEY 5 :

ÖTELEMELİ SAKLAYICI ve SERİ TOPLAYICI UYGULAMASI

5.1. DENEYİN AMACI

- Ötelemeli saklayıcıların incelenmesi
- Ötelemeli saklayıcılar kullanarak seri toplama devresinin gerçekleştirilmesi

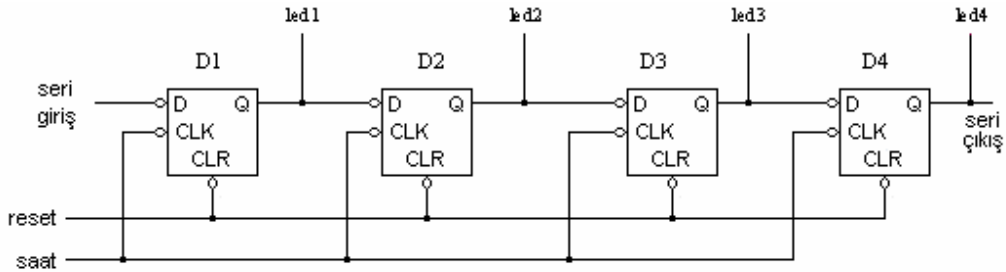
5.2. DENEYDEN ÖNCE YAPILACAK ÇALIŞMALAR

1. Saklayıcılar konusunu gözden geçiriniz.
2. Deneyde kurulacak olan devreleri inceleyiniz.

5.3. GENEL BİLGİLER

5.3.1. Ötelemeli Saklayıcı

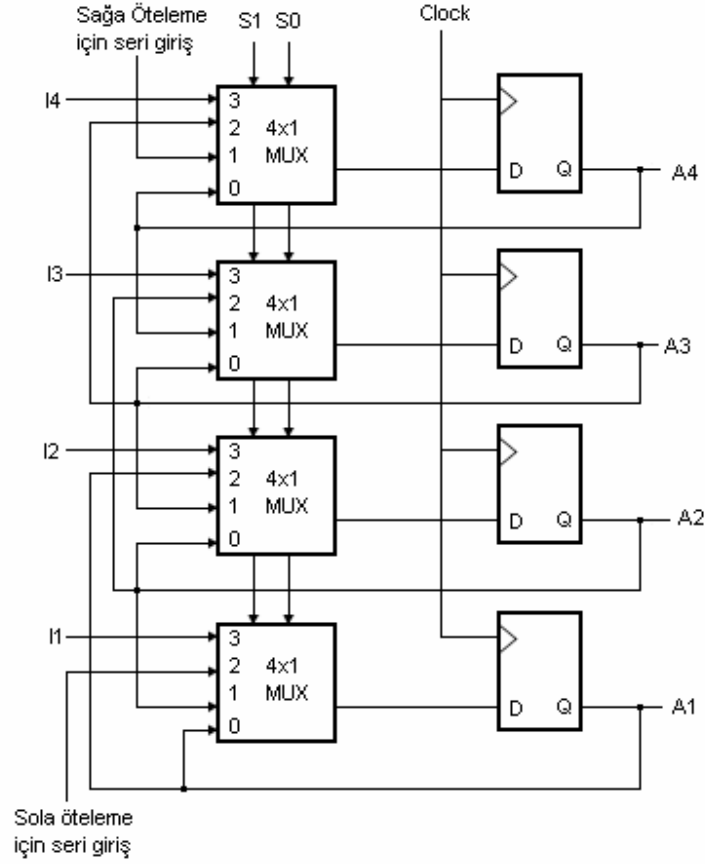
İkili bilgilerini sağa veya sola öteleyebilen saklayıcıya ötelemeli saklayıcı denir. En basit bir ötelemeli saklayıcı, bir saat darbesinde bir bitlik veriyi transfer eder. Olabilecek en basit ötelemeli saklayıcı Şekil-1'deki gibi sadece flip-floplardan oluşur. Belli bir flip-flopun Q çıkışı, sağındaki flip-flopun D girişine bağlıdır. Her saat darbesi, saklayıcının içeriğini bir bit sağa öteler. Seri giriş, öteleme sırasında en soldaki flip-flopa ne gireceğini belirler. Seri çıkış ise en sağdaki flip-flopun çıkışıdır.



Şekil-1: Ötelemeli saklayıcı devresi

5.3.2. Paralel Yüklemeli İki Yönlü Kaydırmalı Kaydedici (Çok Fonksiyonlu Saklayıcı)

Hem sağa veya sola öteleme hem de paralel yükleme yapabilen saklayıcıya paralel yüklemeli ötelemeli saklayıcı denir. Bu özelliklere sahip saklayıcının şeması Şekil-2'de verilmektedir. Bu saklayıcı dört adet D tipi flip-flop ve dört adet çoğullayıcıya(MUX) sahiptir. Çoğullayıcıların s_1 ve s_0 olmak üzere iki seçme girişi vardır. Bu seçme girişlerine göre saklayıcı farklı işlev görmektedir. Tablo-1'de seçme girişlerine göre devrenin fonksiyonu görülmektedir.



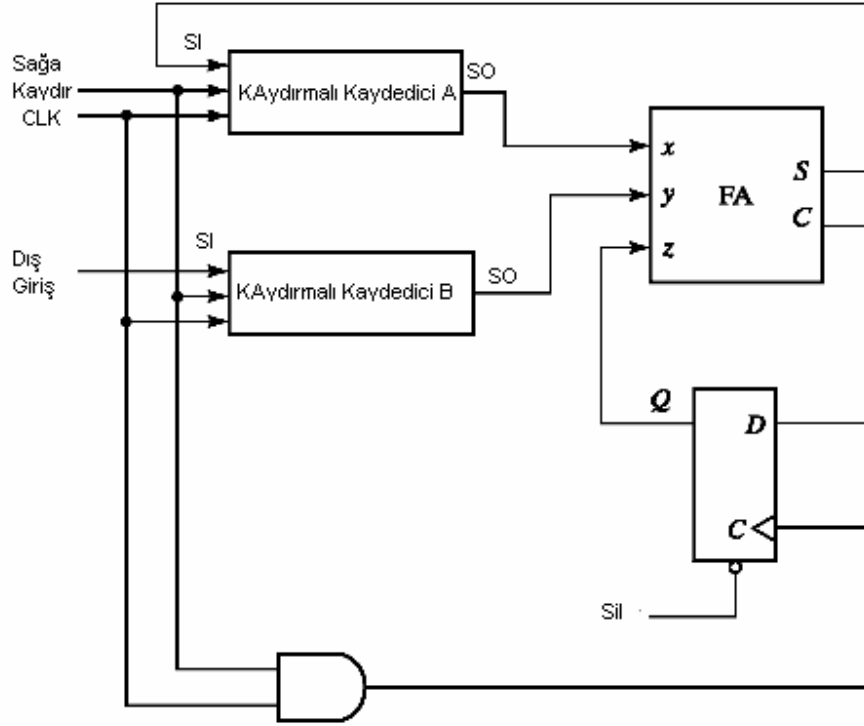
Şekil-2: Ötelemeli saklayıcının iç yapısı

S ₁	S ₀	Mod
0	0	Değişim yok
0	1	Sağa Kaydır
1	0	Sola Kaydır
1	1	Paralel Yükleme

Tablo-1: Saklayıcı için fonksiyon tablosu

5.3.3. Ötelemeli Saklayıcılar Kullanarak Seri Toplama

Seri olarak toplanacak ikili sayılar, iki farklı ötelemeli saklayıcıda saklanır. Şekil-3’de gösterildiği gibi, toplanacak sayıların aynı ağırlıklı bitleri tam toplayıcıya uygulanır. Tam toplayıcı elde çıkışı, D flip-flobunda tutulur. Flip-flopta tutulan elde çıkışı, daha anlamlı bit değerlerinin toplanması için bir giriş eldesi olarak kullanılır. Burada, tam toplayıcının S çıkışından alınan toplama bitleri, üçüncü bir ötelemeli saklayıcıda tutulması yerine, A’nın bitleri dışarı ötelenirken, sonucun A’ya kaydırılması, hem bir operandı hem de toplamı saklamak için tek saklayıcı kullanılması yeğlenmiştir.



Şekil-3: Ötelemeli saklayıcılar kullanılarak seri toplama devresi

4. DENEYDE KULLANILACAK ELEMANLAR

- CADET
- 74xx194 Üniversal Ötelemeli Saklayıcı (Universal Shift Register) (2 adet)
- 74xx08 VE (AND) kapısı
- 74xx174 D flip-flop (2 adet)
- 74xx283 4-bitlik ikili tam toplayıcı

5. DENEYİN YAPILIŞI

Adım 1 : 74xx299 Üniversal Ötelemeli Saklayıcıyı CADET'e yerleştiriniz. Gerekli giriş ve çıkış bağlantılarını yapınız.

Adım 2 : Seçme girişlerini değiştirerek, bütün fonksiyonları inceleyiniz.

Adım 3 : Şekil-3'deki seri toplama devresini kurunuz.

Adım 4 : A=1101 ve B=1001 değerlerini saklayıcıya yükleyiniz.

Adım 5 : Saklayıcıları sağa kaydırmalı olarak ayarlayınız.

Adım 6 : Kaydırmalı Kaydedici B 'ye Dış giriş olarak lojik-0 veriniz.

Adım 7: Başlangıçta D flip-flobunu sıfırlayınız.

Adım 8: Saat işaretini titreşimsiz buton (debounced pushbutton) ile uygulayınız.

Adım 9 : A saklayıcının çıkışlarını Çıkış Led'lerine bağlayarak her adımdaki değişimleri gözlemleyiniz.

6. RAPORDA İSTENENLER

1. Raporunuzu “Rapor Yazım Kuralları”na uygun olarak yazınız.
2. Deney sırasında oluşturduğunuz tüm devreleri düzgün bir şekilde çiziniz ve elde ettiğiniz sonuçları yazınız.
3. Tablo 2 de gösterildiği gibi, mod fonksiyonları değiştirilmiş ötelemeli saklayıcı devresini tasarlayınız?

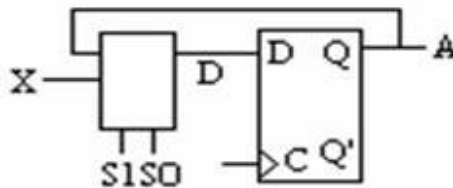
S ₁	S ₀	Mod
0	0	Paralel Yükleme
0	1	Sola Kaydır
1	0	Sağa Kaydır
1	1	Değişim yok

Tablo-2: Yeni Ötelemeli Saklayıcı için fonksiyon tablosu

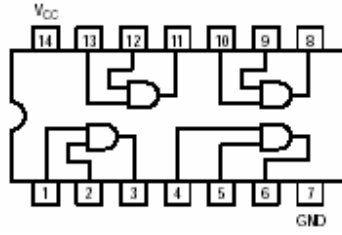
4. Şekil 3. de incelediğiniz seri toplama devresinde bir değişiklik yaparak seri çıkarma devresinin nasıl elde edilebileceğini gösteriniz? Bir örnek çıkarma işlemini devre üzerinde sayısal değerler olarak gösteriniz..
5. D flip-flop ve (S1 ve S0 seçme girişleri olan) bir kaydırmalı kaydedici aşağıdaki işlemleri gerçekleştirmektedir.

S1	S0	İşlem
0	0	Değişiklik yok
0	1	Paralel giriş
1	0	Tümleme
1	1	Silme

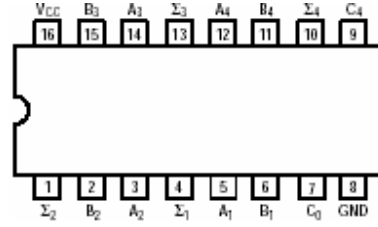
Bir bitlik kaydırmalı kaydedici şekli aşağıdaki gibidir. X paralel yükleme girişi olmak üzere D flip-flop girişini sürececek minimum KLD devreyi tasarlayınız ?



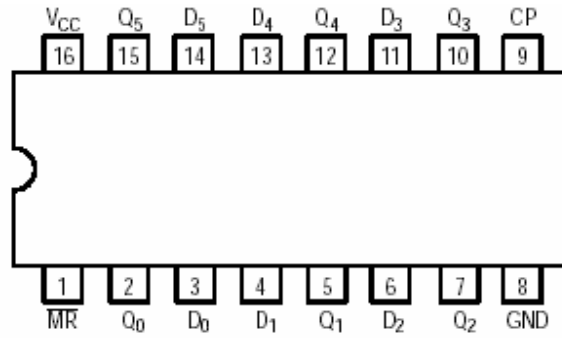
6.7. ENTEGRE DEVRE UÇ BAĞLANTI GÖSTERİMLERİ



74LS08

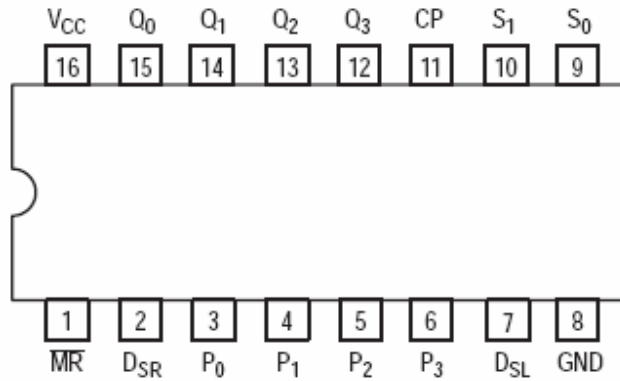


74LS283



74LS174 (MR : Reset)

SN74LS194A



PIN NAMES

S_0, S_1	Mode Control Inputs
$P_0 - P_3$	Parallel Data Inputs
D_{SR}	Serial (Shift Right) Data Input
D_{SL}	Serial (Shift Left) Data Input
CP	Clock (Active HIGH Going Edge) Input
\overline{MR}	Master Reset (Active LOW) Input
$Q_0 - Q_3$	Parallel Outputs