

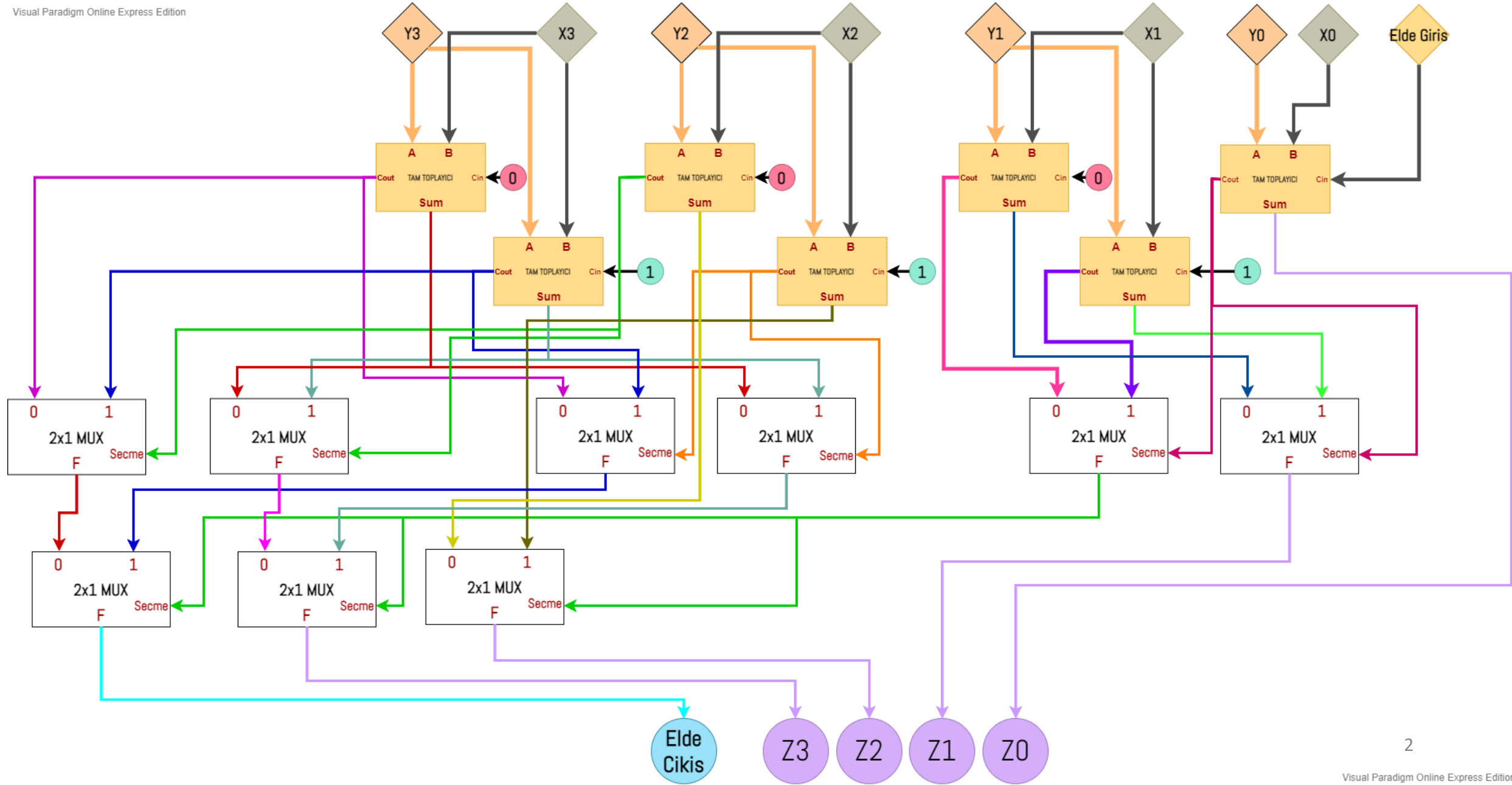
Bilgisayar Organizasyonu Tasarımı Lab.

Dönem Projesi

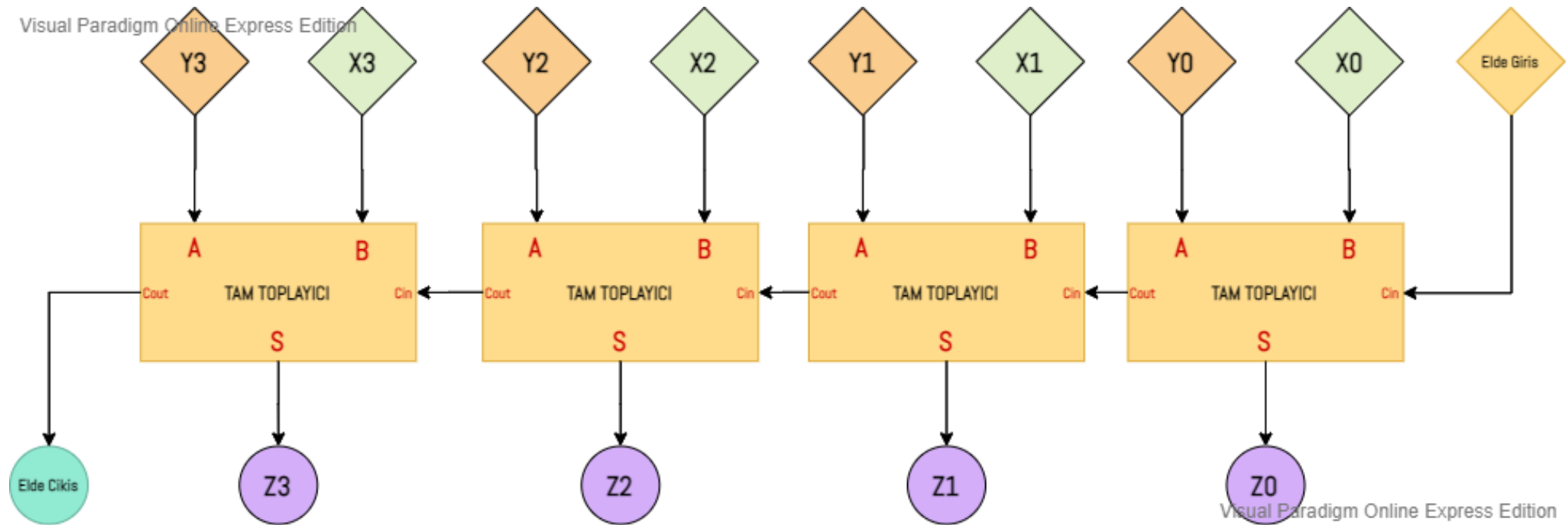
- Proje maksimum 3 kişiliktir. Tek kişi veya iki kişi yapabilir.
- Kopya projeler, benzerlik gösteren projeler değerlendirilmeye alınmayacaktır.
- Son Teslim Tarihi: **21 Ocak 2020 Saat: 17:00**
- **Geç teslim edilen projeler değerlendirilmeyecektir!**
- Proje Not Yüzdesi: %20
- Son sayfada bulunan içerikler hazırlanıp .zip formatında AKSİS'e yüklenecektir.
- **22 Ocak 2020 tarihinde klasik türde Final Sınavı Yapılacaktır.**

MODİFİYE TOPLAMA DEVRESİ - 1

Visual Paradigm Online Express Edition



KLASİK TOPLAMA DEVRESİ



Proje Adımları (1)

1. Şemada verilen 4 bitlik Modifiye Toplama Devresi'nin VHDL ile kodlaması,
2. Programlanan bu devrenin RTL Şemasının çıkarılması,
3. 4 farklı sayı değeri için simülasyon yapılması ve sinyal dalga formunun oluşturulması,
4. Devrenin sırasıyla 8, 16, 32 bit versiyonlarının oluşturulması (RTL Şemaları Çıkarılmayacaktır),
5. Klasik toplama devresinin **4, 8, 16, 32** bit kodlamasının yapılması,
6. Her bir kapı gecikmesinin **1 ns** olduğu varsayılarak,
 - **Modifiye Toplama Devresi**nin 4, 8, 16, 32 bit versiyonlardaki tüm Z değerlerinin oluşması için gereken maksimum gecikmenin hesaplanması.
 - **Klasik Toplama Devresi**nin 4, 8, 16, 32 bit versiyonlardaki tüm Z değerlerinin oluşması için gereken maksimum gecikmenin hesaplanması.
 - **Bu madde elle hesaplanacaktır, sistem çıktısı değildir!**
7. Sayfa 5'te verilen rapor örneğine benzer şekilde;
 - **Modifiye Toplama Devresi**nin 4, 8, 16, 32 bit versiyonlardaki 'Maximum combinational path delay' değerlerinin tespiti.
 - **Klasik Toplama Devresi**nin 4, 8, 16, 32 bit versiyonlardaki 'Maximum combinational path delay' değerlerinin tespiti.

Proje Adımları (2)

8. 6. şıktaki değerler kullanılarak tüm bit uzunlukları için Modifiye ve Klasik Toplama Devre karşılaştırmalı gecikme grafiğinin oluşturulması (Grafik oluşturulurken excel kullanılabilir)
9. 7. şıktaki değerler kullanılarak tüm bit uzunlukları için Modifiye ve Klasik Toplama Devre karşılaştırmalı gecikme grafiğinin oluşturulması (Grafik oluşturulurken excel kullanılabilir)
10. Her iki grafiğin karşılaştırılarak yorumlanması (2 algoritma arasındaki performans ve maliyet yorumlamaları)

ISE Project Navigator (P.28xd) - D:\XilinxProject\Ders3\Ders3.xise - [Design Summary]

File Edit View **Project** Source Process Tools Window Layout Help

Design Overview

- Summary
- IOB Properties
- Module Level Utilization
- Timing Constraints
- Pinout Report
- Clock Report
- Static Timing

Errors and Warnings

- Parser Messages
- Synthesis Messages
- Translation Messages
- Map Messages
- Place and Route Messages
- Timing Messages
- Bitgen Messages
- All Implementation Messages

Detailed Reports

- Synthesis Report
- Translation Report
- Map Report
- Place and Route Report
- Post-PAR Static Timing Report

Synthesis Report

- Top of Report
- Synthesis Options Summary
- HDL Compilation
- Design Hierarchy Analysis
- HDL Analysis
- HDL Synthesis
 - HDL Synthesis Report
- Advanced HDL Synthesis
 - Advanced HDL Synthesis Report
- Low Level Synthesis
- Partition Report

Design Summary/Reports

Timing Report

NOTE: THESE TIMING NUMBERS ARE ONLY A SYNTHESIS ESTIMATE.
FOR ACCURATE TIMING INFORMATION PLEASE REFER TO THE TRACE REPORT
GENERATED AFTER PLACE-and-ROUTE.

Clock Information:

No clock signals found in this design

Asynchronous Control Signals Information:

No asynchronous control signals found in this design

Timing Summary:

Speed Grade: -4

Minimum period: No path found
Minimum input arrival time before clock: No path found
Maximum output required time after clock: No path found
Maximum combinational path delay: 44.262ns

Timing Detail:

All values displayed in nanoseconds (ns)

Timing constraint: Default path analysis
Total number of paths / destination ports: 1153 / 33

Processes: mod_adder_32 - Behavioral

- Design Summary/Reports
- Design Utilities
- User Constraints
- Synthesize - XST
 - View RTL Schematic
 - View Technology Schematic
 - Check Syntax
 - Generate Post-Synthesis Simul...
- Implement Design
 - Translate
 - Generate Post-Translate Si...
 - Map
 - Generate Post-Map Static T...

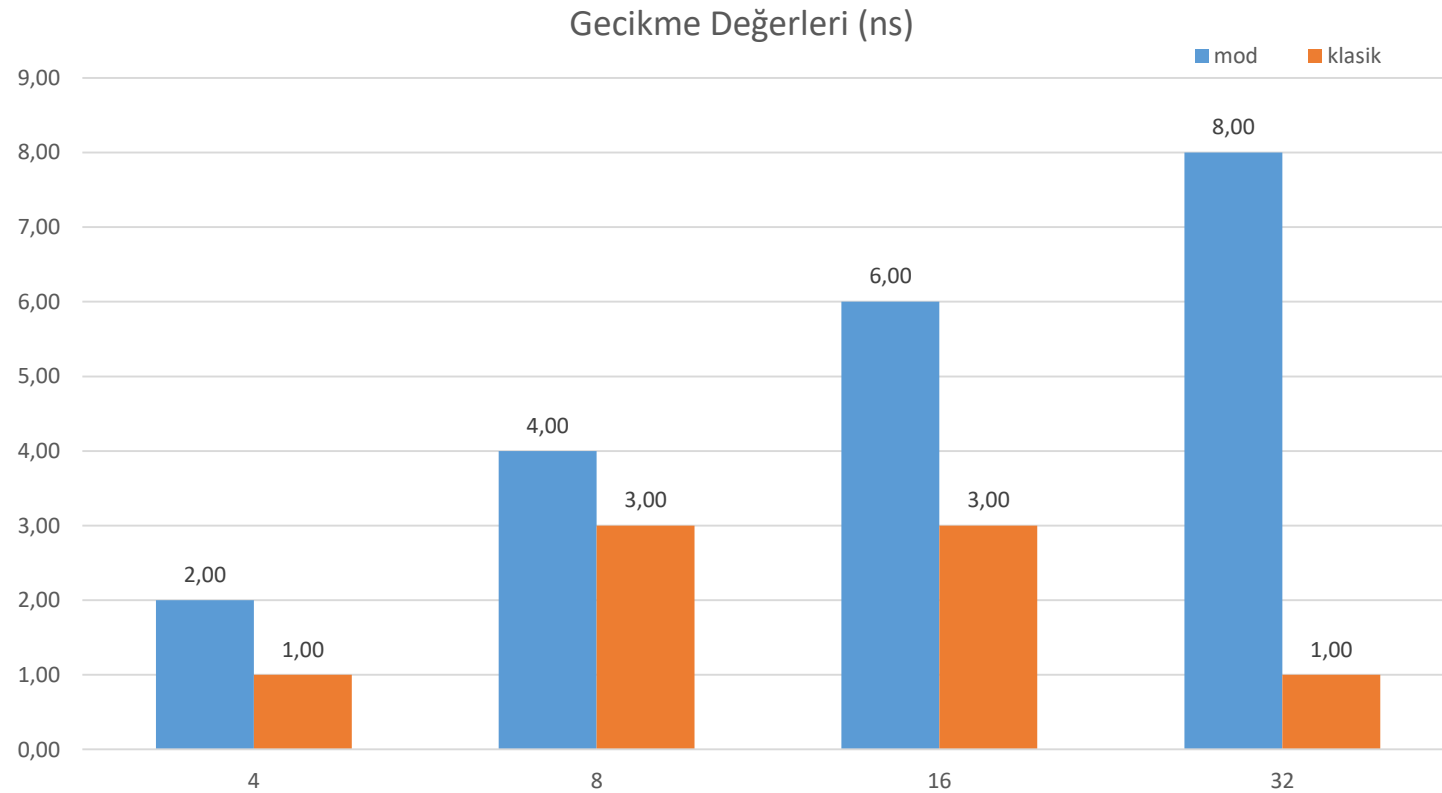
Start Design Files Libraries

mod_adder.vhd

Design Summary

Örnek Gecikme Grafiği

- Değerler doğru değildir!



PROJE İÇERİĞİ

- Aşağıdaki içerikler hazırlanıp .zip formatında AKSİS'e yüklenecektir.
- **Kaynak Kod .vhd dosyası (Kesinlikle .doc, .txt dosya formatında göndermeyin!)**
 - Modifiye Toplama Devresi (4, 8, 16, 32 Bit)
 - Klasik Toplama Devresi (4, 8, 16, 32 Bit)
- **Rapor .pdf Dosyası**
 - Proje Kapağı (Proje Üyeleri Numara, Adı-Soyadı)
 - 4 Bit Modifiye Toplama Devresi RTL ŞEMATİĞİ
 - 4 Farklı Giriş değeri için Simulasyon Girdileri ve Sinyal Dalga Formu (4 bit Modifiye Toplama Devresi için)
 - Proje Adım 6. işlemleri (El yazısı olması durumunda işlemler fotoğraflanıp rapora eklenecektir.)
 - Proje Adım 7 işlemleri (El yazısı olması durumunda işlemler fotoğraflanıp rapora eklenecektir.)
 - Proje Adım 8 Grafiği
 - Proje Adım 9 Grafiği
 - Sonuç ve Değerlendirme (1 Paragraflık Yapılan işleri Özetleme ve Grafik Yorumlama)
- **RAPOR DÜZENİ;**
 - Başlık 16 pt, Yazı 12 pt, Times New Roman, Resim ve Grafikler Ortalanmış, Her şekil altında numaralandırılma ve açıklamalı (**Şekil 1.1: RTL Şematik, Şekil 2.1: Simulasyon Sonuç-1** gibi)