

LOJİK DEVRE TASARIMI

Örgün Eğitim- Final - 2014

1) x, y, z girişleri A, B, C çıkışları bulunan bir KLD şu şekilde çalışmaktadır:

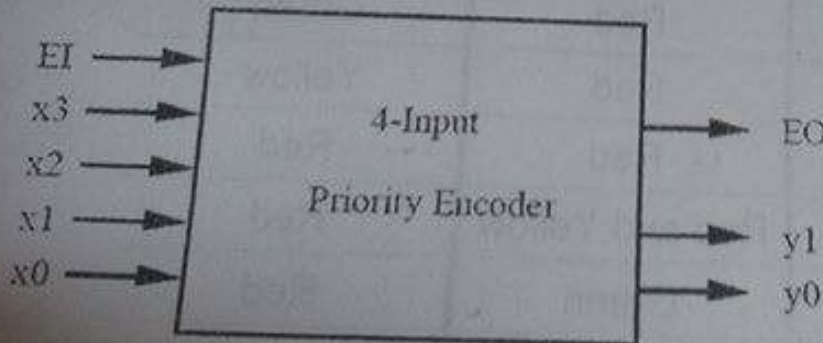
Giriş değeri < 5 ise Çıkış = Giriş +1
Giriş değeri ≥ 5 ise Çıkış = Giriş -1

- a) lojik devrenin çıkış Boolean fonksiyonlarının cebirsel ifadesini bulunuz?
- b) Lojik devreyi yeteri kadar 4x1 multiplexer (gerekirse lojik kapıları kullanarak) ile gerçekleyiniz?

2) 4 bit paralel yüklemeli sayıcılar kullanarak 9, 10, ..., 69 kadar sayan bir sayıcı tasarlayınız...

- a) 4-bit paralel yüklemeli sayıcının blok olarak gösteriniz (giriş, çıkış ve kontrol işaretlerini)
- b) Sayıcıyı kaskad olarak tasarımı gösterin?
- c) Sayıcıya dışarıdan bir X kontrol girişi ilave ediniz...b deki tasarımınıza X girişini de ilave ederek tasarımı yeniden blok olarak gösterin?
X=1 olduğunda sayıcıyı başlangıçta veya istenilen bir anda 9 değerinden itibaren saymaya başlatır.
X=0 olduğunda hiçbir etkisi bulunmaz..

3) Aşağıda 4:2 Low Priority Encoder devresinin blok diyagramı görülmektedir...
EI = 0 olduğunda bütün çıkışlar lojik 0
EI = 1 olduğunda ve tüm girişler 0 olduğunda EO=1 ve çıkışlar 0



- a) Doğruluk Tablosunu oluşturunuz?
 - b) Devreyi PAL kullanarak tasarlayınız?
 - c) PLA ve PROM ile tasarlasaydınız kullanılan kapı sayısı açısından karşılaştırınız?
- Not: PLA ve PROM gerçeklemelerini göstermeyiniz.....