



İÜ Bilg.Müh. 3.Sınıf

Kadir İu, Kübra İu, Mustafa İu, Öner İu...

1 OKUNMAMIŞ MESAJ

+90 536 226 0961 ~İdris Bila...

+90 538 845 5392 ~dupebi

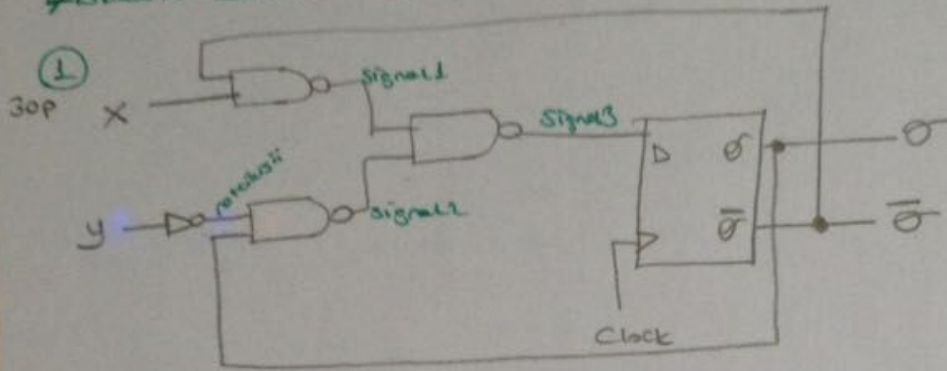
Bot lab sorularını atacak insaniyetli
bir insan aranıyor mutlaka
fotosunu çeken olmuştur kalacağı...

Bi soru nand not d flip flopu
ayri ayri kod yazma
sorusuydu sonra 5 nand la
tasarlanmis bi devrenin
kodunu yazma vardi bi soru
3 bit giris 5 bit giris romun
tablosounu vermis her
cikisin karnosunu yapip
denklemleri cikarip romu
dataflowla tasarlama kodu
arkada kod verdi devresini
cikarmani istiyo zaten o
koddan ondeki cogu soruyu
kopya ediyosun

14:20



ÖRNEK SİNAV SORULARI



I) Not kapısı, nand kapısı ve D flip flopun VHDL kodlarını behavioral minari ile yazınız.

II) I. aşamada oluşturduğunuz bileşenleri (component) kullanarak XY flip flop'un yapısal tasarımına ait VHDL kodunu yazınız.

I) entity notkapisi is
port (y: in std_logic;
notcikisi: inout std_logic);
end notkapisi;
architecture bhw of notkapisi is
begin
process (y)
begin
notcikisi <= (not y);
end process;
end bhw;

entity nandkapisi is
port (a: in std_logic;
b: in std_logic;
nandcikisi: inout std_logic);
end nandkapisi;
architecture bhw of nandkapisi is
begin
process (a, b)
begin
nandcikisi <= a nand b;
end process;
end bhw;

entity dff is
port (D: in std_logic;
Q: inout std_logic;
Qbar: inout std_logic;
clock: in std_logic);
end dff;
architecture bhw of dff is
begin
process (D, clock)
begin
if clock'event and clock = '1' then
Q <= D;
Qbar <= not D;
endif;
end process;
end bhw;

devan —

6

```
II) entity xyff is
  port ( x,y,clk : in std_logic;
         0F, 0TF : out std_logic );
end xyff;
```

architecture yopisal of xyff is

component notkapisi is

```
  port ( y : in std_logic;
         notcikisi : in out std_logic );
```

end component;

component nandkapisi is

```
  port ( a,b : in std_logic;
         nandcikisi : in out std_logic );
```

end component;

component dff is

```
  port ( D : in std_logic;
         0 : in out std_logic;
         0F : in out std_logic;
         clock : in std_logic );
```

end component;

```
signal signal1, signal2, signal3 : std_logic;
```

```
signal notcikisi;
```

```
bloknot : notkapisi port map ( y, notcikisi );
```

```
bloknand1 : nandkapisi port map ( 0TF, x, signal1 );
```

```
bloknand2 : nandkapisi port map ( notcikisi, 0F, signal2 );
```

```
bloknand3 : nandkapisi port map ( signal1, signal2, signal3 );
```

```
blokdff : dff port map ( signal3, 0F, 0TF, clk );
```

```
end yopisal;
```


4 (25p) – Aşağıdaki VHDL kodunu analiz ederek,

- a) Koda ait devreyi çiziniz (10p).
- b) Devrenin doğruluk tablosunu çıkartınız (10p).
- c) Devrenin Z çıkışının amacını belirtiniz (5p).

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity devre is
5      port(
6          X : in std_logic;
7          A : in std_logic_vector(1 downto 0);
8          F : out std_logic_vector(1 downto 0);
9          Z : out std_logic
10     );
11 end devre;
12
13 architecture Dataflow of devre is
14 begin
15     F(1) <= ( not(X) and not(A(1)) ) OR ( X and ( A(1) xor A(0) ) );
16     F(0) <= X xor A(0);
17     Z <= ( not(X) and not(A(1)) and A(0) ) OR ( X and A(1) and not(A(0)) );
18 end Dataflow;
```



Elif Akan (İstanbul Ü...



Yok ya bi enstitü tanımlaması vardı

23:43

Bi tane diyagram entity ve architecture yazmamız gereken bisey

23:43

Bi tane sistem vermiş bu kodlar ne işe yarar diye sormuş

23:43

Zar vermiş 6 ya kadar onlari girişe göre yazın demiş

23:44

Sevensegmen gibi kolay bişey

23:44

Enstitü: entity

23:44

Fotoğrafı çekemedim





Elif Akan (İstanbul Ü...



Fotoğrafı çekemedim
ama bı tane zor bişey
vardı 25 puanlık

23:45

Unuttum onu

23:45

İki tane üç bitlik a ve b
sayısı var bu sayılar
toplanacak 3 durum var
ondan küçükse , ona
eşitse , ondanbüyükse

23:46

10 sayisi

23:47

Bunun entitysi , blok
diyagramı ve
architecturei

23:47

Behavioral kullanıcan

23:47





İÜ CE 3. SINIF

Abidin Yarata (İstanbul Üni.), Adem C...

Fuat Kayalı (İstanbul Üni.)

1-basit bir devrenin entity tanımlaması

2- Verilen vhdl kodun ne amaçla kullanıldığını sordu.

3-Zarlar vardı 9 bitlik karşılığı olan ve onlara karşılık gelen 1-6 arası 3 bitlik değerler. Zar attığında çıkan değer 3 bitlik karşılığının 9 bitlik değerini veren kod devresi gibi bir şey

4- devre vardı onun kodlaması içinde 4 farklı yapı vardı mux gibi

5-girilen iki adet 3 bitlik sayının toplamının 10 dan büyük küçük eşit olma



**İÜ CE 3. SINIF**

Abidin Yarata (İstanbul Üni.), Adem C...

büyük küçük eşit olma
durumunda bağlı olarak
çıktı üreten devre kodu.
Mesela sayılar toplam 11
diyelim 10dan büyük ne
olacak büyük çıkışı 1
küçük ve eşit çıkışı 0 gibi

23:52

Bulmaca gibiydi genel
olarak

23:53

+90 544 318 8437 ~Fatih...

3.cu soru seven segment
sorusu mantığında
kardeşim.Birde 5 in d
sikkinda similasyon çıktı
almak için girdiğimiz
restart put a put b run all

23:53





İÜ CE 3. SINIF

Abidin Yarata (İstanbul Üni.), Adem C...

+90 544 318 8437 ~Fatih...

3.cu soru seven segment
sorusu mantığında
kardeşim.Birde 5 in d
sikkinda similasyon çıktı
almak için girdiğimiz
restart put a put b run all

23:53

Yukarıda arkadaşın
yazdığı gibi

23:54

Hocanın labda yaptırdığı
şeyleri anlayan yapar her
tür

23:54

Teşekkür ederim
arkadaşlar sağolun

23:54 ✓



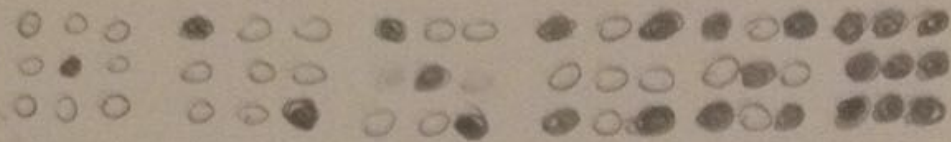
4 (20p) – Aşağıda VHDL kodu verilen devreyi analiz ederek çiziniz.

```
1  library IEEE ;
2  use IEEE.STD_LOGIC_1164.ALL ;
3
4  entity dff is
5      port(
6          D : in std_logic ;
7          clock_d : in std_logic ;
8          Q : out std_logic
9      );
10 end dff ;
11
12 architecture Behavioral of dff is
13 begin
14     process(clock_d, D)
15     begin
16         if clock_d'event and clock_d = '1' then
17             Q <= D ;
18         end if ;
19     end process ;
20 end Behavioral ;
21
22 library IEEE ;
23 use IEEE.STD_LOGIC_1164.ALL ;
24
25 entity devre is
26     port(
27         Ds : in std_logic_vector(2 downto 0) ;
28         Load : in std_logic ;
29         Clock : in std_logic ;
30         Qs : inout std_logic_vector(2 downto 0)
31     );
32 end devre ;
33
34 architecture dataflow of devre is
35     component dff is
36         port(
37             D : in std_logic ;
38             clock_d : in std_logic ;
39             Q : out std_logic
40         );
41     end component ;
42     signal D2, D1, D0 : std_logic ;
43
44 begin
45     D2 <= ((Qs(2) xor (Qs(1) and Qs(0))) and not(Load)) or (Load and Ds(2)) ;
46     D1 <= ((Qs(1) xor Qs(0)) and not(Load)) or (Load and Ds(1)) ;
47     D0 <= (not(Load) and not(Qs(0))) or (Load and Ds(0)) ;
48
49     dff1 : dff port map ( D2, Clock, Qs(2) ) ;
50     dff2 : dff port map ( D1, Clock, Qs(1) ) ;
51     dff3 : dff port map ( D0, Clock, Qs(0) ) ;
52 end dataflow ;
```


1) Analiz ve Planlama süresi neden kısa 4. tür
Planlama ve Analiz süresi
...iii

① Sadece Entity yap 10 puan

② 3 bitlik sayı girildiğinde 25 puan
su garantili olsun. Entity-Architecture



3) 4 bloktan oluşan devre tasarımını
vermiş. Komponentleri breadboard
yapılmış gibi düşün. Entity tanımlarına
sadece yapısal mimari blokları
birleştirir. 25 puan

4) 2 tane 3 bitlik sayı girilecek
toplamını 10'dan büyük olacak
şekilde kontrolünü sağla.

10'dan büyük ve eşit ise

Büyük çıkışları 1 olsun

Aksi halde küçük çıkışları 0 olsun

a) Simulasyon komutlarını yaz 5 puan

b) sadece giriş çıkışları blok çiz

c) sadece entity yaz

d) architecture yaz.

5) Kod vermiş ne yaptığını sadece 10 puan

4) c) entity devre is

```
port (giris1 : in std_logic_vector (2 downto 0);
      giris2 : in std_logic_vector (2 downto 0);
      B : out std_logic ;
      K : out std_logic ;
      E : out std_logic
    );
end devre ;
```

d) architecture behaviour of devre is

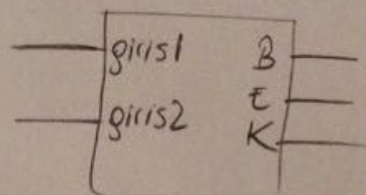
```
begin
  process (giris1, giris2)
  begin
    if (giris1 + giris2) = "1010" and (giris1 + giris2) > "1010"
      E <= '1' ;
      B <= '0' ;
      K <= '0' ;
    elsif (giris1 + giris2) < "1010" then
      K <= '1' ;
      E <= '0' ;
      B <= '0' ;
    end if ;
  end process ;
end behaviour ;
```

10 sayısının bit karşılığı = 1010

a) restart

```
put giris1 111
put giris2 101
run all
```

b)



2) entity devre is

```
port ( giris : in std_logic_vector ( 2 downto 0 );  
      cikis : out std_logic_vector ( 8 downto 0 )  
      );
```

end devre;

architecture behavioral of devre is

begin

process (giris)

begin

if giris = "001" then

cikis <= "000010000";

elsif giris = "010" then

cikis <= "100000001";

elsif giris = "011" then

cikis <= "100010001";

elsif giris = "100" then

cikis <= "101000101";

elsif giris = "101" then

cikis <= "101010101";

elsif giris = "110" then

cikis <= "111111111";

end if;

end process;

end behavioral;

000 → 0

001 → 1

010 → 2

011 → 3

100 → 4

101 → 5

110 → 6

111 → 7

3 bitlik sayıların
karşılıkları bunlar ya
mesela kullanıcı 5 sayısını

girdi (yani 101)

giris 101 ise

● ● ●

0 ● 0

● 0 ●

çıkışta bu zor modelleneceli
zarda da koyu renk 1'i
beyaz renk 0'ı temsil ediyor.

4 (20p) – Aşağıda VHDL kodu verilen devreyi analiz ederek çiziniz.

```
1  library IEEE ;
2  use IEEE.STD_LOGIC_1164.ALL ;
3
4  entity dff is
5      port(
6          D : in std_logic ;
7          clock_d : in std_logic ;
8          Q : out std_logic
9      );
10 end dff ;
11
12 architecture Behavioral of dff is
13 begin
14     process(clock_d, D)
15     begin
16         if clock_d'event and clock_d = '1' then
17             Q <= D ;
18         end if ;
19     end process ;
20 end Behavioral ;
21
22 library IEEE ;
23 use IEEE.STD_LOGIC_1164.ALL ;
24
25 entity devre is
26     port(
27         Ds : in std_logic_vector(2 downto 0) ;
28         Load : in std_logic ;
29         Clock : in std_logic ;
30         Qs : inout std_logic_vector(2 downto 0)
31     );
32 end devre ;
33
34 architecture dataflow of devre is
35     component dff is
36         port(
37             D : in std_logic ;
38             clock_d : in std_logic ;
39             Q : out std_logic
40         );
41     end component ;
42     signal D2, D1, D0 : std_logic ;
43
44 begin
45     D2 <= ((Qs(2) xor (Qs(1) and Qs(0))) and not(Load)) or (Load and Ds(2)) ;
46     D1 <= ((Qs(1) xor Qs(0)) and not(Load)) or (Load and Ds(1)) ;
47     D0 <= (not(Load) and not(Qs(0))) or (Load and Ds(0)) ;
48
49     dff1 : dff port map ( D2, Clock, Qs(2) ) ;
50     dff2 : dff port map ( D1, Clock, Qs(1) ) ;
51     dff3 : dff port map ( D0, Clock, Qs(0) ) ;
52 end dataflow ;
```


1- architecture kodun ilk entity'lerini kendisi veriyor and , or, xnor ve not olanları aşağına sadece component olarak tanımlıyorsun ve istediği devrenin vhdl kodunu yazıyorsun

ilk soruda and, or, not, exor diye 4 tane component ve bir devre vermiş o devreyi bu componentleri kullanarak yazıyorsun.

ikinci soruda a ve b girişleri var bunlar iki bitlik girişler ve

mintermlerini veriyor karnaugh kullanarak sadeleştirdikten

sonra devreyi dataflow kullanarak yazıyorsun. üçüncü soruda 2 tane t flip flopunun kullanıldığı bir devre veriliyor bu devrenin

kodunu yazıp ne işe yaradığını yazıyorsun. son soruda kod veriyor ve o koddaki 10 tane hatayı bulup düzeltmeni istiyor.

entity ID is

```
port (w: in std_logic_vector (3 downto 0);  
      E: in std_logic;  
      y: out std_logic_vector (3 downto 0)  
    );
```

end ID;

architecture davranissal of ID is

begin

process (w, E)

begin

if (E = '1') and (w = "00") then

y <= "1000";

elsif (E = '1') and (w = "01") then

y <= "0100";

elsif (E = '1') and (w = "10") then

y <= "0010";

elsif (E = '1') and (w = "11") then

y <= "0001";

else

y <= "0000";

end if;

end process;

end davranissal;

I. Kesim.

entity 2D is

```
port ( Wx: in  std_logic_vector (3 downto 0);  
      Ex: in  std_logic;  
      Yx: out std_logic_vector (7 downto 0));  
end 2D;
```

architecture yapisal of 2D is

component birnesbism is

```
port ( W: in  std_logic_vector (1 downto 0);  
      E: in  std_logic;  
      B: out std_logic_vector (3 downto 0));
```

end component;

begin

blk1: 1D port map (W(0) => Wx(0), W(1) => Wx(1), E => not W2
and Ex);

blk2: 1D port map (W(0) => Wx(2), W(1) => Wx(3), E => W2 and
Ex);

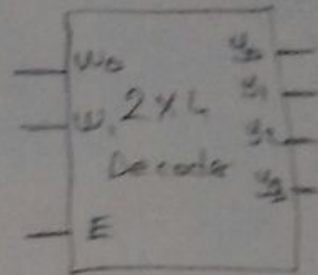
end yapisal;

2.bsim

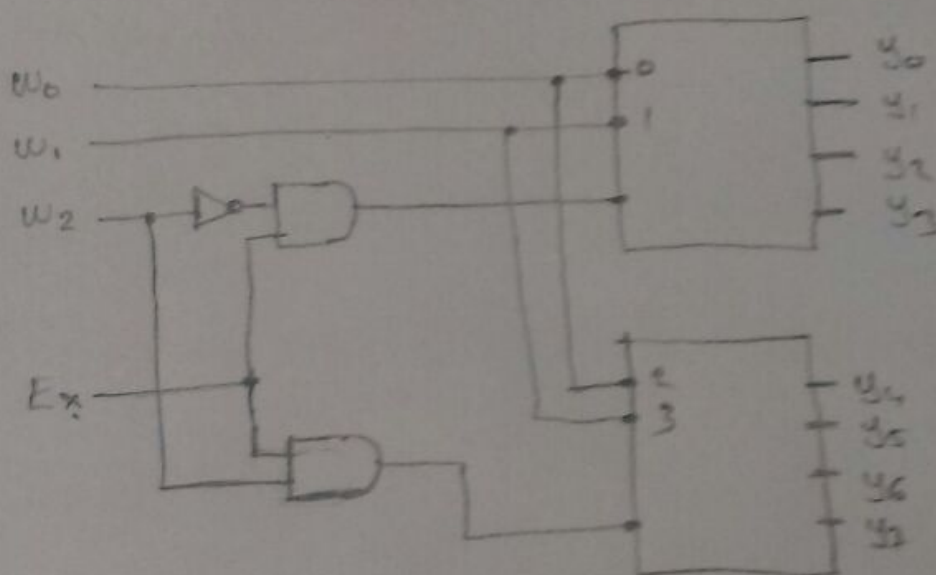
③ 101 AB - Uygulama 2 =

E	1	0	0	1	2	3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	x	x	0	0	0	0

(Doğrudan Tablosu)



④ Tasarlama: 10111, 2x4 kod çözücü:



and $w \times 011$

and $Ex = 1$

run

$y_x(3) = 1$