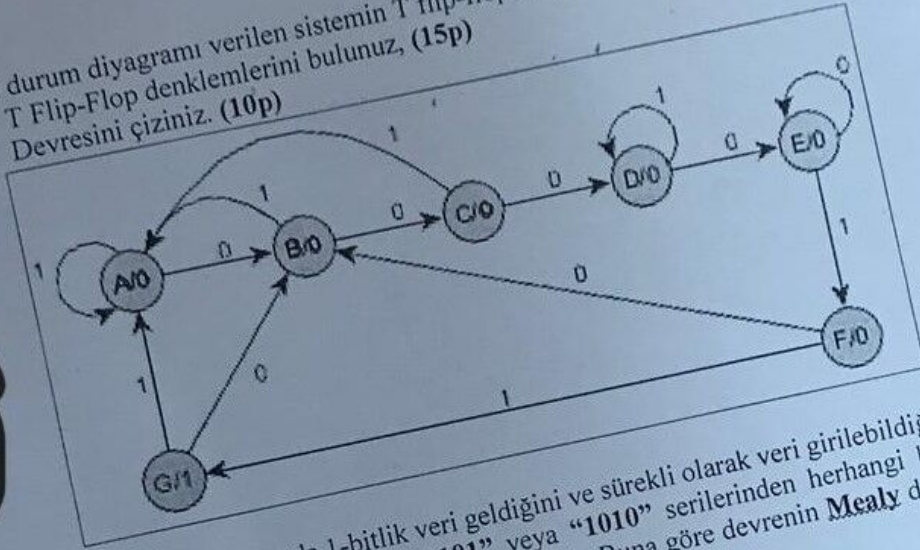


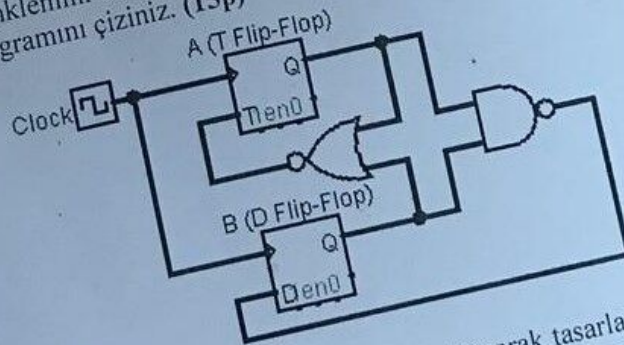
İSTANBUL ÜNİVERSİTESİ – CERRAHPAŞA  
BİLGİSAYAR MÜHENDİSLİĞİ BÖLÜMÜ

2018-2019 GÜZ DÖNEMİ  
LOJİK DEVRE TASARIMI  
FİNAL SINAVI  
(SÜRE: 75 dk)

- 1) Aşağıda durum diyagramı verilen sistemin T flip-flop ile tasarlanacak devresinin;  
a. T Flip-Flop denklemlerini bulunuz, (15p)  
b. Devresini çiziniz. (10p)



- 2) Bir seri veri iletim hattında 1-bitlik veri geldiğini ve sürekli olarak veri girilebildiğini kabul ediniz. Girdi (X) olarak verilen dizinin "1101" veya "1010" serilerinden herhangi birini yakalaması durumunda devre, çıktı (Z) olarak 1 üretmektedir. Buna göre devrenin Mealy durum diyagramını çiziniz. (30p)
- 3) Aşağıda devresi verilen ardışıl lojik devrenin,  
a. Flip-flop denklemini bulunuz, (10p)  
b. Durum diyagramını çiziniz. (15p)



- 4) 16x1 MUX devresini sadece 4x1 MUX devreleri kullanarak tasarlayınız. (AND-OR-NOT kapısı kullanılmayacaktır. Genel devrenin seçme ve bilgi girişleri isimlendirmeleri doğru sırayla devre üstüne yazılacaktır.) (20p)

(SORU CEVAPLARI CEVAP KAĞIDINDA HER SAYFAYA SADECE 1 SORU OLACAK ŞEKİLDE CEVAPLANACAKTIR)

BAŞARILAR