2019 MİMARİ HAZIRLIK ÇÖZÜMLERİ

1)a-

abs Rdest, Rsrc

bgez Rsrc,skip

sub Rdest,$0,Rsrc

skip: ---------

b) a) if ((a > b) || (b > c)) {d = 1;}

Solution: bgt $s0, $s1, L1

ble $s1, $s2, next

L1: ori $s3, $zero, 1 next:

2) This code compares every element in the array against all elements for identical matches.

It counts the frequency of occurrence of each value in the array.

The count of the most frequently used value is returned in $v0 and the value itself is returned in $v1.

3)

```
add  $s3, $s1, $s2          #1 mark
slt  $t0, $s3, $zero        #3 marks
bne  $t0, $zero, overflow   #3 marks
```

4) a) The time for the longest instruction, lw = 7 + 8 + 15 + 10 + 8 = 48ns

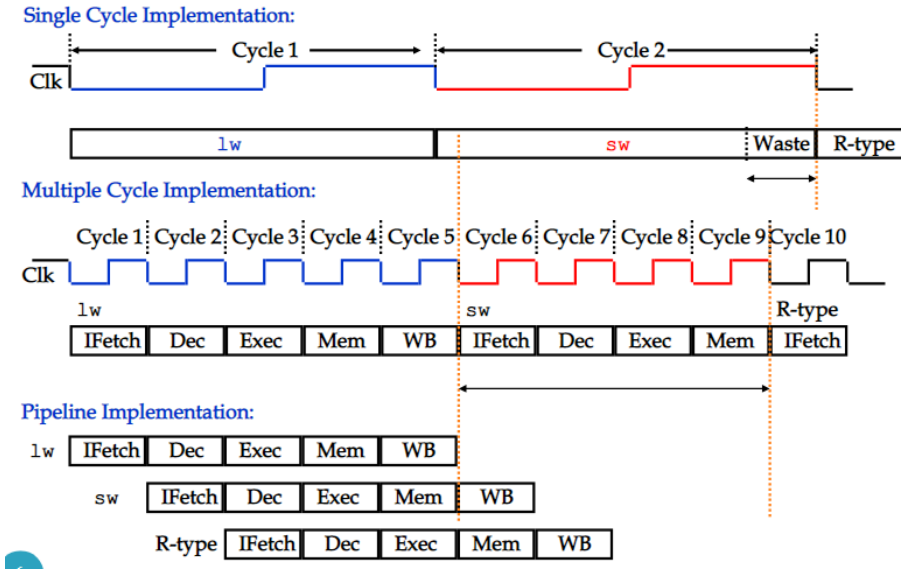
b) The time for the longest stage = 15ns

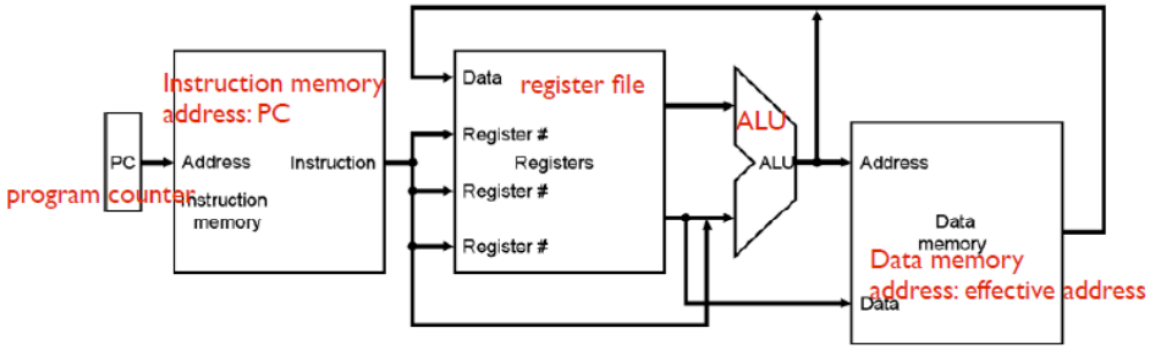
c) The time for the longest stage plust the overhead = 15 + 2 = 17ns

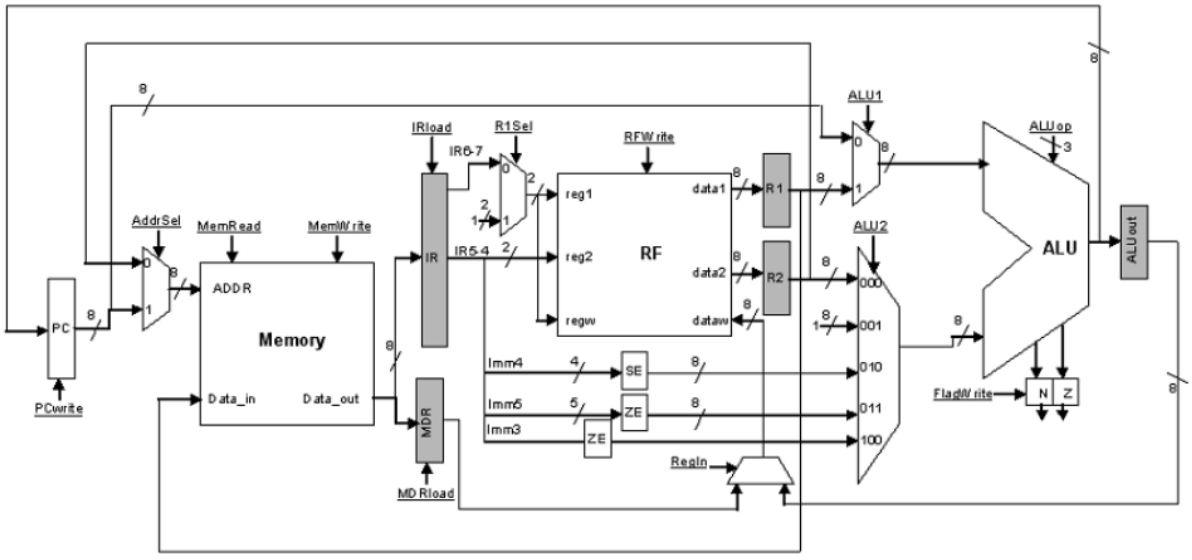
d) i) single cycle 48 * 4 = 192ns

ii) multi cycle There are 4 cycles for 1 add instruction, so 4 * (15 * 4) = 240ns

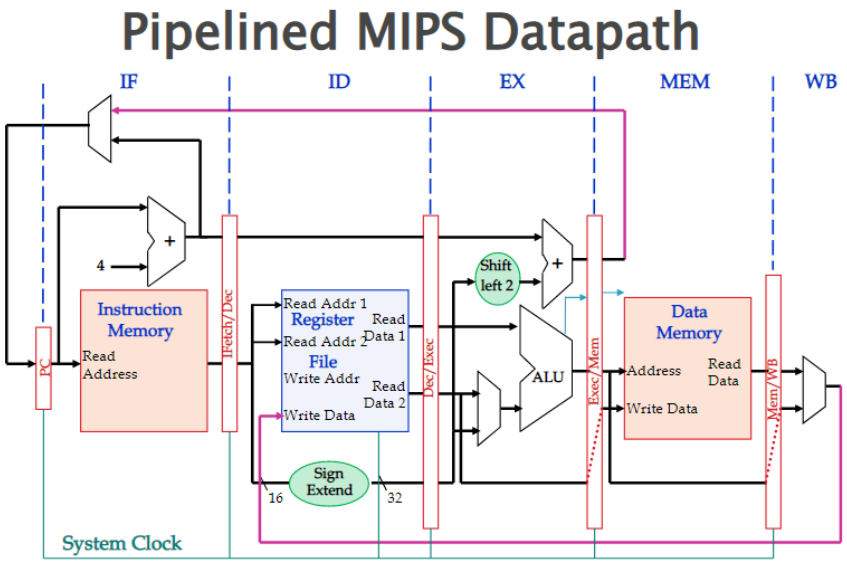
iii) pipelined Five cycles for the first add, plus one more for each additional add = (5 + 3) * 17 = 136ns







https://supportingmaterial.files.wordpress.com/2016/01/single-cycle-vs-multi-cycle-cpu.pdf



5)

a) Data A = 7 Data B = 5

b) ALU toplama işlemi yapar (yada OR işlemi)

c) 7 ve 0

d) $T_{CLK} > 20 + 5 + 15 + 20 + 5 = 65$ nanoseconds

6) a) cache 1: 1024 1B lines = 1KB.

Cache 2: 128 4B lines * 2 ways = 1KB

b) cache 1: 1024 x 6-bit tags = 6Kb

cache 2: 256 x 7-bit tags = 1792 bits

c) Her 2 Cache Size eşit olduklarından ve 2 way set-associative yapıda aynı satırda 2 farklı data bulunduğundan vuru oranı daha yüksek olacaktır.

Buna göre Cache 1= 50%, Cache 2= 70% Vuru Oranına sahip olduğu söylenebilir..

d) etkin bellek varış süresi = (hit rate)*(hit time) + (miss rate)*(miss time)).

Cache 1 Te= 0.5*1 + 0.5*20 = 10.5 cycles

Cache 2 Te= 0.7*2 + 0.3*20 = 7.4 cycles

7) a)

- Eleman adreslerinin kodçözümü (eleman kodu)

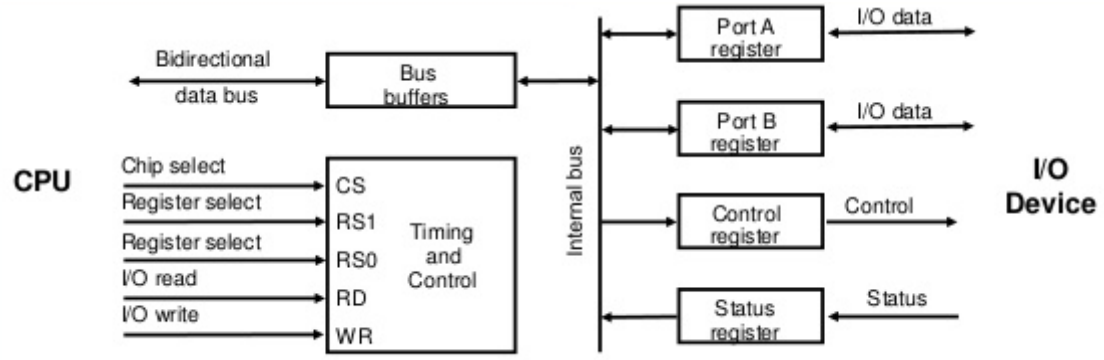
- Komutların kodçözümü (işlem)

- Çevresel kontrolör için gerekli işaretleri sağlar.

- Data akışını senkronize eder ve yönlendirir.

Çevresel elemanlar ve CPU veya Bellek arasında transfer hızını ayarlar.

b)



c) 2 Asenkron Data Transfer Metodu

1) Strobe darbesi :

Bir strobe darbesi, transfer meydana gelmek zorunda olduğunda diğer bir birimi göstermek için bir birimin ürettiği işarettir.

Herbir transferi zamanlamada, tek bir kontrol işareti kullanır.

Strobe işaretini kaynak veya hedef ünite gönderebilir.

<u>2) El Sıkışma :</u>

- Bir kontrol işareti datanın varlığını göstermek için iletilmekte olan herbir dataya eşlik etmesidir.

- Alıcı birim datayı kabul ettiğini onaylamak için diğer bir kontrol işareti gönderir.

Kaynak-Etkili iletişim

Transferi başlatan Kaynak Unitesinin hedef ünitesinin gerçekten datayı alıp almadığından bilgisi yoktur.

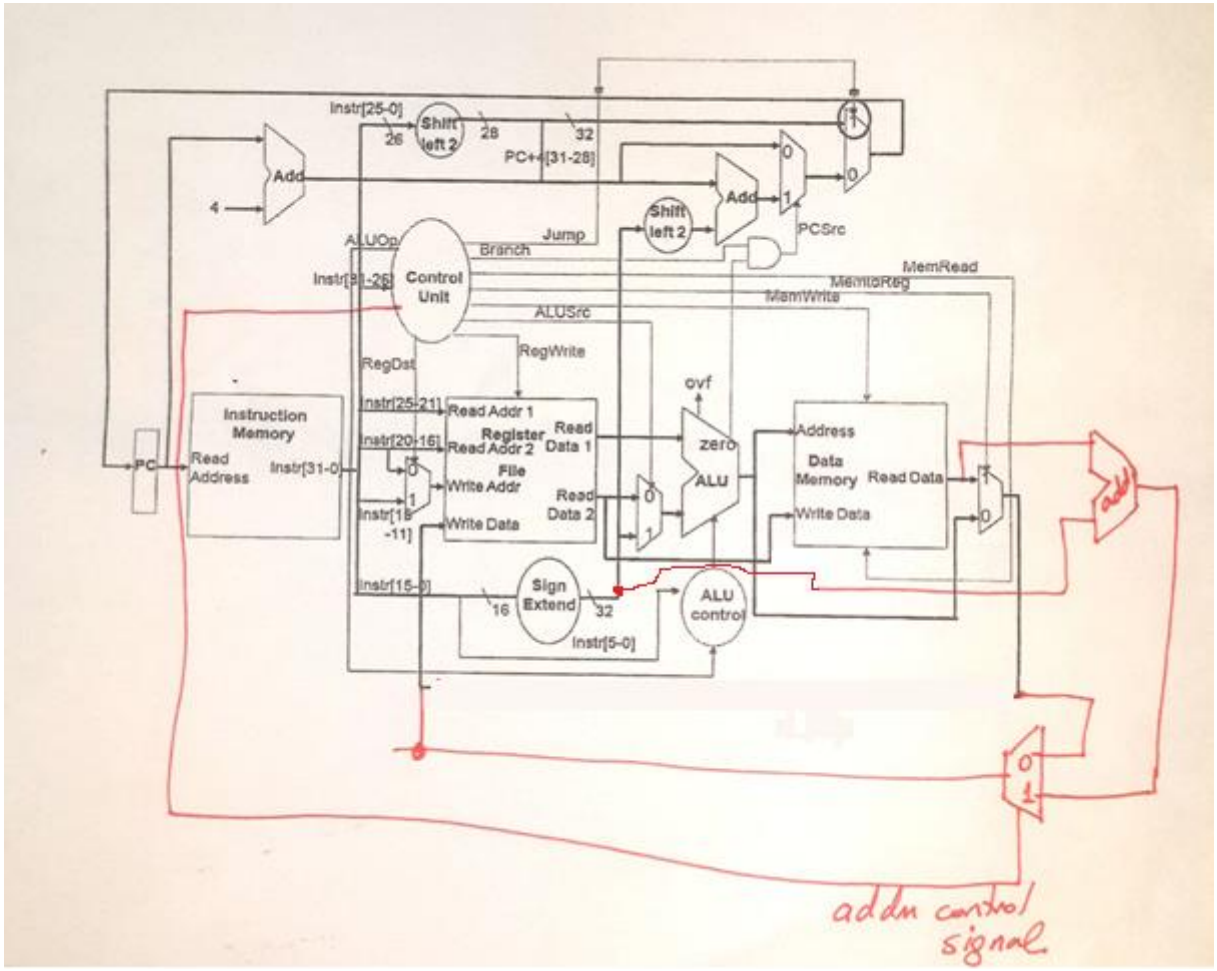
Hedef-Etkili iletişim

Transferi başlatan Hedef Unitesinin kaynağın datayı bus üzerine yerleştirip yerleştirmediği bilgisi yoktur.

Bu problemi çözmek için, <u>ELSIKIŞMA Metodu</u> kullanılır.

Transferi başlatan birime bir cevap sağlamak için 2. bir kontrol işareti gönderilir.

8) a)



b)

	IM	REG	ALU	DM	REGW	ilave ADD	Toplam
Add	200	40	70	-----	40		350
Addm	200	40	70	200	40	50	600

9) a)- SRT bölme algoritması seçme kuralı

$$q_i = \begin{cases} 1 & \text{if } 2r_{i-1} \geq 1/2 \\ 0 & \text{if } -1/2 \leq 2r_{i-1} < 1/2 \\ \bar{1} & \text{if } 2r_{i-1} < -1/2. \end{cases}$$

b)

$r_0 = X$		0	.0	0	1	1	1	1	1	1	
$2r_0$		0	.0	1	1	1	1	1	1	0	$< 1/2$ set $q_1 = 0$
$2r_1$		0	.1	1	1	1	1	1	0	0	$\geq 1/2$ set $q_2 = 1$
Add $-D$	+	1	.0	1	1	1					
r_2		0	.0	1	1	0	1	1	0	0	
$2r_2$		0	.1	1	0	1	1	0	0	0	$\geq 1/2$ set $q_3 = 1$
Add $-D$	+	1	.0	1	1	1					
r_3		0	.0	1	0	0	1	0	0	0	
$2r_3$		0	.1	0	0	1	0	0	0	0	$\geq 1/2$ set $q_4 = 1$
Add $-D$	+	1	.0	1	1	1					
r_4		0	.0	0	0	0	0	0	0	0	zero final remainder

Q =0.0111_2=7/16