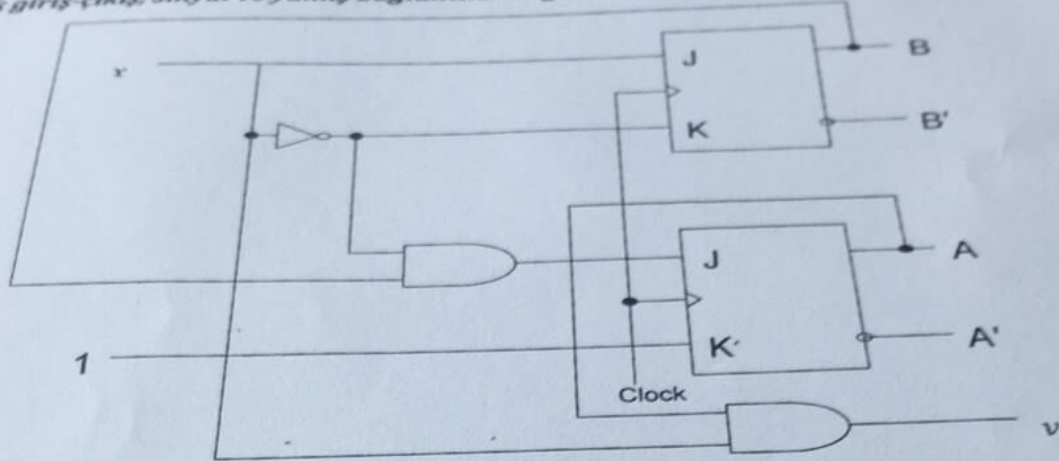


BİLGİSAYAR ORGANİZASYONU VE TASARIM LABORATUVARI
FINAL SINAVI
(SÜRE: 60 DK)

- 1) Aşağıda blok diyagramı verilen devrenin;
a) Genel devre giriş ve çıkışlarına göre entity (30p).
b) Yapısal mimari kullanarak architecture (40p).

kısımlarını VHDL dili kullanarak kodlayınız. Devrede componentlerin önceden tanımlı olduğu varsayılacaktır.

(Eksik giriş-çıkış, sinyal ve yanlış bağlantılar değerlendirmeye alınmayacaktır.)



- 2) Aşağıda VHDL kodu verilen devrenin RTL şemasını tüm bağlantıları gösterecek şekilde çizin (30p). Blok isimleri için aşağıda verilen component adlandırmalarını kullanınız. (Eksik hatalı bağlantılar değerlendirmeye alınmayacaktır.)

```

LIBRARY ieee;
USE ieee.std_logic_1164.all;
entity devre is
    port
    (
        x:in std_logic;
        Clock:in std_logic;
        z:out std_logic
    );
end devre;
architecture behavior of devre is
    component flipflop IS
        PORT
        (
            D: IN STD_LOGIC ;
            Q: OUT STD_LOGIC ;
            Qtumleyen: out std_logic;
            C: IN std_logic
        );
    END component;
    signal q1,q2,q1t,q2t,d1,d2:std_logic;
begin
    d1<=q2 or q1t;
    d2<=x and q2t;
    dff1:flipflop port map(d1,q1,q1t,Clock);
    dff2:flipflop port map(d2,q2,q2t,Clock);
    z<=q2t or q1 ;
end behavior;

```