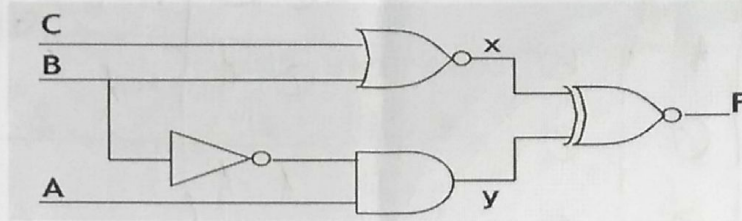


Bilgisayar Bilimleri ve Sayısal Sistemler Eğitimi için Yenilikçi Yöntemler

VERİ AKIŞI TASARIM

*tekl satır
 $F \leftarrow (B \text{ nor } C) \text{ xor } (\text{not}(B) \text{ and } A);$

1. Aşağıda verilen lojik devre tasarımını;



a) VHDL kullanarak gerçekleştiriniz.

b) Testbench dosyası oluşturunuz.

LIBRARY ieee;

USE ieee.std_logic_1164.ALL;

ENTITY tb_uyg1 IS

END tb_uyg1;

ARCHITECTURE behavior OF tb_uyg1 IS

COMPONENT uyg1

PORT(

a : IN std_logic;

b : IN std_logic;

c : IN std_logic;

f : OUT std_logic

);

END COMPONENT;

signal a : std_logic := '0';

signal b : std_logic := '0';

signal c : std_logic := '0';

signal f : std_logic;

BEGIN

uut: uyg1PORT MAP (

a => a, b => b, c => c, f => f);

stim_proc: process

begin

wait for 100 ns;

A <= '0'; B <= '0'; C <= '0'; wait for 20 ns;

A <= '0'; B <= '0'; C <= '1'; wait for 20 ns;

A <= '0'; B <= '1'; C <= '0'; wait for 20 ns;

A <= '0'; B <= '1'; C <= '1'; wait for 20 ns;

A <= '1'; B <= '0'; C <= '0'; wait for 20 ns;

A <= '1'; B <= '0'; C <= '1'; wait for 20 ns;

A <= '1'; B <= '1'; C <= '0'; wait for 20 ns;

A <= '1'; B <= '1'; C <= '1'; wait for 20 ns;

A <= '0'; B <= '0'; C <= '0';

wait;

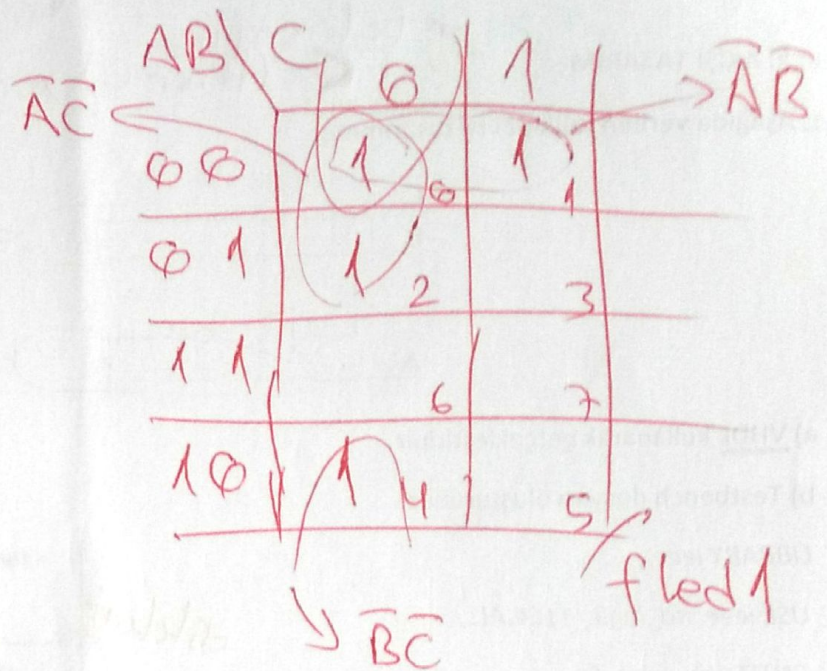
end process;

END;

c) Tasarımı board üzerinde aşağıda verilen giriş/çıkışlara bağlı kalarak gerçekleştiriniz.

2 → Bu 3 switchten en fazla 1 tane On sein

	A	B	C	f1	f0
0	0	0	0	1	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	0
4	1	0	0	1	0
5	1	0	1	0	0
6	1	1	0	0	0
7	1	1	1	0	1



$$* f1 = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C}$$

$$* f0 = ABC$$

Led1 \Leftarrow (not sw2 and not sw1) or (not sw2 and not sw0) or...

etiket

↓
UJT: ikim port map(

sw2 \Rightarrow sw2,

sw1 \Rightarrow sw1,

sw0 \Rightarrow sw0,

led1 \Rightarrow led1,

led0 \Rightarrow led0);

* Test bench creation diye arat "DOLLOS"



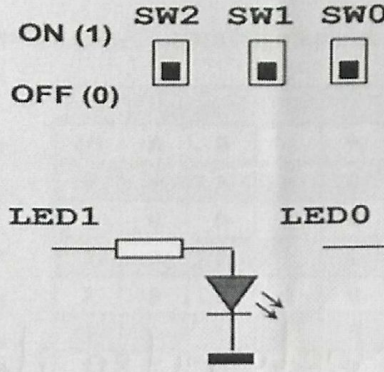
Bilgisayar Bilimleri ve Sayısal Sistemler Eğitimi için Yenilikçi Yöntemler

2. 3 adet switch bulunmaktadır. Bu 3 switchten yalnızca bir tanesi ON durumuna geldiğinde Led1 aktif olması istenmektedir. Yine bu 3 switchin tümü ON durumuna geçtiğinde Led0 in aktif hale gelmesi istenmektedir.

Handwritten Karnaugh map for LED1:

AB \ C	0	1
00	0	1
01	1	0
11	0	0
10	1	0

Handwritten expressions for LED1: $\bar{A}\bar{B}C$, $A\bar{B}\bar{C}$, $\bar{A}B\bar{C}$



Handwritten truth table for LED1 and LED0:

Dec	A	B	C	LED1	LED0
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	0
4	1	0	0	1	0
5	1	0	1	0	0
6	1	1	0	0	0
7	1	1	1	0	1

a) Gerekli tasarımı VHDL kullanarak gerçekleştiriniz.

b) Testbench dosyası oluşturunuz.

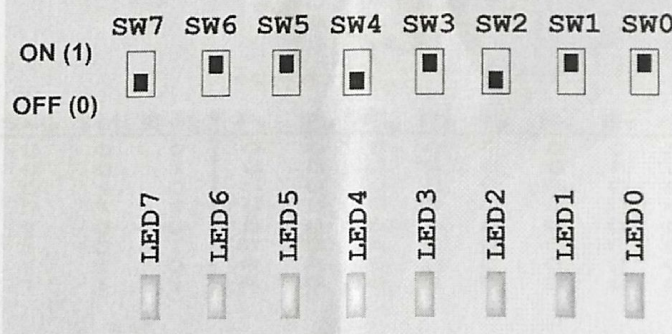
c) Tasarımı board üzerinde aşağıda verilen giriş/çıkışlara bağlı olarak gerçekleştiriniz.

~~Handwritten note: $LED1 = (\text{not } SW2) \text{ and } (\text{not } SW1) \text{ or } (\text{not } SW2) \text{ and } (\text{not } SW0) \text{ or } \dots$~~

3. Bir güvenlik sisteminde 8 adet switch ve 8 adet lamba bulunmaktadır.

Switchlerin konumu şu şekildedir : 01101011

Eğer sisteme doğru giriş yapılırsa tüm ledlerin aktif olması sağlanacaktır. Aksi halde hiçbir led aktif olmayacaktır.



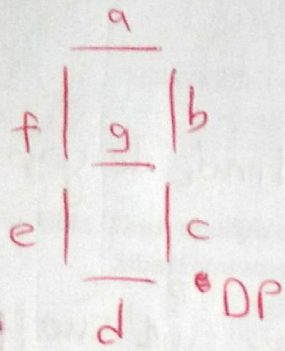
a) Gerekli tasarımı VHDL kullanarak gerçekleştiriniz.

b) Testbench dosyası oluşturunuz.

c) Tasarımı board üzerinde aşağıda verilen giriş/çıkışlara bağlı olarak gerçekleştiriniz.



* 7 segment örneği

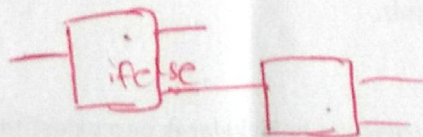


DA DB DC DD DE DF DG DP

* Counter için sabit clock pulse ile yaparız
 # Clock signal kısmı kullanılır, switch kullanılır

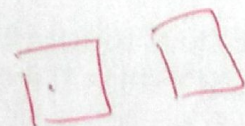
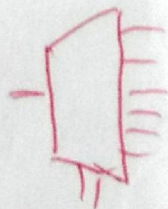
y

switch
 case 1.



-break-

case 2
 break



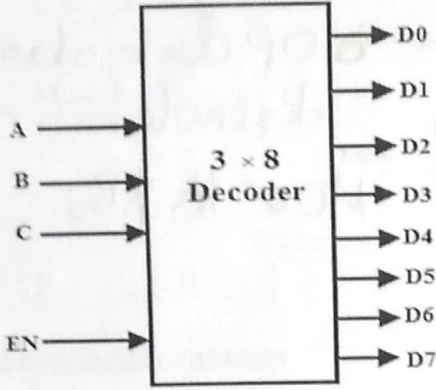


4. with-select yapısını kullanarak doğruluk tablosu verilen Enable girişi ile aktif hale gelen 3x8 Decoder tasarımı;

a) VHDL kullanarak gerçekleştiriniz.

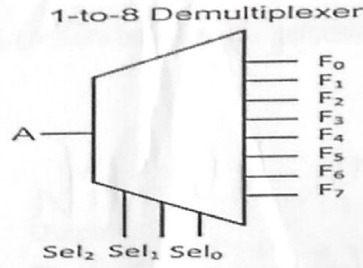
b) Testbench dosyası oluşturunuz.

c) Tasarımı board üzerinde aşağıda verilen giriş/çıkışlara bağlı kalarak gerçekleştiriniz.



Inputs				Outputs							
EN	A	B	C	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
0	x	x	x	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0
1	1	1	0	0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0	0	0	0

5. with-select yapısını kullanarak doğruluk tablosu verilen 1X8 demux tasarımı;



Sel ₂	Sel ₁	Sel ₀	F ₇	F ₆	F ₅	F ₄	F ₃	F ₂	F ₁	F ₀
0	0	0	0	0	0	0	0	0	0	A
0	0	1	0	0	0	0	0	0	A	0
0	1	0	0	0	0	0	A	0	0	0
0	1	1	0	0	0	A	0	0	0	0
1	0	0	0	0	A	0	0	0	0	0
1	0	1	0	A	0	0	0	0	0	0
1	1	0	0	A	0	0	0	0	0	0
1	1	1	A	0	0	0	0	0	0	0

a) VHDL kullanarak gerçekleştiriniz.

b) Testbench dosyası oluşturunuz.

c) Tasarımı board üzerinde aşağıda verilen giriş/çıkışlara bağlı kalarak gerçekleştiriniz.

