

Prova Individual;

Duração: 25/10/2021 - 00:01 até 25/10/2021 - 23:59

A entrega da resposta de todas as questões deve ser feita em um único arquivo. Verifique se o upload do seu arquivo funcionou. Entregue em txt, word ou pdf. Serão atribuídos às questões da prova, um total de 100 pontos que correspondem a 45% do conceito final.

1) Qual o conjunto de sinais de controle deveriam ser gerados pelo subsistema de controle para que a instrução LW fosse executada? (10 pontos)

aluOp(3) = 000

aluSrc(1) = 1

regDest(2) = 01

Branch(1) = 0

Jump(2) = 00

RegWr(1) = 1

memRd(1) = 1

memWr(1) = 0

mem2Reg(3) = 001

2) Durante o semestre, estudamos três tipos de organização para a arquitetura MIPS. Monociclo, Multiciclo e Pipelining. Explique com suas palavras quais tipos de ociosidades são resolvidos por cada tipo de organização. (10 pontos)

Na organização Monociclo cada instrução leva 160 unidades de tempo. Portanto, o processador fica um tempo ocioso para todas as instruções, exceto a lw que utiliza todo o tempo. Já na Multiciclo cada instrução executa apenas os subsistemas necessários. Por fim, a organização Pipeline busca utilizar todos os sistemas no mesmo ciclo de clock (necessariamente em instruções distintas).

3) Apresente o diagrama de alocação de subsistemas para o programa abaixo. Faça o diagrama para as três organizações estudadas. (50 pontos)

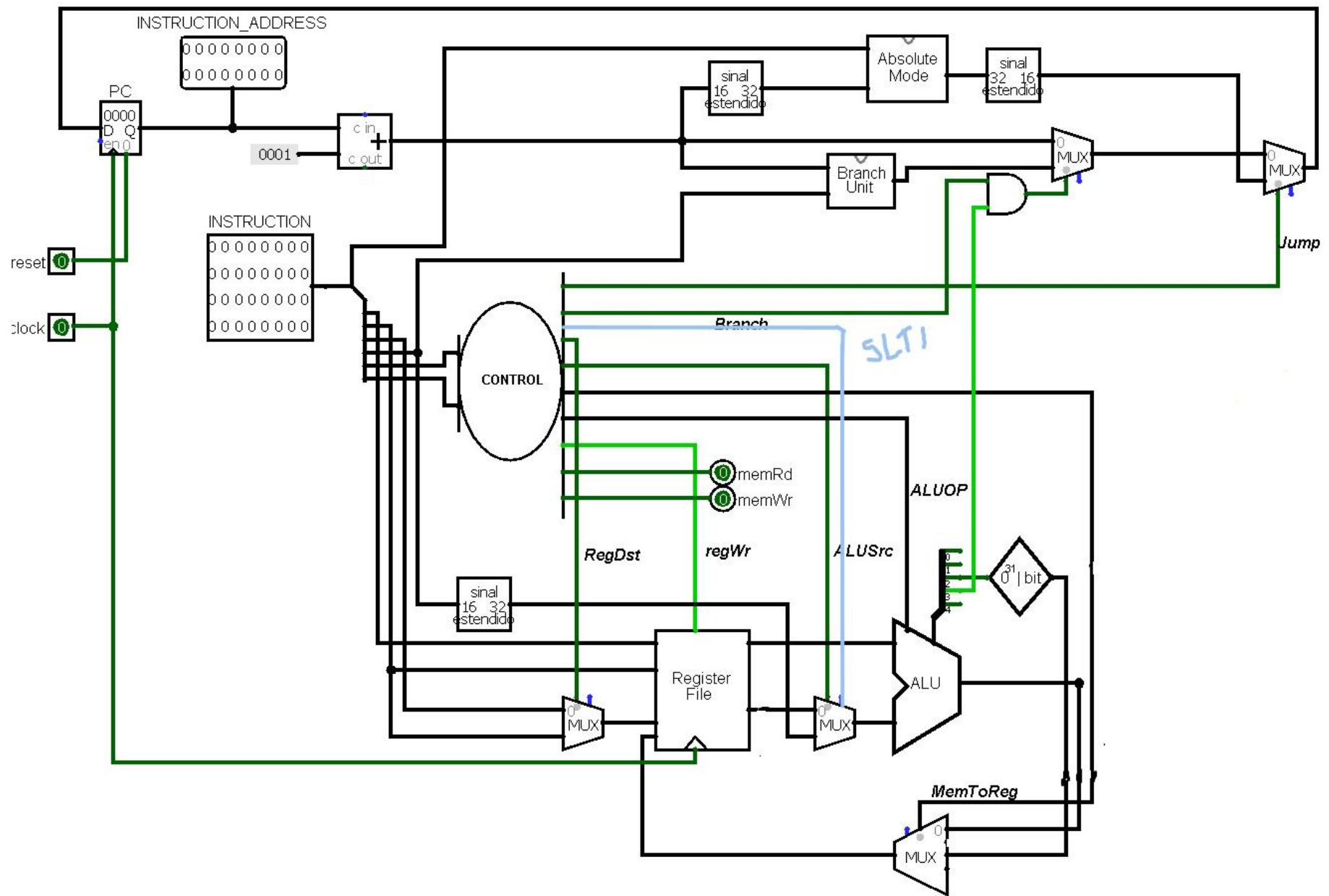
```
la    $t7, pt
sw    $v0, 0($t7)
add   $s2, $zero, $v0
add   $s3, $zero, $zero
FOR1: slt    $t7, $s3, $s0
      beq    $t7, $zero, SAI1
      sw    $v0, 0($s2)
      addi  $s2, $s2, 4
      addi  $s3, $s3, 1
      j     FOR1
SAI1: srl    $s4, $s0, 1
```

4) Memórias cache são uma das principais razões pelo desempenho atual de computadores. Explique porque caches tendem a causarem muito mais cache hits do que cache misses. (10 pontos)

O princípio da localidade temporal e espacial determina que quando um dado é acessado na memória há uma tendência de que ele seja acessado novamente em um curto espaço de tempo e que os próximos a ele também sejam. Portanto, quando há um cache miss de uma instrução, por exemplo, transfere-se, além dela, todo o bloco subsequente a ela para a memória cache, levando a consecutivos caches hits.

5) A partir do processador MIPS MONO v.5.5, proponha alterações para que o sistema de suporte a instrução slti. (20 pontos)

[illegible]



Adicionamos o sinal slti
para indicar quando a
constante deve ser usada