

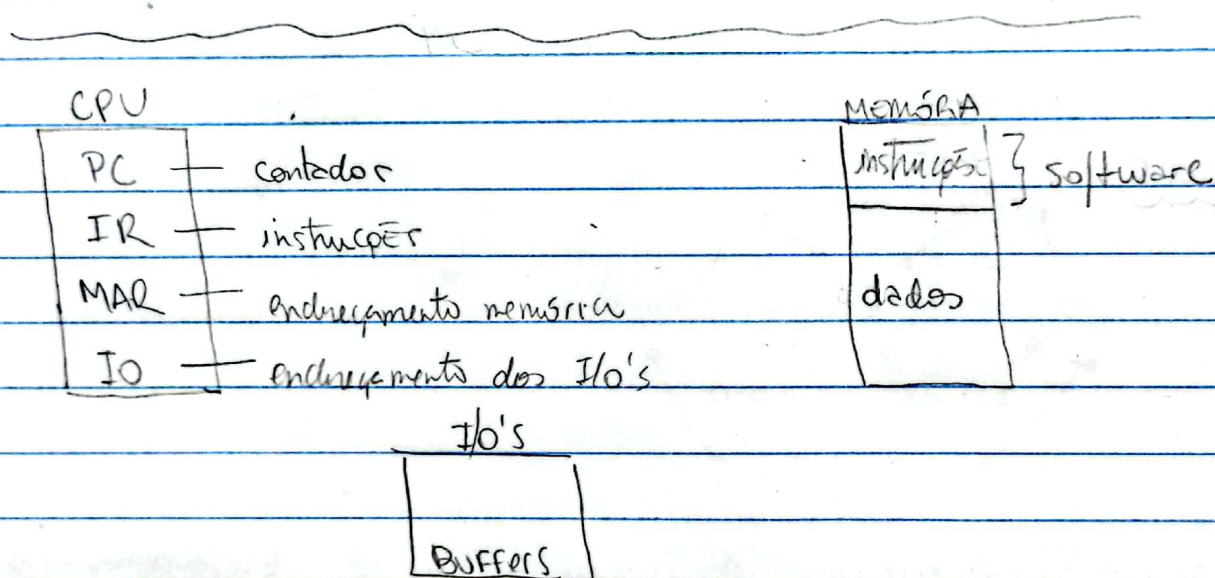
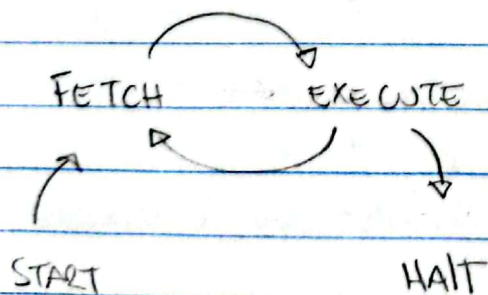
ORGANIZAÇÃO DE COMPUTADORESUNIDADES BÁSICAS

UNIDADE DE CONTROLE: Código = \rightarrow [CPL] \Rightarrow EXECUTA INSTRUÇÕES

UNIDADE LÓGICA E ARITMÉTICA (ULA): EXECUTA AS OPERAÇÕES

DADOS: FORNECIDOS (I) e RETORNADOS (O) por dispositivos de I/O
 \rightarrow teclado, vídeo...

MEMÓRIA: (RAM).

Ciclos de instrução

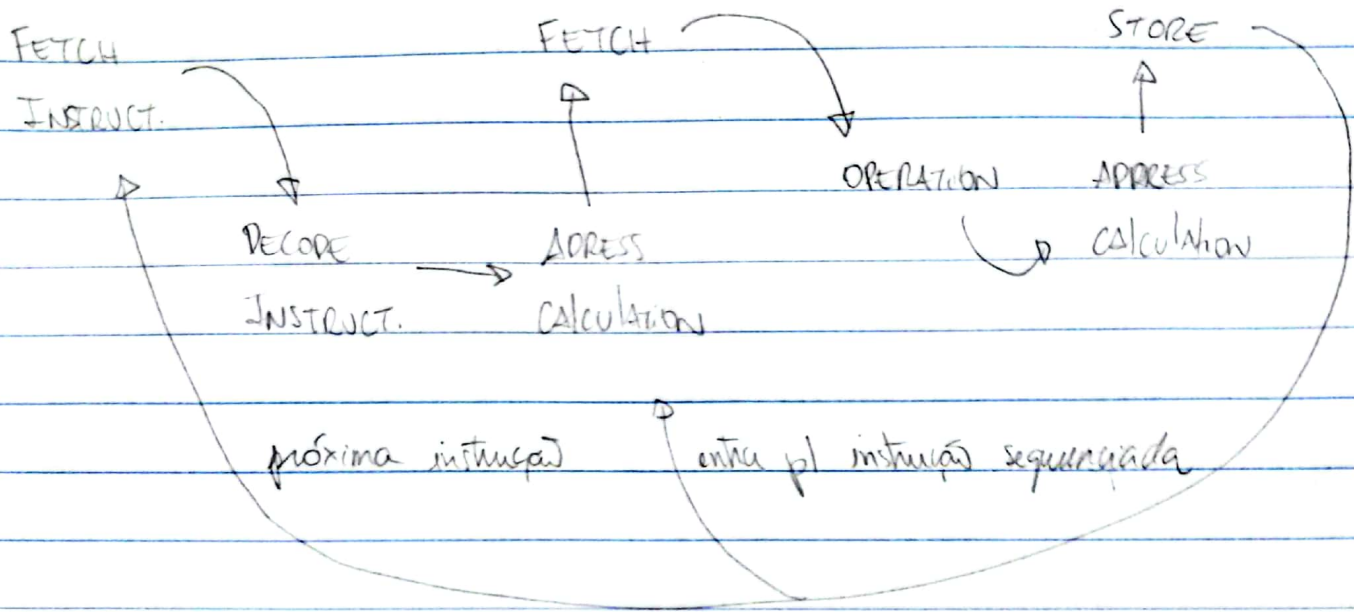
PROCESSADOR \leftrightarrow MEMÓRIA

PROCESSADOR \leftrightarrow I/O's

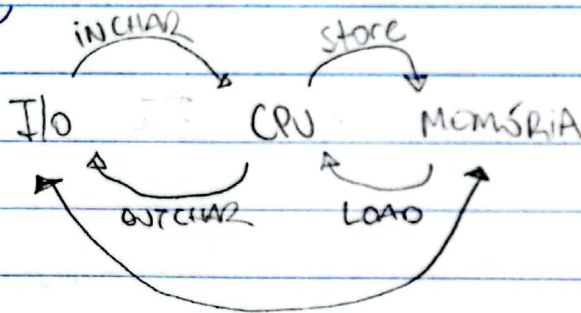
PROCESSADOR \rightarrow } processamento de dados

Controle } especifica os procedimentos

ciclo completo



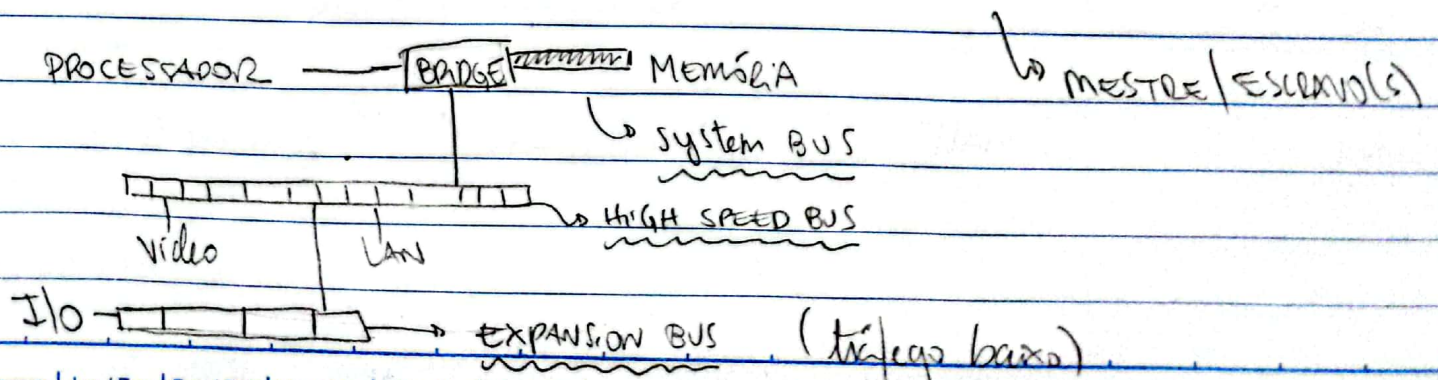
BARRAMENTOS



PARA REDUZIR A QUANTIDADE DE CONEXÕES USA-SE: BARRAMENTO COMUM

BARRAMENTO COMUM

HIERARQUIA: UNIDADES TEM PRIORIDADE UMA SOBRE AS OUTRAS



TIPOS DE PARÂMETROS

DADOS: dados ou instruções (operando)

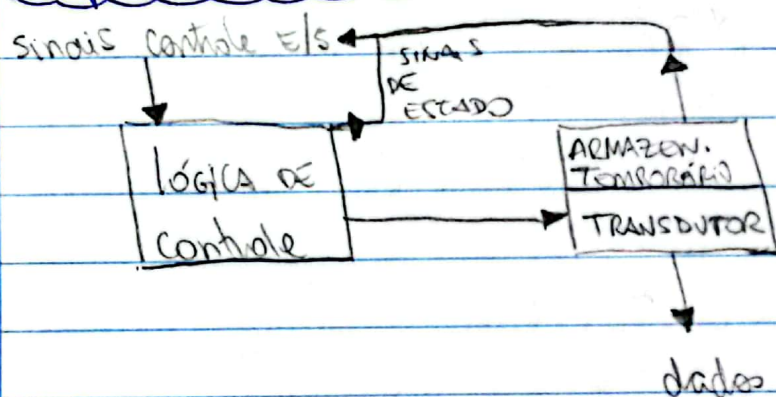
ENDEREÇO: endereça cada componente

CONTROLE: transmite os comandos (r/w; transferência; interrupção)

dedicados \Rightarrow transferência de dados / endereços

multiplexados \Rightarrow transferência de dados / endereços / controle

Dispositivos Externos



ENDEREÇAMENTO

MAPEADO NA MEMÓRIA x INDEPENDENTE

REGISTRADORES DE DADOS E DE ESTADOS SÃO INTERPRETADOS

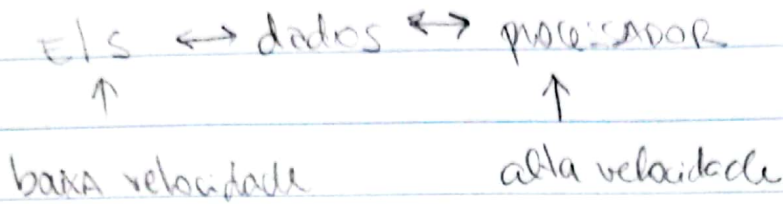
COMO POSIÇÕES NA MEMÓRIA

INDEPENDENTE \rightarrow PRECISA DE UM CONTROLE PARA INDICAR A DIREÇÃO: MEMÓRIA OU DISPOSITIVOS, MAS NÃO DESPERDIÇA A MEMÓRIA.

OPERAÇÕES DE E/S

PROGRAMA / INTERRUPTOS / ACESSO À MEMÓRIA

◦ PROGRAMA



Devido a diferença de velocidade, o processador fica esperando os sinais do E/S.

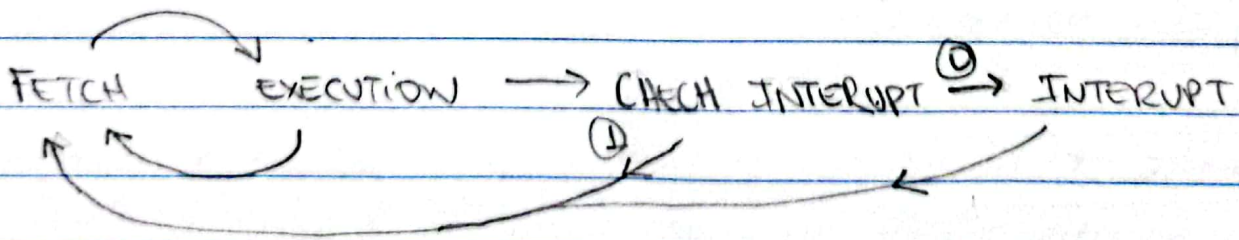
Caso o processador for atender apenas este E/S, não há problema. Se houver vários outros programas, o processador fica muito tempo esperando o dado do E/S ficar pronto.

◦ Interrupções

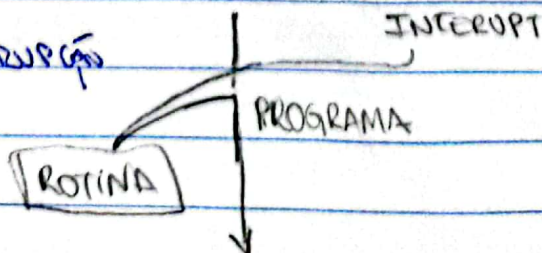
quatro fontes: software, clock, E/S, falha

outras instruções op. regulares controladores problemas de hardware
(energia, memória)

⇒ TAREFAS DE MAIOR PRIORIDADE

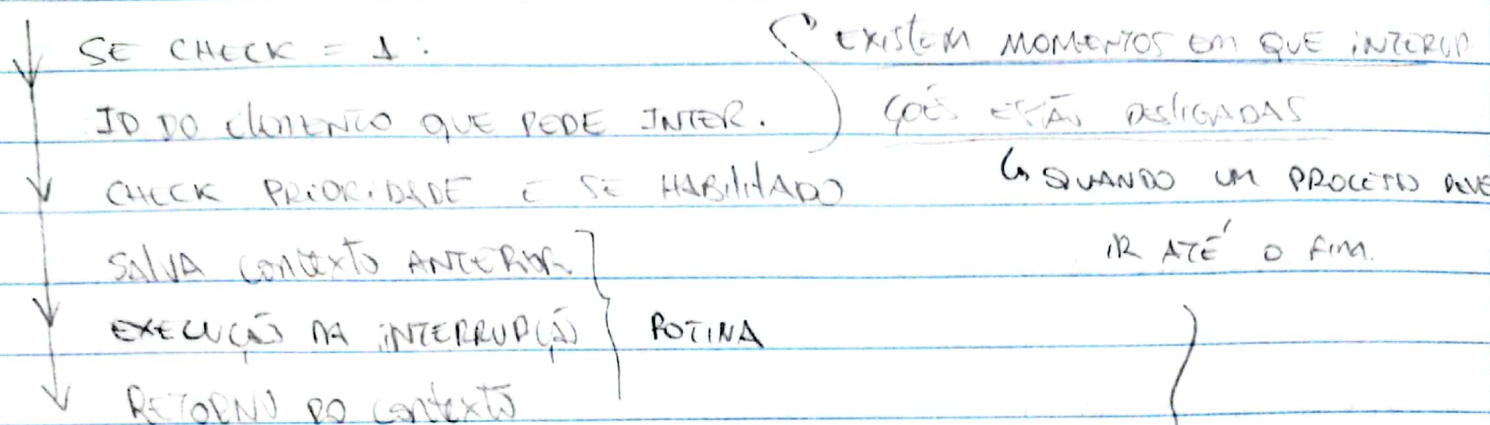


ROTINA DE INTERRUPTOS

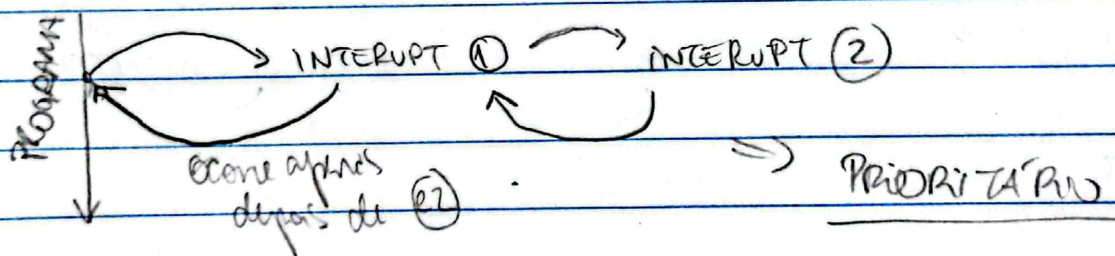
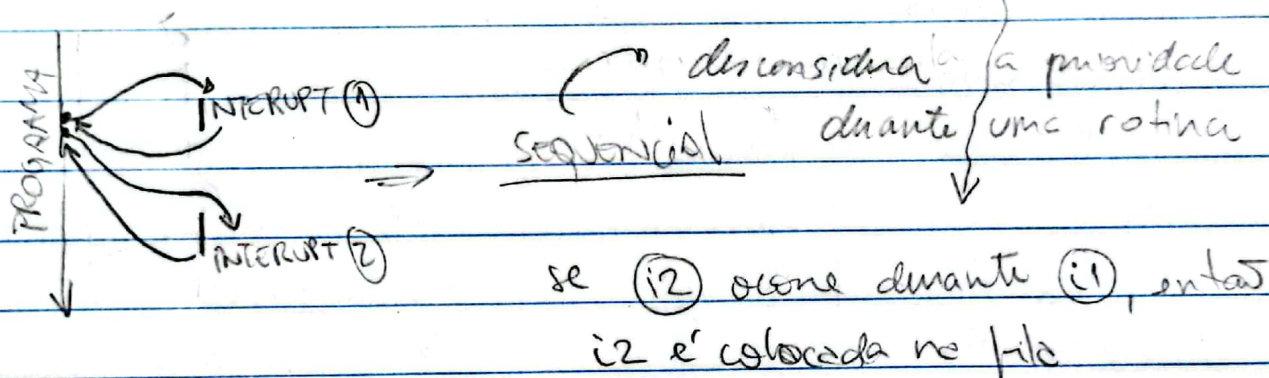


ROTINA: PROGRAMA DE
INTERRUPÇÃO
+ ARMAZENAMENTO
E RESTAURAÇÃO DOS DADOS

Quando ocorre a interrupção:



TRATAMENTO DE MÚLTIPLAS interrupções



o Acesso direto à memória (DMA)

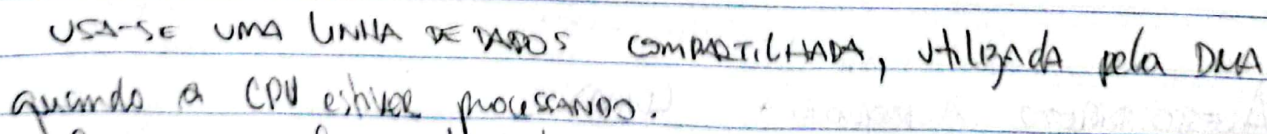
TROCA DE DADOS ENQUANTO O PROCESSADOR ESTÁ DISPONÍVEL

Sobrecarga o processador mas consegue um velocidade muito alta.

PROCESSADOR SEMPRE SENDO UTILIZADO AO MÁXIMO MAS LIBERADO PARA OUTRAS TAREFAS.

↳ ganho de desempenho \Rightarrow libera a CPU.

2º substituir a CPU nas operações E/S.



↳ Caso a DMA for muito lenta, pode ocorrer perda no processamento se a CPU não intervir, mas caso ela interrompa, ocorre lentidão na troca de dados.

MEMÓRIA E CACHE

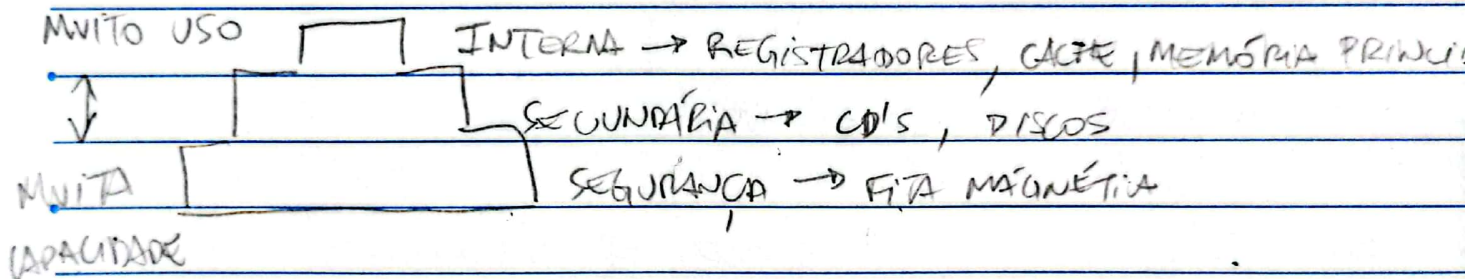
Memórias

↳ diferentes tipos e organizações

→ PRINCIPAL → MENOR E RÁPIDA → endereçados pelo processador

→ SECUNDÁRIA → GRANDE E LENTA

HIERARQUIA DE MEMÓRIA



DESEMPENHO

TEMPO DE ACESSO → LEITURA / ESCRITA

TEMPO DE CICLO → GAP ENTRE ACESSOS

TRANSFERÊNCIA → ENTRADA / SAÍDA DA MEMÓRIA

TIPOS

PROM - READ ONLY

PPROM - PROGRAMMABLE READ ONLY

EPROM - ERASABLE PROGRAMMABLE READ ONLY

EEPROM - ELECTRONIC ERASABLE PROGRAMMABLE READ ONLY

CACHE → 20% da área do processador
↳ muito rápidas

→ ESTÁ JUNTO AO PROCESSADOR, COM VELOCIDADE DE READ/WRITE MUITO RÁPIDAS.

MEMÓRIA $\xrightarrow{\text{DADO}}$ CACHE $\xrightarrow{\text{DADO}}$ PROCESSADOR

⇒ CACHE HIT: EVENTO EM QUE O DADO JÁ ESTÁ NA CACHE E NÃO NA MEMÓRIA → VELOCIDADE ALTÍSSIMA.

OBJETIVO → AUMENTAR CACHE - HIT

↓
AUMENTAR

O TAMANHO

↓
MÉTODOS DE Mapeamento

↓
DIRETO

↓
ASSOCIATIVO

MAPEAMENTO DIRETO

↳ CADA LOCAL É RESERVADO DENTRO DA CACHE PARA UM DADO ESPECÍFICO.

↳ ENTUPIMENTO INSTANTÂNEO / perda de espaço

MAPEAMENTO ASSOCIATIVO

↳ SEMPRE QUE CHEGA UM DADO NO CACHE, RETIRA-SE OUTRO DADO PARA A INSERÇÃO DESSE.

↳ PERMITE ALOCAR GRANDES BLOCOS / perda no tempo de buscar o dado.

NO POLÍTICA DE substituição dos dados no cache

↳ FIFO ou LRU (LEAST-RECENTLY USED)

