



ISMIN
Application Specific Integrated Circuits

TP 2 ASIC - Inverseur CMOS

Auteurs :
Murilo MULLER
et
Thomas PICHOT

Professeur :
Jean-Baptiste RIGAUD

21 Septembre 2025

Table des matières

1	Introduction	2
2	Description	2
3	Développement	2
3.1	Principe de fonctionnement	2
3.2	Schématique sous Virtuoso	3
3.3	Analyse de symétrie	4
3.4	Dimensionnement	6
3.5	Layout	8
4	Conclusion	10

Table des figures

1	Schéma de la cellule NOT.	3
2	Schéma de la cellule NOT sous Virtuoso.	3
3	Fonction de transfert de la cellule NOT.	4
4	Dérivée de la fonction de transfert de la cellule NOT.	4
5	Temps de propagation de la cellule.	5
6	Résultat de la simulation transitoire.	5
7	Temps de propagation en fonction de Wp	6
8	Temps de propagation en fonction de Wn	7
9	Layout de la cellule NOT.	8
10	Dimensions du layout de la cellule NOT.	9
11	Vérifications	10

1 Introduction

Dans ce travail pratique d'ASIC, nous abordons l'optimisation et le layout d'une cellule logique CMOS.

L'objectif principal est, en plus de perfectionner l'utilisation de l'outil de simulation électrique *Virtuoso ADE*, la familiarisation avec l'outil de développement de layout, en introduisant les étapes nécessaires à la réalisation d'un layout respectant les règles de dessin (DRC).

Pour cela, une porte inverseuse (NOT) sera conçue, en partant des étapes de simulation et de dimensionnement jusqu'au layout.

2 Description

La cellule étudiée correspond à une porte logique inverseuse (NOT), composée d'un transistor NMOS et d'un transistor PMOS de la technologie AMS 0.35 μm (bibliothèque *PRIMLIB*).

Les exigences suivantes ont été établies pour la cellule :

- un comportement équilibré entre les temps de montée et de descente pour une charge de 0,1 pF ;
- un retard total maximal de 1,25 ns (somme des retards de montée et de descente) ;
- un layout compact et conforme aux règles DRC ;

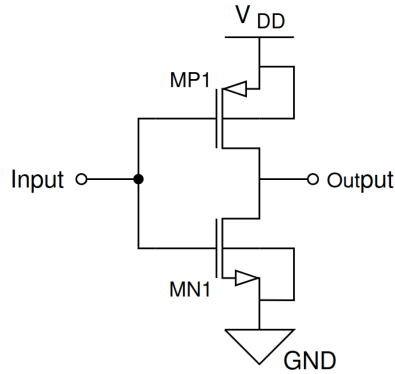
3 Développement

3.1 Principe de fonctionnement

La porte logique NOT est la cellule CMOS la plus simple, servant de base à la construction de portes logiques plus complexes. Elle est composée de deux transistors complémentaires, un PMOS dont le *Drain* est connecté au nœud de sortie et le *Source* à l'alimentation (V_{DD}), et un NMOS dont le *Drain* est connecté au même nœud de sortie et le *Source* à la masse (GND).

L'entrée du circuit est reliée aux *Gate* des deux transistors, de manière à ce qu'ils soient commandés simultanément. De plus, le terminal de *Bulk* de chaque transistor est connecté à son propre terminal *Source*. La Figure 1 présente le schéma de la cellule NOT :

FIGURE 1 – Schéma de la cellule NOT.



Source : Les auteurs.

Le fonctionnement de l'inverseur peut être décrit en termes de réseau *pull-up* et de réseau *pull-down* :

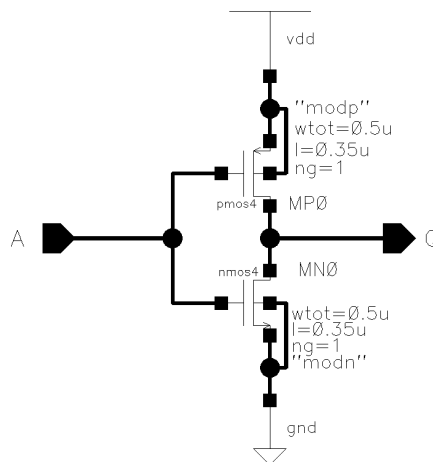
- **Pull-up (PMOS)** : lorsque l'entrée est à un niveau logique bas (0), le transistor PMOS conduit et relie la sortie au V_{DD} (0).
- **Pull-down (NMOS)** : lorsque l'entrée est à un niveau logique haut (1), le transistor NMOS conduit et relie la sortie au GND (1).

Grâce à cette complémentarité, l'inverseur CMOS garantit des niveaux logiques corrects aussi bien pour 0 que pour 1, tout en réduisant considérablement le courant statique, puisqu'il n'existe idéalement jamais de chemin direct entre V_{DD} et GND .

3.2 Schématique sous Virtuoso

La Figure 2 montre le circuit implémenté dans Virtuoso :

FIGURE 2 – Schéma de la cellule NOT sous Virtuoso.



Source : Les auteurs.

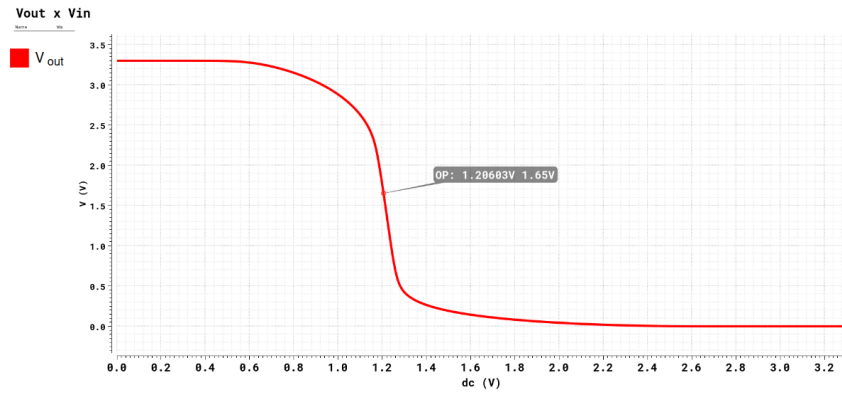
On a choisi la nomenclature A pour l'entrée et Q pour la sortie, de la même manière que dans les cellules standard de la bibliothèque **CORELIB**.

3.3 Analyse de symétrie

Initialement, les transistors PMOS et NMOS ont été dimensionnés de manière identique ($L = 0.35\mu m$ et $W = 0.5\mu m$). Afin de vérifier la symétrie de la cellule et d'atteindre les objectifs fixés, plusieurs simulations ont été réalisées.

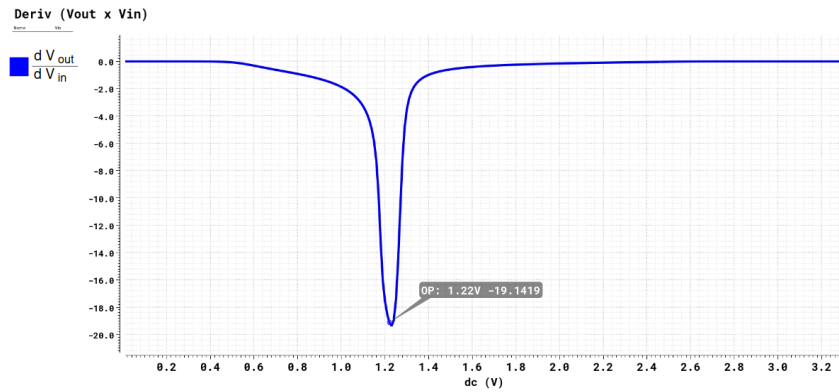
Nous avons commencé par une simulation DC, en faisant varier la tension d'entrée de la cellule de $0V$ à $3.3V$, avec une capacité de charge de $0.1pF$. Cela nous a permis d'obtenir la fonction de transfert de la cellule et d'observer que le point de croisement n'est pas situé à $\frac{V_{DD}}{2}$, ce qui indique un déséquilibre dans la cellule. La dérivée de la fonction de transfert permet de mieux visualiser le point de croisement, puisque le minimum global de cette dérivée correspond à la pente maximale, donc au point de basculement. Les résultats sont présentés dans les Figures 3 et 4.

FIGURE 3 – Fonction de transfert de la cellule NOT.



Source : Les auteurs.

FIGURE 4 – Dérivée de la fonction de transfert de la cellule NOT.

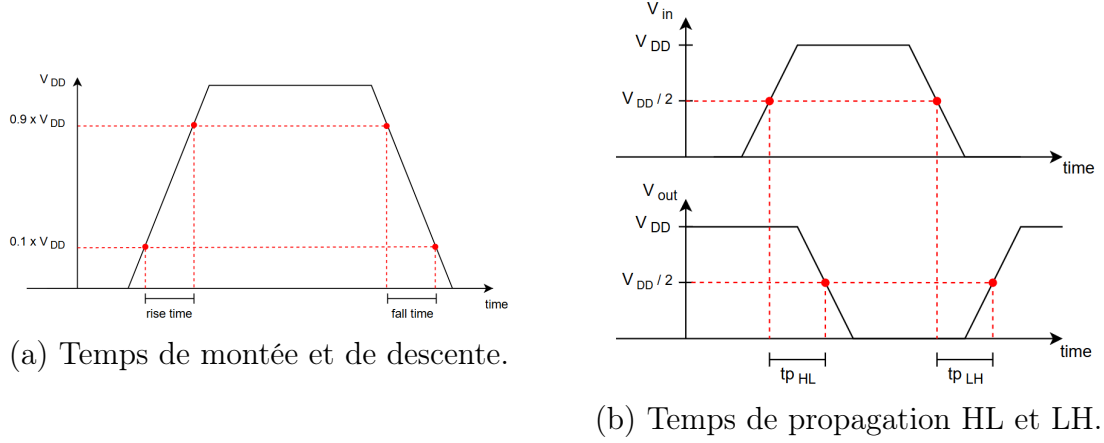


Source : Les auteurs.

Le point de croisement se produit lorsque $V_A = 1.2V$.

Ensuite, une simulation transitoire a été réalisée afin d'obtenir les temps de propagation ainsi que les temps de montée et de descente de la cellule. Les figures ci-dessous illustrent la méthode de calcul des différents temps de propagation.

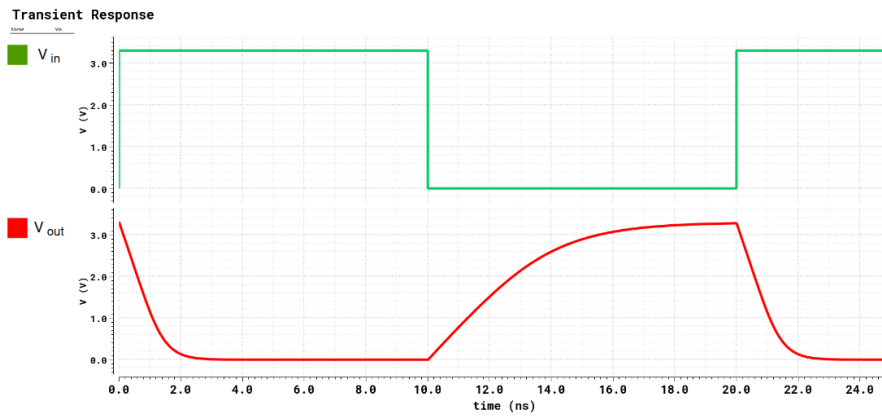
FIGURE 5 – Temps de propagation de la cellule.



Source : Les auteurs.

Un nouveau banc de test a été implémenté dans Virtuoso, cette fois avec une source **vpulse** de fréquence 50 MHz . À l'aide de la fonction **cross** du calculateur, les temps de propagation ont été obtenus, et les fonctions **rise time** et **fall time** ont permis de déterminer les temps de montée et de descente. La Figure 6 présente la simulation transitoire et la Table 2 résume les résultats obtenus.

FIGURE 6 – Résultat de la simulation transitoire.



Source : Les auteurs.

TABLE 1 – Résultats de la simulation transitoire.

Paramètre	Valeur
<i>rise time</i>	4.942 ns
<i>fall time</i>	1.468 ns
tp_{HL}	2.204 ns
tp_{LH}	0.747 ns
$tp_{HL} + tp_{LH}$	2.952 ns

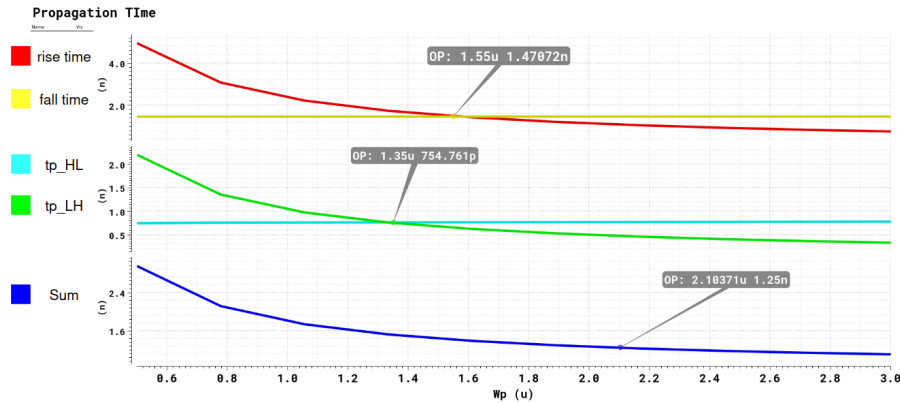
On peut remarquer un déséquilibre dans la cellule, elle possède une plus grande capacité à décharger le condensateur de charge qu'à le charger. Cela est dû au fait que le transistor PMOS a une capacité de courant plus faible, en raison de la mobilité des trous (μ_p) inférieure à celle des électrons (μ_n).

3.4 Dimensionnement

Afin d'équilibrer la cellule, nous avons augmenté le W du transistor PMOS, permettant ainsi une plus grande capacité de courant pour la charge.

Une simulation paramétrique du W du PMOS a été réalisée, en fixant le W du NMOS à 500 nm. Les résultats sont présentés ci-dessous :

FIGURE 7 – Temps de propagation en fonction de Wp .



Source : Les auteurs.

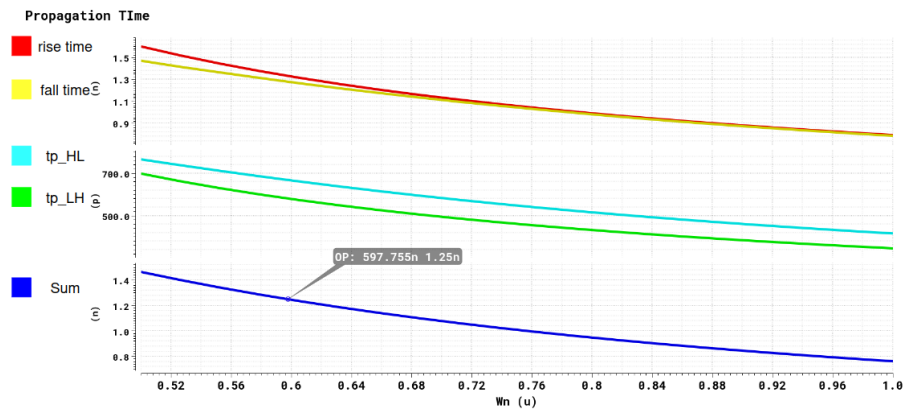
Pour satisfaire nos exigences, différents résultats de Wp ont été obtenus. Pour des temps de montée et de descente égaux, Wp doit être de 1.55 μm ; pour des temps de propagation égaux, Wp doit être de 1.35 μm ; et pour que la somme des temps de propagation soit au maximum de 1.25 ns, Wp doit être de 2.1 μm .

Le rapport entre Wp et Wn qui fournit des temps de propagation égaux est de 2.7, et celui qui équilibre les temps de montée et de descente est de 3.1. Nous avons donc considéré un rapport moyen de $Wp/Wn = 2.9$.

Avec le Wn minimal, il n'est pas possible d'atteindre le temps total maximal de 1.25 ns . Nous avons donc choisi d'augmenter le W des deux transistors, tout en respectant le rapport défini.

Nous avons défini $Wp = 2.9 \cdot Wn$ et réalisé une simulation paramétrique en faisant varier la valeur de Wn .

FIGURE 8 – Temps de propagation en fonction de Wn .



Source : Les auteurs.

Nous avons obtenu un Wn d'environ 600 nm , et donc un Wp de $1.75 \mu\text{m}$. Avec ce dimensionnement, nous avons obtenu les paramètres suivants :

TABLE 2 – Résultats.

Paramètre	Valeur
<i>rise time</i>	1.327 ns
<i>fall time</i>	1.175 ns
tp_{HL}	578.9 ps
tp_{LH}	666.5 ps
$tp_{HL} + tp_{LH}$	1.245 ns
Point de basculement	$1.62V$

Après le dimensionnement, le Code 1 présente le SPICE simplifié de notre cellule. On peut y visualiser les variables globales $vdd!$ et $gnd!$, les dimensions de chaque transistor et leurs connexions aux broches. Le SPICE original contient davantage d'informations, telles que les bibliothèques incluses et les paramètres du simulateur.

Code 1 – SPICE de la cellule NOT

```

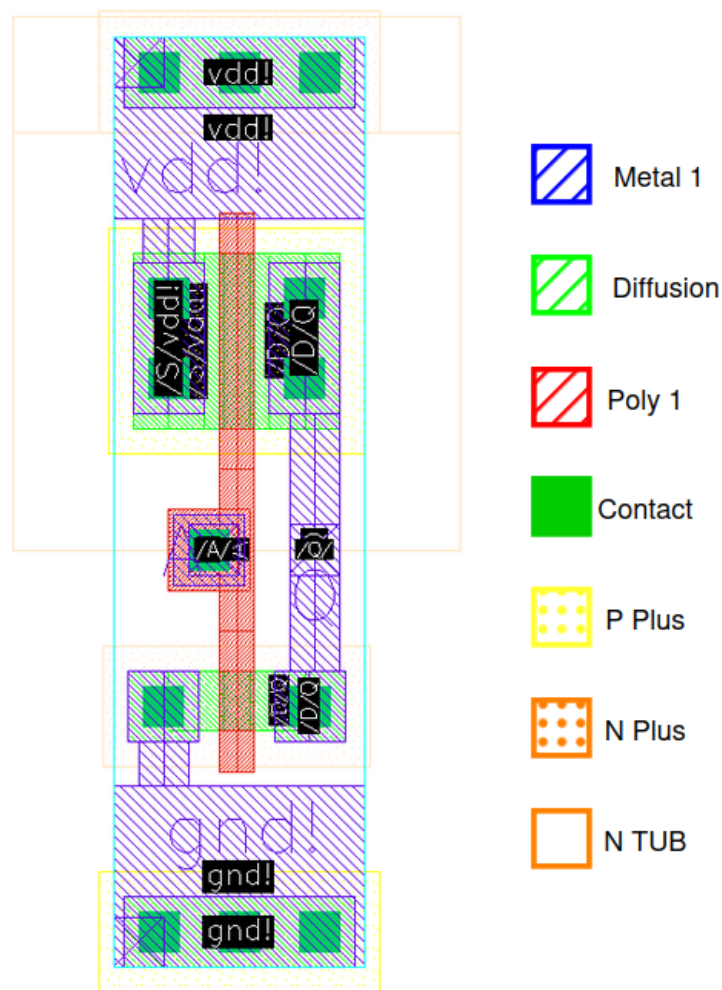
1 simulator lang=spectre
2 global 0 vdd!
3 // Library name: TP2
4 // Cell name: inv
5 // View name: schematic
6 MN0 (Q A 0 0) modn w=0.6u l=0.35u as=5.1e-13 ad=5.1e-13
7 ps=2.3u pd=2.3u nrd=0.8333333 nrs=0.8333333 ng=1
8 MP0 (Q A vdd! vdd!) modp w=1.75u l=0.35u as=1.4875e-12
9 ad=1.4875e-12 ps=3.45u pd=3.45u nrd=0.2857143
10 nrs=0.2857143 ng=1

```

3.5 Layout

Enfin, nous avons réalisé la construction du layout de la cellule, visible à la Figure 9.

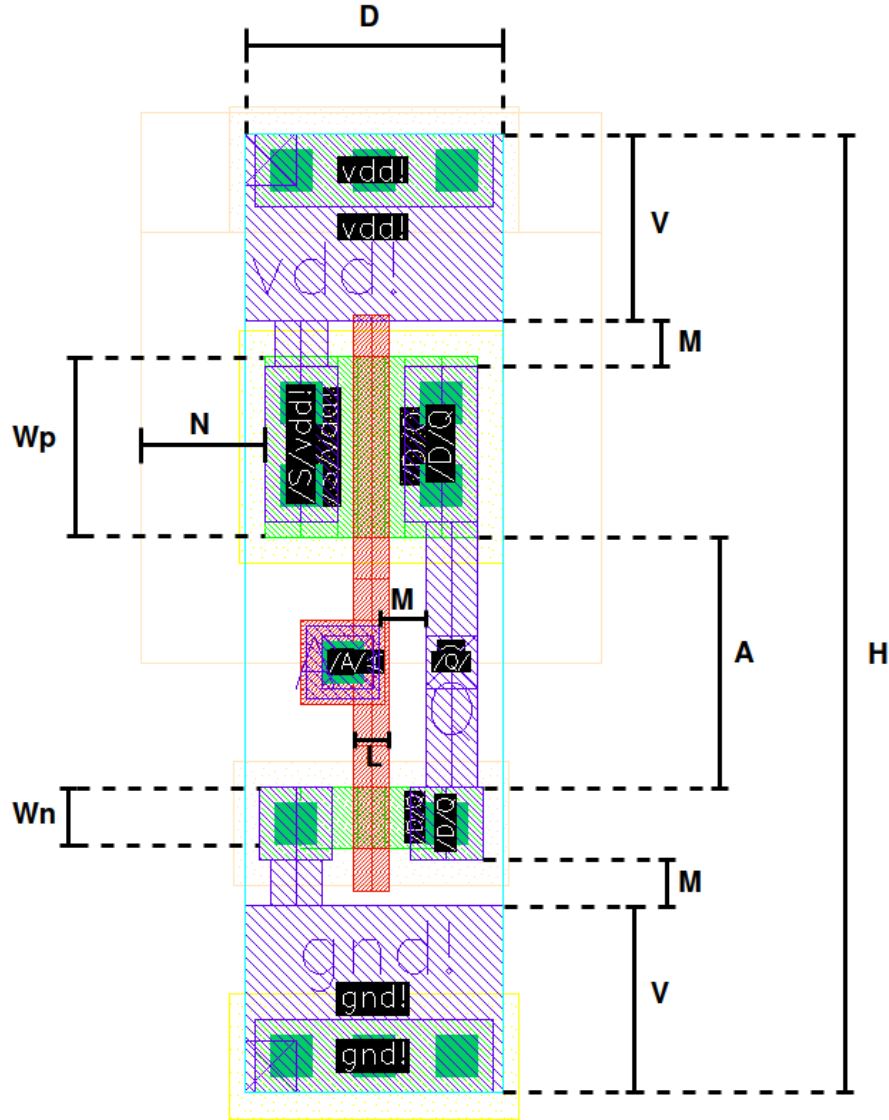
FIGURE 9 – Layout de la cellule NOT.



Source : Les auteurs.

Pour la construction du layout, nous avons utilisé les règles DRC minimales, afin d'obtenir une cellule avec la plus petite aire possible. La Figure 10 indique les principales mesures utilisées.

FIGURE 10 – Dimensions du layout de la cellule NOT.



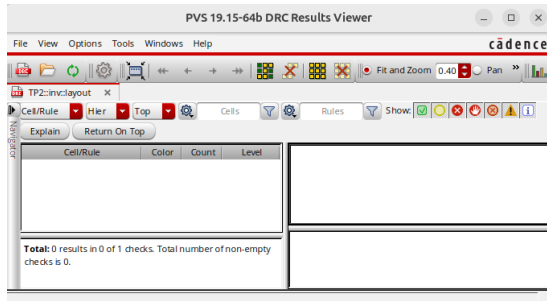
Source : Les auteurs.

- **V** ($1.8 \mu m$) : hauteur des pistes d'alimentation *VDD* et *GND* (définie dans le matériel du cours).
- **L** ($0.35 \mu m$) : longueur de canal des deux transistors (minimum permis par la technologie).
- **Wn** ($0.6 \mu m$) : largeur du transistor NMOS (valeur obtenue lors du dimensionnement).
- **Wp** ($1.75 \mu m$) : largeur du transistor PMOS (valeur obtenue lors du dimensionnement).

- **A** ($2.4 \mu m$) : distance entre les zones de diffusion (minimum permis par la technologie).
- **M** ($0.45 \mu m$) : distance entre les pistes de *Metal1* (minimum permis par la technologie).
- **N** ($1.2 \mu m$) : recouvrement du *NTUB* sur la diffusion P (minimum permis par la technologie).
- **H** ($9.25 \mu m$) : hauteur totale de la cellule (P&R Boundary).
- **D** ($2.5 \mu m$) : largeur totale de la cellule (P&R Boundary).

Ainsi, notre cellule possède une aire de $23.125 \mu m^2$. Pour valider le layout, les vérifications DRC et LVS ont été effectuées.

FIGURE 11 – Vérifications



(a) DRC.



(b) LVS.

Source : Les auteurs.

4 Conclusion

Dans ce travail, une cellule logique inverseuse CMOS a été conçue et optimisée en utilisant la technologie AMS $0.35 \mu m$. À partir des simulations électriques sous *Virtuoso ADE*, le dimensionnement idéal des transistors a été déterminé.

Le layout a été développé en suivant les règles DRC minimales, aboutissant à une cellule compacte avec une aire de $23.125 \mu m^2$.

Les vérifications DRC et LVS ont confirmé la conformité du layout avec le schéma.

Ainsi, le projet a satisfait les exigences proposées, permettant de comprendre le flux complet de conception d'une cellule logique.