



ISMIN
Analog Circuit Design

TP1

Caractérisation des transistors MOSFET
et analyse d'un amplificateur source commune

Auteurs :
Murilo MULLER
et
Thomas PICHOT

Professeur :
Jean-Max DUTERTRE

13 Septembre 2025

Table des matières

1	Introduction	3
2	Description du TP	3
3	Développement	4
3.1	Courbes caractéristiques du NMOS	4
3.1.1	Simulation DC	5
3.1.2	I_D en fonction de V_{DS}	7
3.1.3	I_D en fonction de V_{GS}	11
3.2	Courbes caractéristiques du PMOS	12
3.2.1	Points de fonctionnement DC	12
3.2.2	I_D en fonction de V_{DS}	14
3.2.3	I_D en fonction de V_{GS}	14
3.3	Amplificateur Common Source	15
3.3.1	Simulation transitoire	19
3.3.2	Simulation AC	20
3.3.3	Dimensionnement	20
4	Conclusion	25

Table des figures

1	Transistor NMOS	4
2	Schéma de caractérisation du transistor NMOS dans Virtuoso.	5
3	Analog Design Environment.	6
4	Points de fonctionnement DC du NMOS.	6
5	Configurations de la source V_{DS}	8
6	Variation paramétrique de V_{GS}	8
7	I_D en fonction de V_{DS}	9
8	Conductance drain-source (g_{ds}).	10
9	Résistance drain-source (r_o).	10
10	I_D en fonction de V_{GS}	11
11	g_m obtenu à partir de I_D en fonction de V_{GS}	11
12	Schéma de caractérisation du transistor PMOS dans Virtuoso.	12
13	Points de fonctionnement DC du PMOS.	13
14	I_D en fonction de V_{SD}	14
15	I_D en fonction de V_{SG}	15
16	Schéma de l'amplificateur <i>common source</i>	16
17	Diagramme en petit signal.	16
18	Schéma du <i>common source</i> dans Virtuoso.	18
19	Résultat de la simulation transitoire.	19
20	Résultat de la simulation fréquentielle.	20
21	$I_D \times W$	23

22	$(A_v \text{ et } V_{out_DC}) \times V_{gs}$	24
23	$A_v \text{ et } V_{out_DC}$	24
24	Réponse fréquentielle de l'amplificateur dimensionné.	25

1 Introduction

L'objectif de ce travail pratique est d'analyser le comportement électrique des transistors NMOS et PMOS de la technologie **CMOS 0.35 μ m** du fabricant **AMS**. Dans un premier temps, nous avons réalisé la caractérisation individuelle des dispositifs en obtenant leurs paramètres aux points de polarisation spécifiques, ainsi que les courbes caractéristiques $I_D \times V_{DS}$ et $I_D \times V_{GS}$.

Par la suite, nous avons appliqué ces concepts au développement et à l'analyse d'un amplificateur source commune, en vérifiant ses propriétés de gain en régime temporel et fréquentiel, et en comparant les résultats pratiques avec les expressions théoriques.

2 Description du TP

Le travail a été divisé en trois étapes principales :

— Caractérisation du NMOS

- Déterminer les paramètres du transistor NMOS pour le point de fonctionnement défini par $V_{GS} = 1\text{ V}$ et $V_{DS} = 2\text{ V}$.
- Obtenir les courbes caractéristiques $I_D \times V_{DS}$ et $I_D \times V_{GS}$ pour différentes valeurs de tension.
- Identifier graphiquement les paramètres correspondants au point de fonctionnement.

— Caractérisation du PMOS

- Réaliser le schéma de caractérisation pour le transistor PMOS ($L = 0,35\text{ }\mu\text{m}$, $W = 2\text{ }\mu\text{m}$).
- Déterminer les paramètres du PMOS au point de fonctionnement $V_{SG} = 1\text{ V}$, $V_{SD} = 2\text{ V}$.
- Obtenir les courbes caractéristiques $I_D \times V_{SD}$ et $I_D \times V_{SG}$, en vérifiant graphiquement le point de fonctionnement.

— Amplificateur source commune

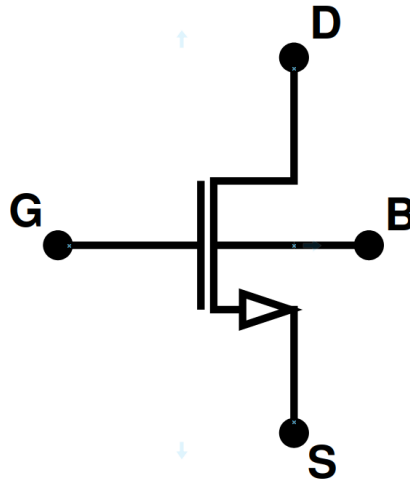
- Réaliser des simulations dans le domaine temporel et fréquentiel, en déterminant le gain en tension dans chaque cas.
- Comparer le résultat obtenu avec le calcul théorique, en tenant compte de g_m , R_L et r_o .
- Ajuster les paramètres de dimensionnement (W , L , V_{GS} et R_L) de manière à obtenir un gain d'environ 20 dB , avec une tension de sortie centrée autour de $V_{DD}/2$.

3 Développement

3.1 Courbes caractéristiques du NMOS

Le transistor MOSFET à canal n (NMOS) est un dispositif à effet de champ commandé par la tension. Il possède quatre terminaux : **Source (S)**, **Drain (D)**, **Grille (G)** et **Body (B)** (Figure 1).

FIGURE 1 – Transistor NMOS



Source : Les auteurs.

De manière simple, on peut définir le fonctionnement du dispositif en fonction du comportement du courant de drain I_D , lequel dépend des tensions V_{GS} et V_{DS} . Le transistor MOSFET possède différentes régions de fonctionnement, dans chacune desquelles le courant présente un comportement spécifique :

- Région de coupure ($V_{GS} \leq 0$) :

$$I_D = 0$$

- Région d'inversion faible ($V_{GS} \leq V_{th}$) :

$$I_D \approx 0$$

- Région ohmique (ou triodo) ($V_{GS} \geq V_{th}$ et $V_{DS} < (V_{GS} - V_{th})$) :

$$I_D = k'_n \frac{W}{L} \left[(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- Région de saturation ($V_{GS} \geq V_{th}$ et $V_{DS} \geq (V_{GS} - V_{th})$) :

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_{th})^2$$

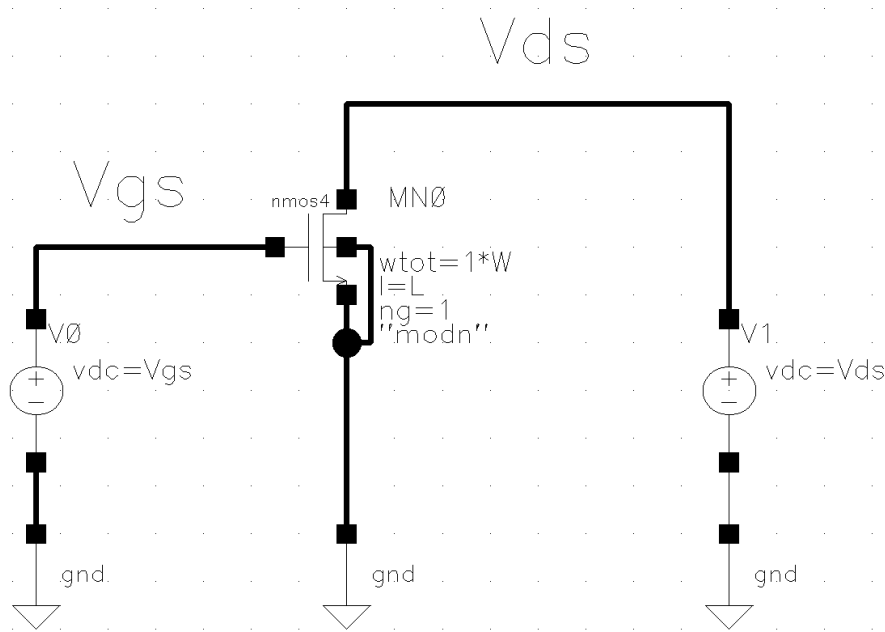
Dans ces expressions de I_D , on a :

- $k'_n = \mu_n C_{ox}$, où μ_n est la mobilité des électrons et C_{ox} la capacité d'oxyde par unité de surface.
- W est la largeur du canal.
- L est la longueur du canal.

Ainsi, pour extraire les courbes de courant du transistor, il est nécessaire de le faire fonctionner dans toutes les régions. Pour cela, il suffit d'appliquer une variation de V_{GS} et de V_{DS} .

Afin de réaliser ces analyses, nous avons implémenté le schéma suivant dans Virtuoso :

FIGURE 2 – Schéma de caractérisation du transistor NMOS dans Virtuoso.



Source : Les auteurs.

Nous avons utilisé les instances suivantes dans le schéma de la Figure 2 :

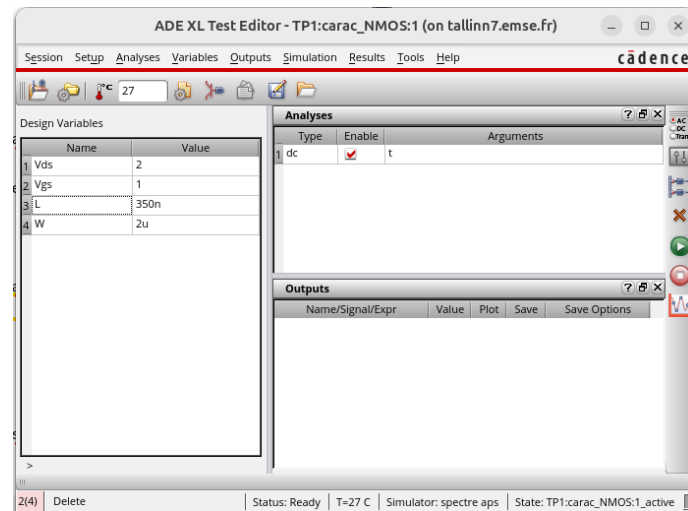
- **nmos4** de la bibliothèque **PRIMLIB** ;
- **vdc**, **vdd** et **gnd** de la bibliothèque **analoglib** ;

De plus, afin de faciliter la manipulation des paramètres, nous avons utilisé des variables pour définir les tensions des sources et le dimensionnement du transistor.

3.1.1 Simulation DC

Nous avons commencé par réaliser une simulation DC afin d'obtenir les paramètres du dispositif en un point de fonctionnement spécifique. Nous avons défini les tensions $V_{GS} = 1\text{ V}$ et $V_{DS} = 2\text{ V}$, ainsi que $L = 350\text{ nm}$ et $W = 2\text{ }\mu\text{m}$.

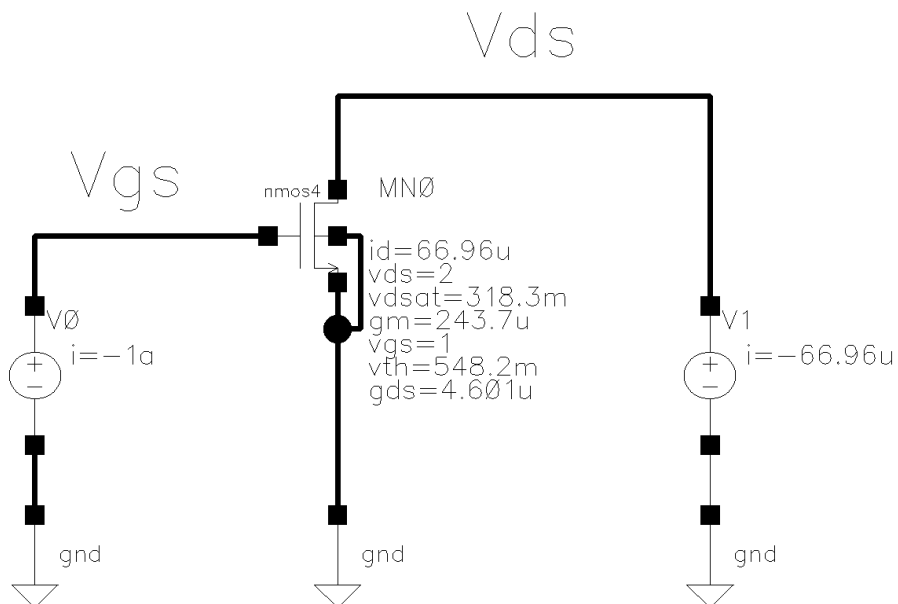
FIGURE 3 – Analog Design Environment.



Source : Les auteurs.

Ensuite, nous avons lancé la simulation et, grâce à l'option *DC Operation Points*, nous avons visualisé les paramètres du composant pour ce point de fonctionnement (Figure 4).

FIGURE 4 – Points de fonctionnement DC du NMOS.



Source : Les auteurs.

Le Tableau 1 présente les valeurs obtenues :

TABLE 1 – Points de fonctionnement DC du NMOS.

Paramètre	Valeur
I_D	$66.96\mu A$
V_{DS}	2 V
V_{DSAT}	318.3 mV
g_m	$243.5\mu S$
V_{GS}	1 V
V_{th}	548.2 mV
g_{ds}	$4.601\mu S$

Nous pouvons prolonger l'analyse et calculer quelques valeurs supplémentaires. La résistance r_o entre drain et source peut être obtenue à partir de g_{ds} , qui est la conductance entre ces mêmes terminaux :

$$r_o = \frac{1}{g_{ds}} = 217.334 k\Omega$$

Nous pouvons également estimer la valeur du paramètre k'_n . Comme le transistor est en saturation ($V_{GS} \geq V_{th}$ et $V_{DS} \geq (V_{GS} - V_{th})$), le courant de drain en tenant compte de la modulation de canal est défini par :

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_{th})^2$$

En isolant k'_n :

$$k'_n = \frac{2 \cdot I_D}{\frac{W}{L} \cdot (V_{GS} - V_{th})^2 \cdot (1 + \lambda \cdot V_{DS})}$$

$$\lambda = \frac{g_{ds}}{I_D}$$

Avec les paramètres obtenus dans la simulation DC, nous avons :

$$k'_n = 101 \mu \frac{A}{V^2}$$

3.1.2 I_D en fonction de V_{DS}

L'étape suivante a consisté à réaliser une simulation DC en faisant varier les tensions V_{GS} et V_{DS} . Pour cela, nous avons appliqué un *sweep variable* sur la source générant la tension V_{DS} (Figure 5), et simultanément une variation paramétrique de la variable V_{GS} (Figure 6).

FIGURE 5 – Configurations de la source V_{DS} .

Choosing Analyses -- ADE L (1)

Analysis: ☐ tran ☒ dc ☐ ac ☐ noise
☐ xf ☐ sens ☐ dcmatch ☐ acmatch
☐ stb ☐ pz ☐ lf ☐ sp
☐ envlp ☐ pss ☐ pac ☐ pstb
☐ pnoise ☐ pxf ☐ psp ☐ qpss
☐ qpac ☐ qpnoise ☐ qpxf ☐ qpssp
☐ hb ☐ hbac ☐ hbstb ☐ hbnoise
☐ hbasp ☐ hbxf

DC Analysis
Save DC Operating Point ☒
Hysteresis Sweep ☐

Sweep Variable
☐ Temperature
☐ Design Variable
☒ Component Parameter
☐ Model Parameter
Component Name: /V1
Select Component
Parameter Name: dc

Sweep Range
☒ Start-Stop Start: 0 Stop: 3.3
☐ Center-Span

Sweep Type
Linear ☒ Step Size: 10m
☐ Number of Steps

Add Specific Points ☐
Add Points By File ☐

Enabled ☒

Options...
OK Cancel Defaults Apply Help

Source : Les auteurs.

FIGURE 6 – Variation paramétrique de V_{GS} .

Parametric Analysis - spectre(0): TP1 carac_NMOS schematic

File Analysis Help

Ready

Run Mode: Sweeps & Ranges

Variable	Value	Sweep?	Range Type	From	To	Step Mode	Total Steps	Inclusion List	Exclusion List
Vgs	1	<input checked="" type="checkbox"/>	From/To	0	3.3	Auto	101	0 1 2 3 3.3	

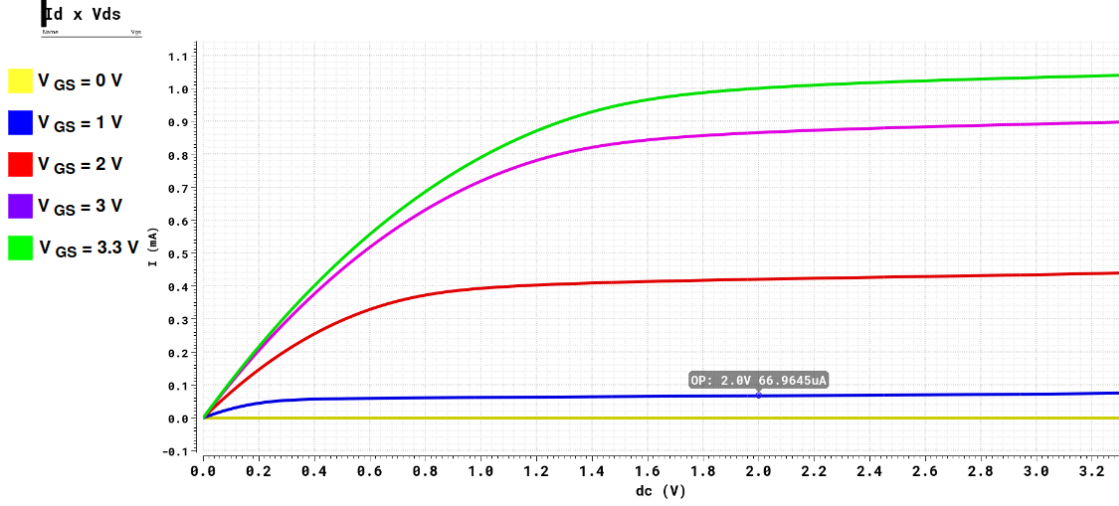
5 Stop Simulation

Source : Les auteurs.

Nous avons défini une variation de V_{DS} de 0 V à 3.3 V, et une variation de V_{GS} à l'aide d'une liste d'inclusion, afin de pouvoir visualiser le point de fonctionnement nominal ($V_{GS} = 1V$).

La Figure 7 montre le résultat de la simulation, ainsi que le point de fonctionnement original.

FIGURE 7 – I_D en fonction de V_{DS} .



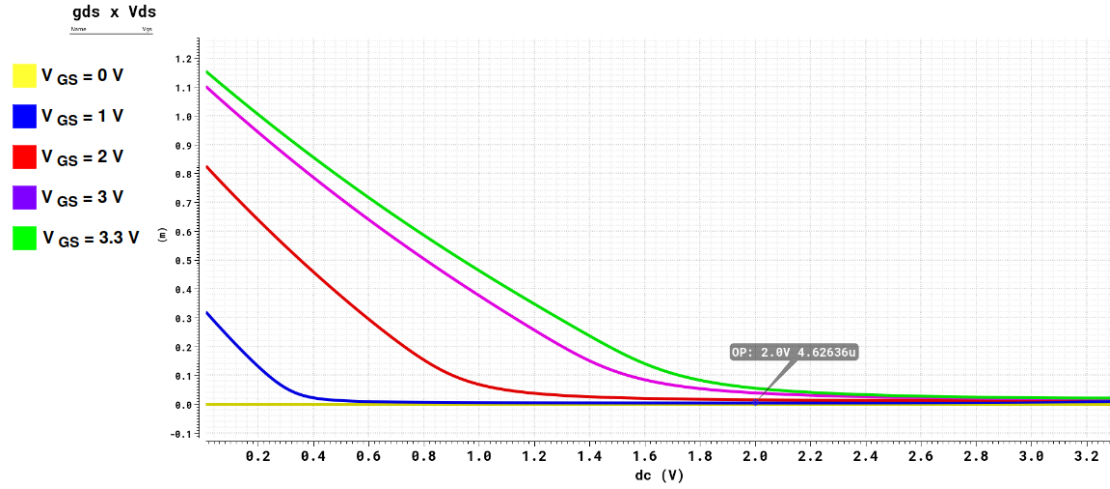
Source : Les auteurs.

On peut distinguer les différentes régions de fonctionnement du transistor : la courbe jaune ($V_{GS} = 0V$) correspond à la région de coupure, la partie initiale des autres courbes correspond à la région ohmique (ou triode), et à partir du moment où les courbes deviennent presque constantes par rapport à V_{DS} , on entre dans la région de saturation.

De plus, le marqueur permet de visualiser la valeur du courant I_D au point de fonctionnement original.

Précédemment, via l'option *DC Operation Points*, nous avons obtenu la valeur de la résistance r_o ($1/g_{ds}$). Cependant, nous pouvons retrouver ce paramètre à partir de la dérivée de I_D par rapport à V_{DS} .

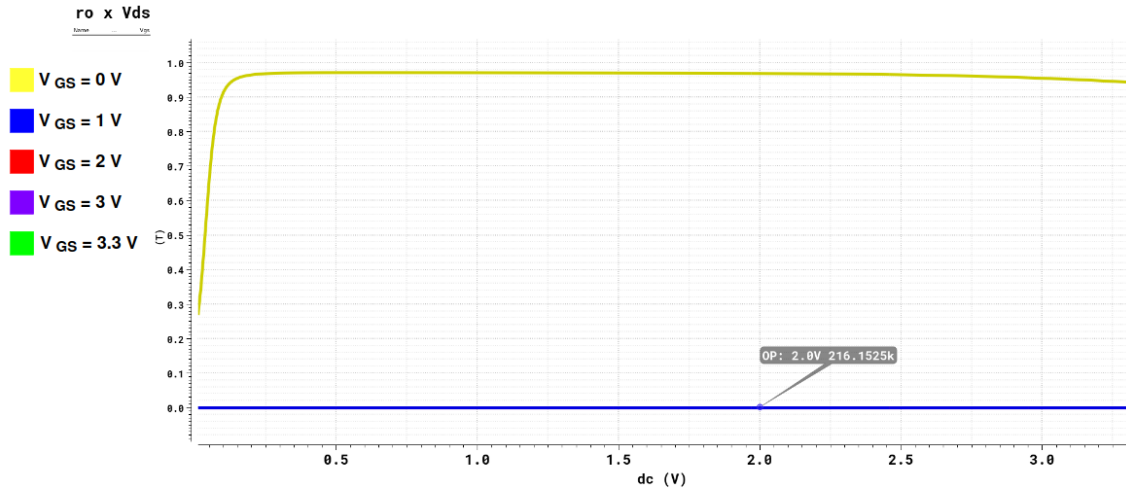
FIGURE 8 – Conductance drain–source (g_{ds}).



Source : Les auteurs.

On observe qu'au point de fonctionnement initial, nous avons obtenu un résultat très proche pour g_{ds} . On remarque également une réduction de cette conductance en sortant de la région ohmique, et une conductance quasi nulle dans la région de coupure.

FIGURE 9 – Résistance drain–source (r_o).



Source : Les auteurs.

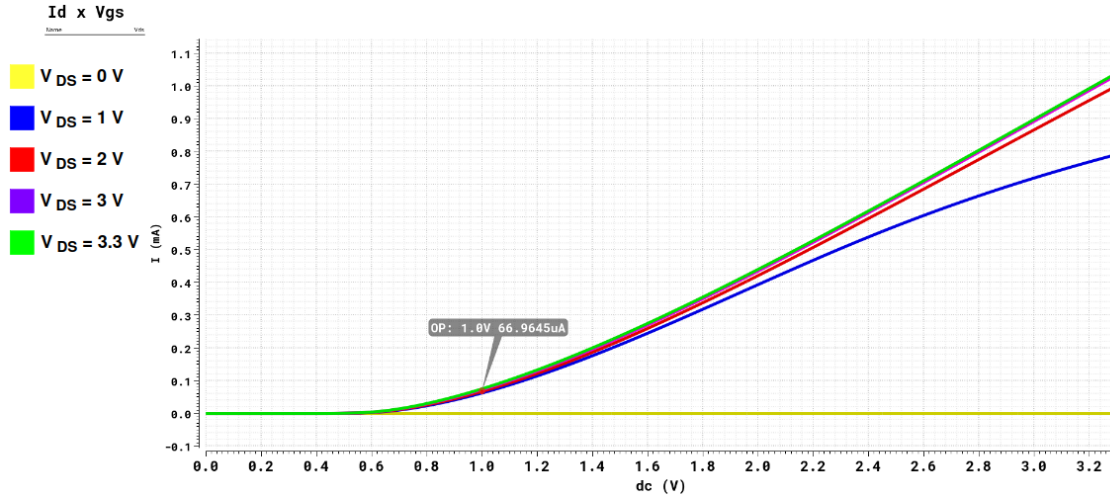
La Figure 9 montre que, pour le point de fonctionnement original, pratiquement toutes les courbes en forte saturation possèdent une résistance similaire, ce qui est cohérent avec la valeur calculée précédemment.

Il est également intéressant de noter la résistance drain–source pour la courbe jaune (région de coupure), atteignant des valeurs de l'ordre de $10^{12} \Omega$.

3.1.3 I_D en fonction de V_{GS}

Ensuite, nous avons réalisé les mêmes simulations, mais cette fois en effectuant un *sweep variable* sur la source générant V_{GS} , ainsi qu'une variation paramétrique de la variable V_{DS} . Le résultat est présenté sur la Figure 10.

FIGURE 10 – I_D en fonction de V_{GS} .

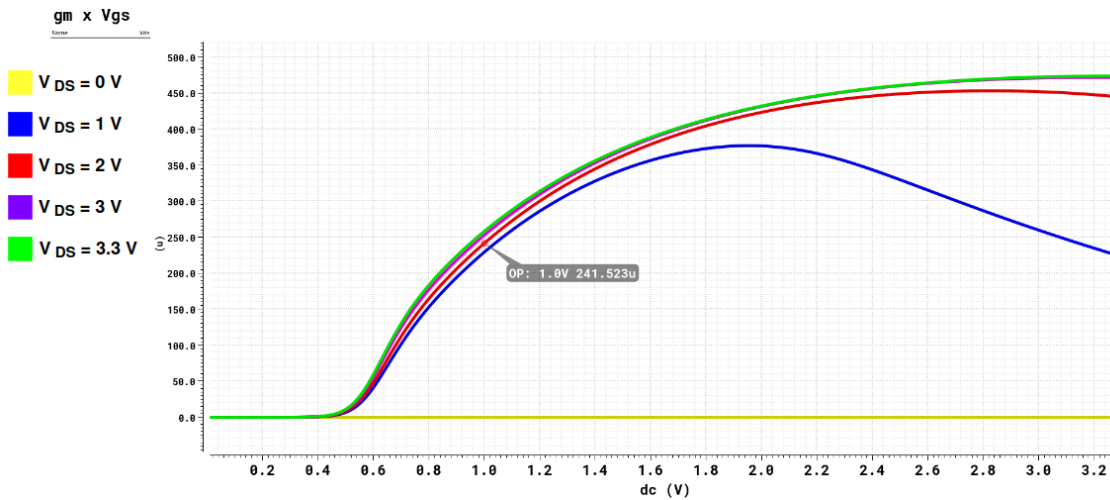


Source : Les auteurs.

Comme prévu, le courant I_D présente un comportement quadratique en fonction de V_{GS} . Le marqueur met également en évidence le point de fonctionnement original.

De la même manière que nous avons confirmé la valeur de g_{ds} , nous pouvons dériver le courant I_D par rapport à V_{GS} pour obtenir g_m .

FIGURE 11 – g_m obtenu à partir de I_D en fonction de V_{GS} .



Source : Les auteurs.

Avec cette méthode, nous avons obtenu la même valeur au point de fonctionnement. Il est important de souligner que les valeurs de g_m sont quasiment nulles dans la région ohmique, car dans cette région le dispositif se comporte comme une résistance commandée par la tension, et il n'existe donc pas d'amplification significative du courant de drain.

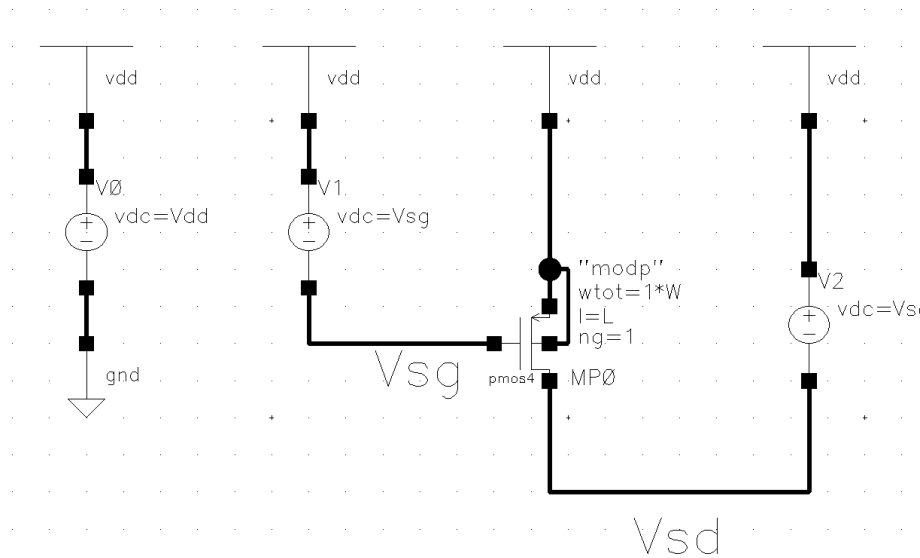
3.2 Courbes caractéristiques du PMOS

Le transistor PMOS présente un comportement très similaire à celui du NMOS, la principale différence résidant dans les tensions de contrôle, qui sont maintenant V_{SG} et V_{SD} . À l'exception de l'orientation des tensions de commande, les équations du courant I_D restent identiques.

3.2.1 Points de fonctionnement DC

La Figure 12 montre le schéma implémenté dans Virtuoso pour caractériser le transistor PMOS :

FIGURE 12 – Schéma de caractérisation du transistor PMOS dans Virtuoso.

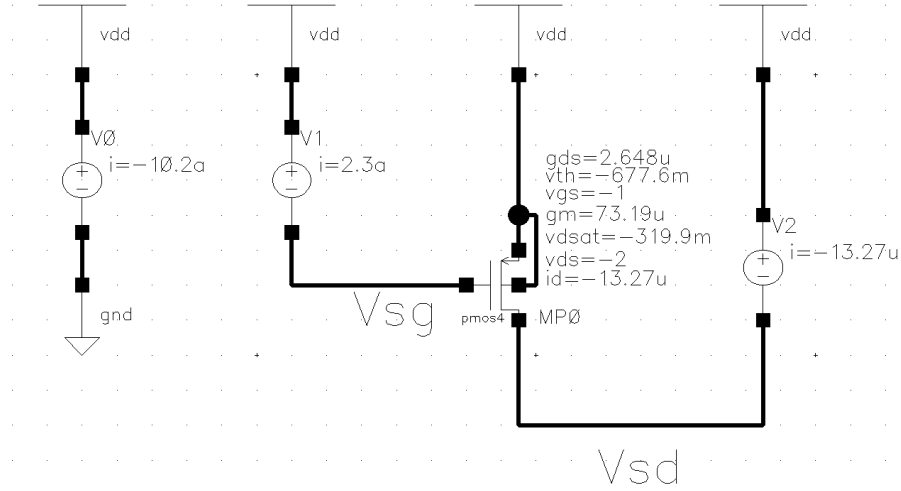


Source : Les auteurs.

Par rapport au schéma utilisé pour la caractérisation du NMOS, il a été nécessaire d'ajouter une source de tension supplémentaire pour définir la connexion entre le symbole **vdd** et **gnd**.

Après avoir réalisé une simulation DC pour le point de fonctionnement $V_{SG} = 1\text{ V}$ et $V_{SD} = 2\text{ V}$, nous avons obtenu les paramètres suivants :

FIGURE 13 – Points de fonctionnement DC du PMOS.



Source : Les auteurs.

Le Tableau 2 présente les valeurs obtenues :

TABLE 2 – Points de fonctionnement DC du PMOS.

Paramètre	Valeur
I_D	$-13.27 \mu A$
V_{DS}	$-2 V$
V_{DSAT}	$-319.9 mV$
g_m	$73.19 \mu S$
V_{GS}	$-1 V$
V_{th}	$-677.6 mV$
g_{ds}	$2.648 \mu S$

Les valeurs négatives s'expliquent par la direction des tensions et des courants : dans ce cas, le courant entre par la source et sort par le drain. On peut également constater que, pour les mêmes valeurs de tension et de dimensionnement que dans la caractérisation du NMOS, les courants et conductances obtenus sont plus faibles. Cela est dû au fait que la mobilité des trous (μ_p) est inférieure à celle des électrons (μ_n).

Comme pour le NMOS, nous pouvons calculer la résistance r_o et le paramètre k'_p :

$$r_o = \frac{1}{g_{ds}} = 377.643 k\Omega$$

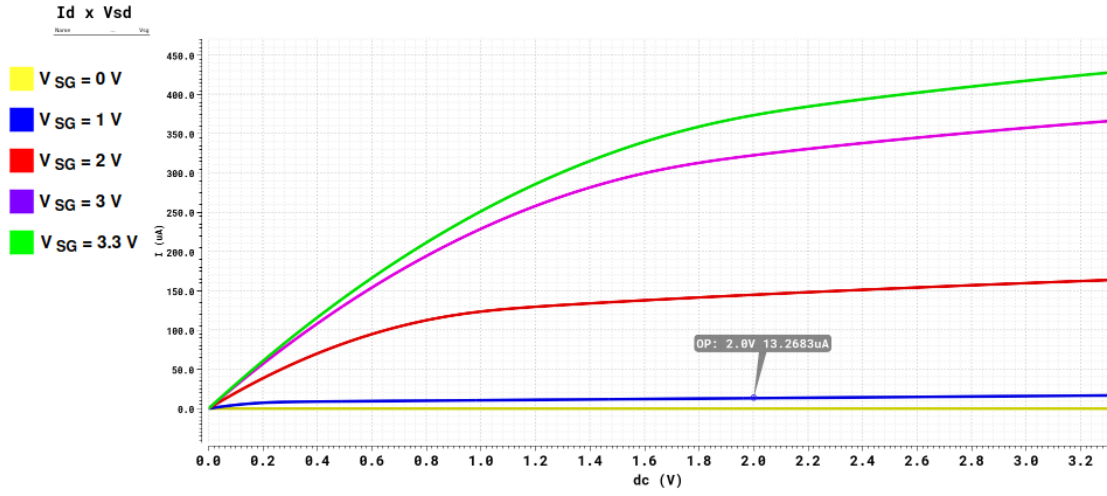
$$k'_p = \frac{2 \cdot I_D}{\frac{W}{L} \cdot (V_{GS} + V_{th})^2 \cdot (1 + \lambda \cdot V_{DS})}$$

$$k'_p \approx 31.93 \mu A/V^2$$

3.2.2 I_D en fonction de V_{DS}

En suivant la même méthodologie que pour le NMOS, nous avons obtenu la courbe I_D en fonction de V_{DS} :

FIGURE 14 – I_D en fonction de V_{SD} .

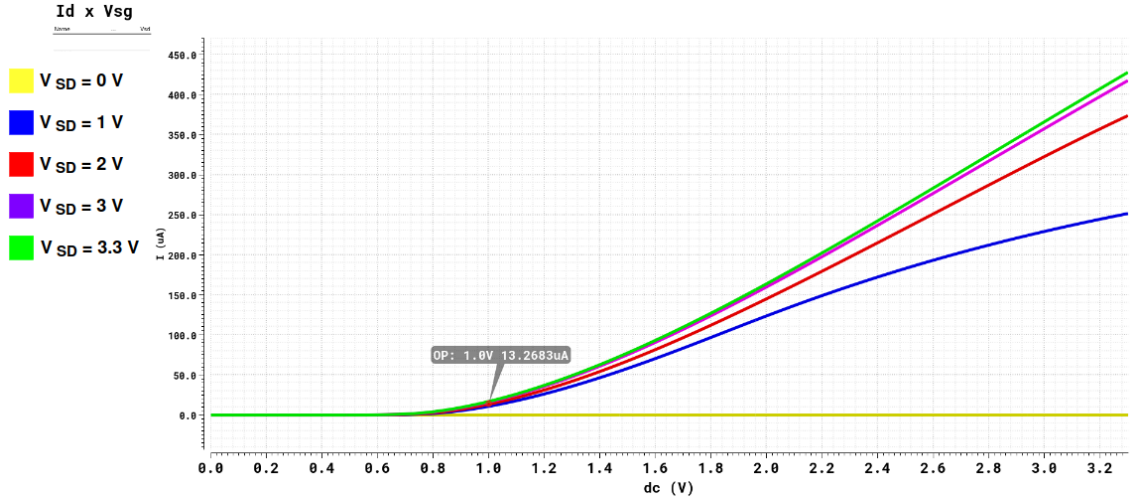


Source : Les auteurs.

3.2.3 I_D en fonction de V_{GS}

De la même manière, nous avons obtenu la courbe I_D en fonction de V_{GS} :

FIGURE 15 – I_D en fonction de V_{SG} .



Source : Les auteurs.

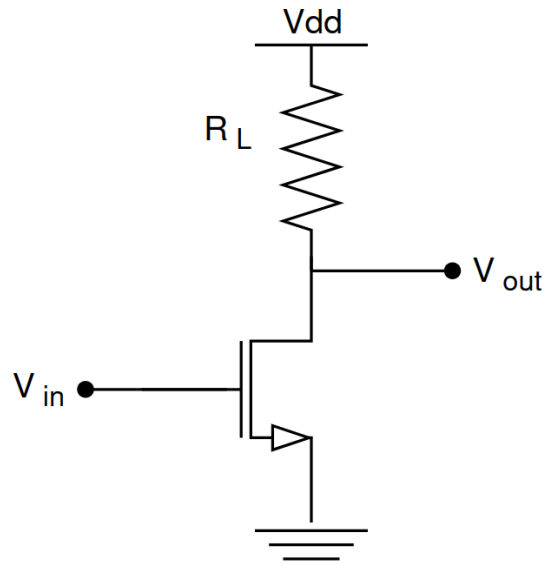
3.3 Amplificateur Common Source

L'amplificateur *common source* est l'une des topologies fondamentales d'amplification utilisant des transistors MOSFET. Son importance réside dans le fait qu'il fournit un gain de tension élevé avec une architecture simple, étant largement utilisé dans les étages de gain des systèmes analogiques.

Le principe de base consiste à appliquer le signal d'entrée v_{in} sur la borne **Gate**, tandis que la borne **Source** est connectée au potentiel de référence (généralement la masse).

La sortie v_{out} est obtenue sur la borne **Drain**, où est connecté une résistance de charge R_L . Ainsi, la variation de la tension d'entrée module le courant de drain I_D , et ce courant, en traversant la résistance de charge, génère une variation de tension en sortie.

FIGURE 16 – Schéma de l'amplificateur *common source*.



Source : Les auteurs.

Pour que l'amplificateur fonctionne de manière linéaire, le MOSFET doit être polarisé dans la région de saturation. Cela signifie que le point de fonctionnement (ou *bias*) doit satisfaire les conditions suivantes :

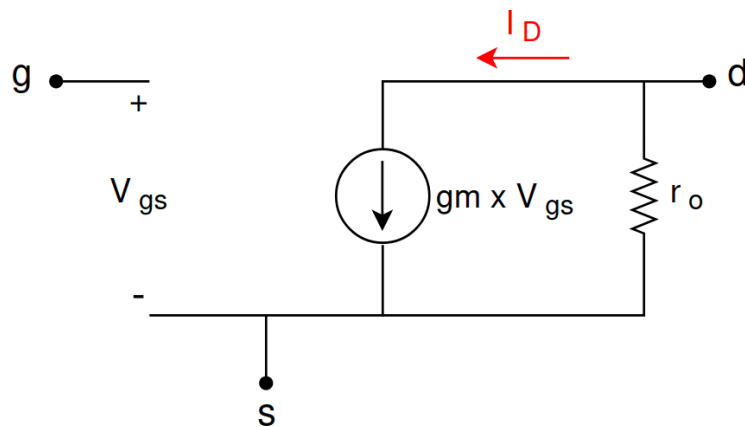
$$V_{GS} > V_{th}, \quad V_{DS} \geq (V_{GS} - V_{th})$$

Comme nous l'avons déjà vu, dans ce régime le courant de drain est donné par :

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

L'analyse en petit signal permet de déterminer le gain de tension.

FIGURE 17 – Diagramme en petit signal.



Source : Les auteurs.

En linéarisant le dispositif autour du point de fonctionnement, la transconductance g_m est définie comme :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \approx \frac{2I_D}{V_{GS} - V_{th}}$$

Le gain de tension est défini par :

$$A_v = \frac{V_{out}}{V_{in}}$$

Où :

$$V_{in} = V_{gs}$$

$$V_{out} = V_{RL}$$

La tension V_{RL} peut être exprimée par le produit du courant I_D et de la résistance R_L .

Ainsi :

$$A_v = \frac{I_D \cdot R_L}{V_{gs}} = \frac{-g_m \cdot V_{gs} \cdot R_L}{V_{gs}} = -g_m \cdot R_L$$

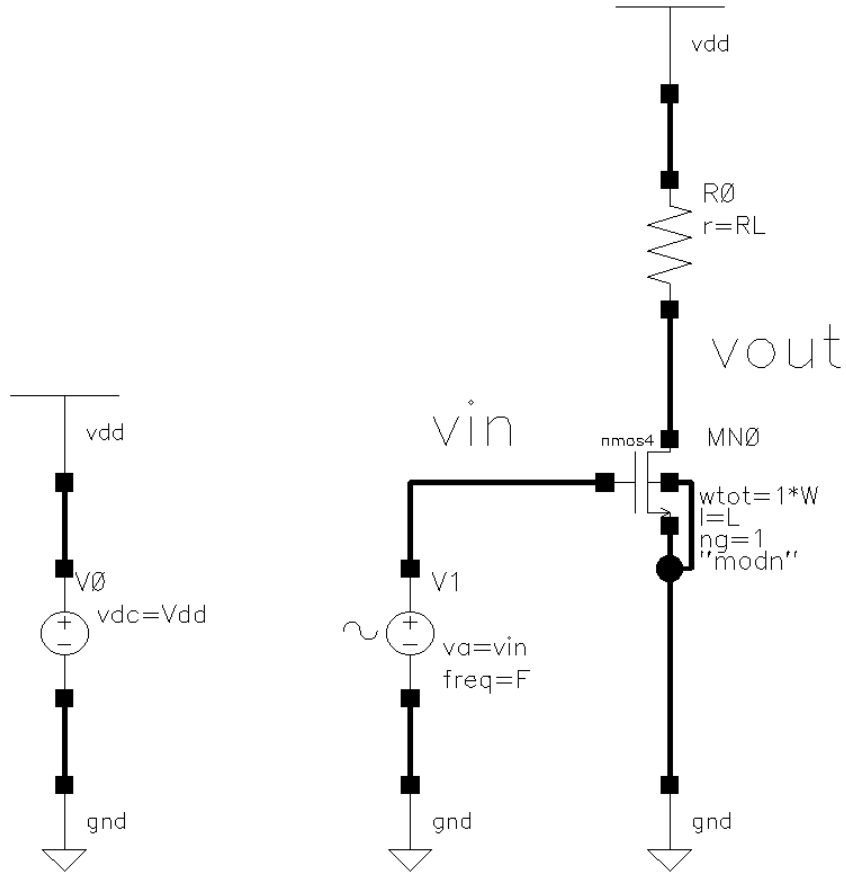
Ceci serait le gain d'un amplificateur idéal, mais comme on peut le voir dans la Figure 17, le modèle du transistor inclut une résistance de sortie r_o , de sorte que l'équation du gain est exprimée comme suit :

$$A_v = -g_m(R_L \parallel r_o)$$

Le signe négatif indique l'inversion de phase caractéristique de cette topologie.

La Figure 18 montre le circuit implémenté dans Virtuoso :

FIGURE 18 – Schéma du *common source* dans Virtuoso.



Source : Les auteurs.

Nous utilisons à nouveau des variables pour définir les paramètres des composants. Il convient de souligner l'utilisation d'une tension DC dans la source sinusoïdale pour polariser le transistor. Le Tableau 3 présente les valeurs utilisées initialement :

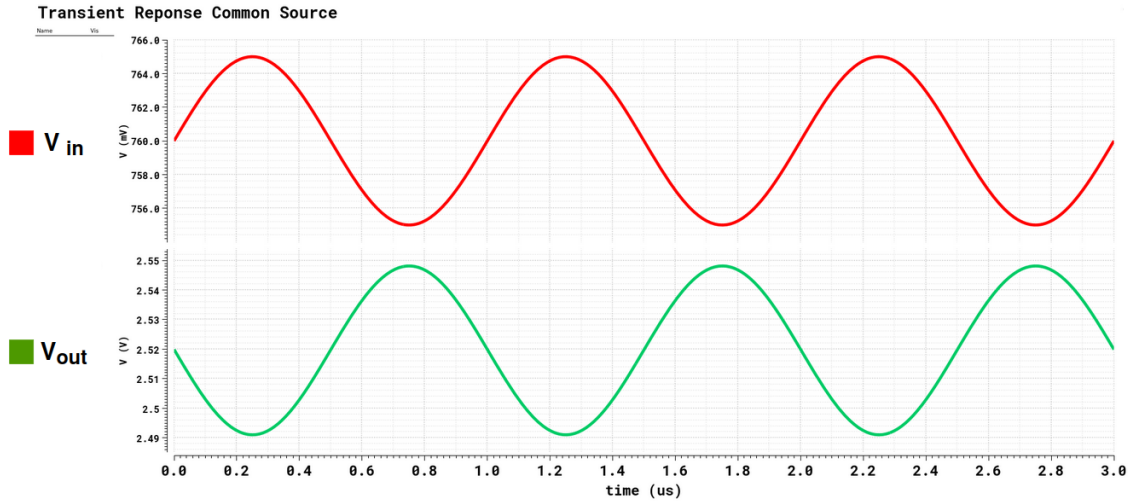
TABLE 3 – Variables du *common source*.

Paramètre	Valeur
V_{dd}	$3.3V$
V_{bias}	$760mV$
R_L	$16k\Omega$
W	$22\mu m$
L	$2\mu m$
V_{in}	$5mV$
F	$1MHz$

3.3.1 Simulation transitoire

Nous avons commencé par réaliser une simulation transitoire de $3\mu s$ afin de visualiser 3 périodes du signal d'entrée. Nous avons obtenu le résultat suivant :

FIGURE 19 – Résultat de la simulation transitoire.



Source : Les auteurs.

Nous pouvons observer qu'il y a eu un gain de tension et que, comme attendu, une inversion de phase du signal amplifié s'est produite.

Pour calculer le gain de l'amplificateur, nous avons utilisé la calculatrice. Grâce à la fonction **peakToPeak**, il a été possible de déterminer avec précision l'amplitude de V_{in} et de V_{out} . En divisant l'un par l'autre, nous avons obtenu :

$$A_v = \frac{\text{peakToPeak}(v("vout" ?result "tran"))}{\text{peakToPeak}(v("vin" ?result "tran"))} = 5.712 \frac{V}{V}$$

En décibels :

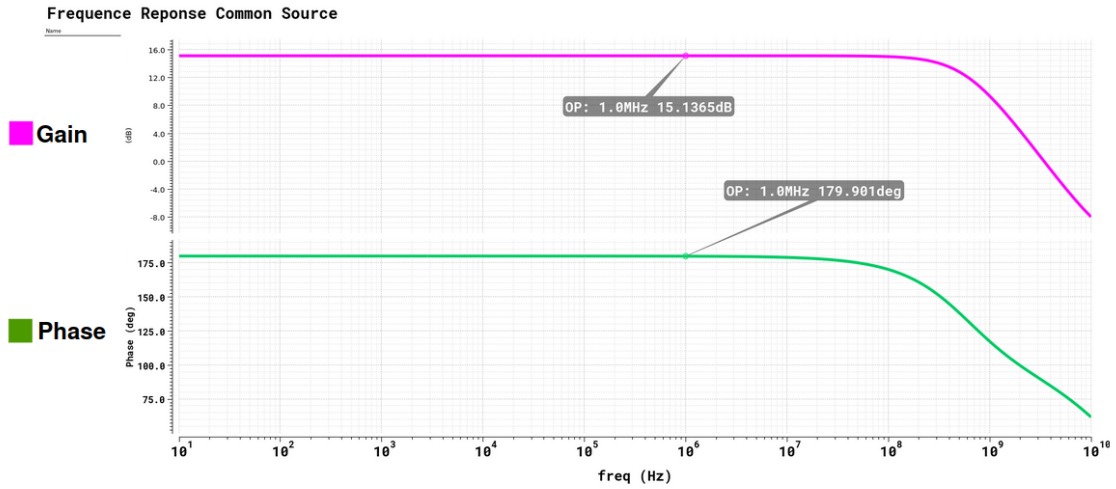
$$A_v dB = -20 \cdot \log(|A_v|) = 15.135 dB$$

3.3.2 Simulation AC

Ensuite, nous avons réalisé une simulation fréquentielle (AC) afin de vérifier le comportement de l'amplificateur pour différentes fréquences de V_{in} .

Dans la Figure 20, nous pouvons visualiser le diagramme de Bode, avec le gain en dB et la phase en degrés :

FIGURE 20 – Résultat de la simulation fréquentielle.



Source : Les auteurs.

Nous pouvons confirmer que, pour le point de fonctionnement défini, le gain est le même que dans la simulation transitoire, avec en plus une phase d'environ 180 degrés.

3.3.3 Dimensionnement

Après avoir réalisé les simulations pour obtenir le gain de l'amplificateur, nous allons effectuer quelques modifications afin d'atteindre les paramètres suivants :

- Tension DC de sortie égale à $V_{dd}/2$;
- Un gain de 20 dB ;

Les paramètres que nous pouvons modifier pour atteindre ces objectifs sont :

- Résistance de charge R_L ;
- Tension de polarisation V_{gs} ;
- Dimensions W et L du transistor NMOS ;

Nous commençons par définir quelques relations entre les paramètres. Nous savons que pour obtenir une tension de sortie égale à $V_{dd}/2$, la tension sur la résistance R_L doit également être $V_{dd}/2$, donc :

$$V_R = R_L \cdot I_D = \frac{V_{dd}}{2}$$

Nous allons d'abord définir une valeur pour cette résistance de charge, en tenant compte de la consommation statique (DC) de l'amplificateur :

$$P_{DC} = V_{dd} \cdot I_D$$

En visant une consommation de puissance statique maximale de $100\mu W$:

$$I_D = \frac{P_{DC}}{V_{dd}} = 30.3\mu A$$

Ainsi, nous pouvons définir la valeur de la résistance de charge :

$$R_L = \frac{V_{dd}}{2I_D} = 54.45k\Omega$$

Le module du gain de l'amplificateur est donné par :

$$A_v = g_m(R_L \parallel r_o)$$

Le gain souhaité est de 20 dB, ce qui correspond à 10 V/V, donc :

$$A_v = g_m \cdot (R_L \parallel r_o) = 10$$

Nous pouvons faire une approximation : si $r_o \gg R_L$, nous pouvons négliger r_o dans l'équation du gain. Nous avons réalisé une simulation DC de l'amplificateur avec $R_L = 54.45k\Omega$, $W = 22\mu m$, $L = 2\mu m$ et $V_{gs} = 760mV$, afin d'obtenir la valeur de r_o et d'estimer l'erreur commise avec cette approximation. Nous avons obtenu :

$$g_{ds} = 1.09\mu S$$

$$r_o = \frac{1}{g_{ds}} = 917.431M\Omega$$

Nous pouvons définir l'erreur relative comme suit :

$$\epsilon = 1 - \frac{R_L \parallel r_o}{R_L} \approx 5.9 \times 10^{-8},$$

Après le dimensionnement final de l'amplificateur, la valeur de r_o sera probablement différente, mais pas suffisamment pour invalider notre approximation.

Ainsi, l'équation du gain devient :

$$A_v = g_m \cdot R_L$$

Comme nous connaissons déjà les valeurs de R_L et A_v :

$$g_m = \frac{A_v}{R_L} = 183.65\mu S$$

Nous pouvons relier g_m à I_D :

$$\frac{g_m}{I_D} = \frac{V_{ov}}{2}$$

De cette façon, nous pouvons aussi définir la tension V_{ov} :

$$V_{ov} = \frac{2 \cdot I_D}{g_m} = \frac{2 \cdot 30.3\mu}{183.65\mu} = 329mV$$

La valeur de la tension V_{ov} est égale à $V_{gs} - V_{th}$. Dans la simulation DC réalisée pour extraire r_o , nous avons également obtenu $V_{th} = 518.1mV$, donc :

$$V_{gs} = V_{ov} + V_{th} = 0.329 + 0.518 = 847.1mV$$

Nous avons donc déjà défini deux paramètres de notre amplificateur, V_{gs} et R_L . Toutefois, ces valeurs ont été fixées en supposant un courant de drain spécifique, il faut donc dimensionner le transistor (W/L) afin de permettre ce courant.

Lors de la caractérisation du transistor NMOS, nous avons estimé la valeur de k'_n à $101\mu\frac{A}{V^2}$, ce qui permet d'estimer un rapport W/L :

$$I_D = \frac{1}{2}k'_n \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \frac{g_{ds}}{I_D} V_{DS})$$

$$\frac{W}{L} = \frac{2I_D}{k'_n \cdot V_{ov}^2 \cdot (1 + \frac{g_{ds}}{I_D} V_{DS})}$$

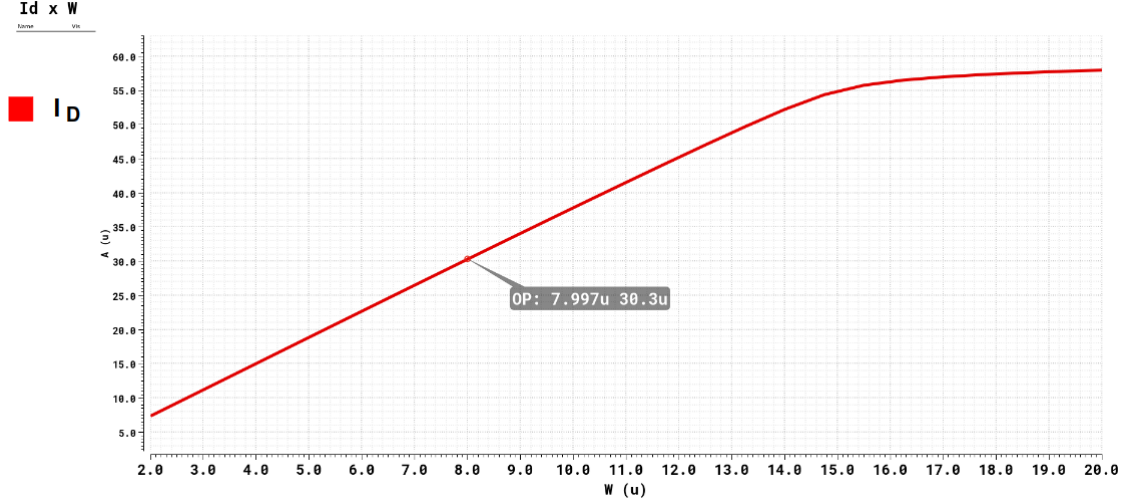
$$\frac{W}{L} \approx 5.23$$

Nous avons décidé de maintenir $L = 2\mu m$, ce qui garantit une valeur élevée de r_o , réduisant les erreurs d'approximation et offrant ainsi un gain intrinsèque plus élevé.

L'impact d'un L élevé sur la capacité reste acceptable au vu du gain obtenu.

D'après notre estimation de W/L , la largeur W devrait être $10.46\mu m$. Cependant, nous avons réalisé une simulation DC en faisant varier W pour définir la valeur permettant un courant $I_D = 30.3\mu A$. La Figure 21 présente le résultat :

FIGURE 21 – $I_D \times W$.



Source : Les auteurs.

Nous avons alors défini $W = 8 \mu m$. Ensuite, une simulation AC a donné un gain de $19.1 dB$, légèrement inférieur à l'attendu, mais la tension DC de sortie a atteint la valeur souhaitée de $1.65V$.

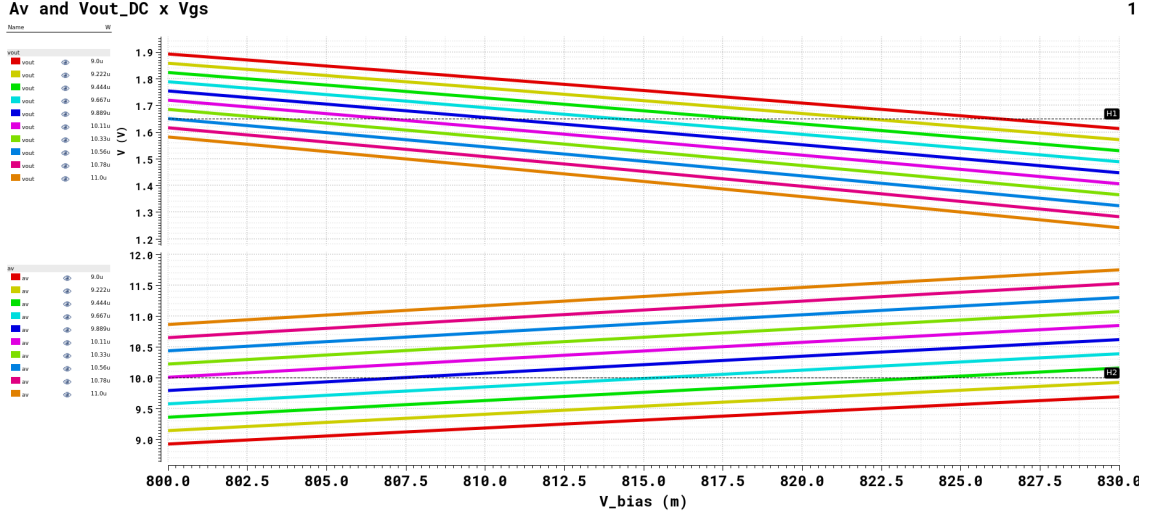
Apparemment, la transconductance (g_m) du transistor n'a pas atteint la valeur prévue, très probablement à cause d'une imprécision dans la définition de V_{ov} , car cette tension dépend de V_{th} . Dans la simulation DC, nous avons pu extraire V_{th} mais nous avons aussi remarqué la présence du paramètre V_{th_drive} , que nous supposons être la valeur effective, sans toutefois réussir à l'extraire.

Nous avons donc choisi de réduire légèrement V_{gs} pour augmenter g_m , mais une augmentation de W sera nécessaire pour compenser le courant.

Comme cette analyse demande un ajustement très fin, nous avons adopté une méthode plus « brute force » : une simulation paramétrique en faisant varier V_{gs} et W afin de trouver le point idéal donnant $A_v = 10$ et $V_{out_DC} = 1.65$. Cette méthode consomme davantage de ressources logicielles que d'analyse du concepteur, mais nous avons déjà identifié les points de fonctionnement du circuit, ce qui permet de centrer les variations autour d'eux.

Nous avons fait varier V_{gs} de $800mV$ à $830mV$ et W de $9 \mu m$ à $11 \mu m$. Après simulation, nous avons obtenu plusieurs courbes de A_v et V_{out_DC} , chacune correspondant à un W différent, mais toutes en fonction de V_{gs} , comme montré ci-dessous :

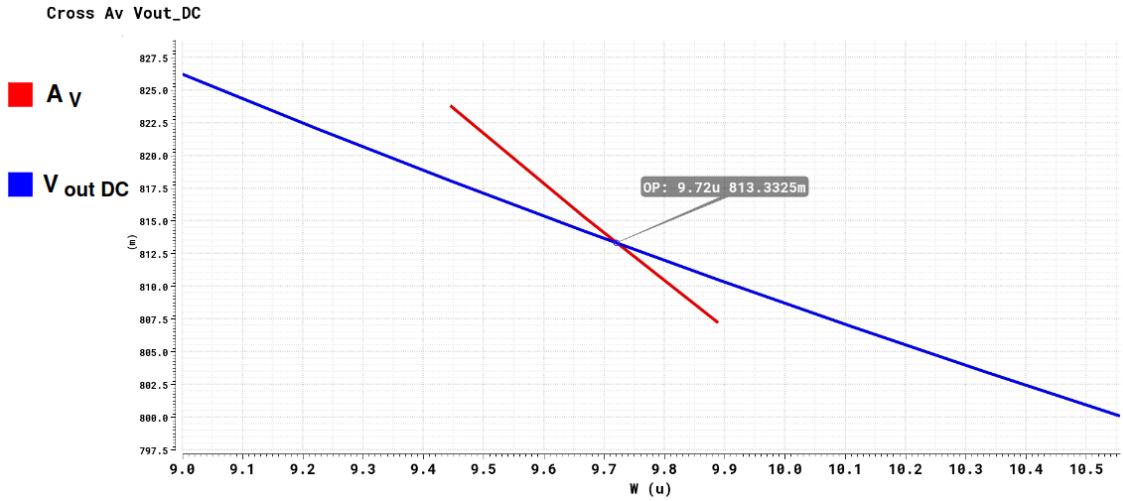
FIGURE 22 – $(A_v \text{ et } V_{out_DC}) \times V_{gs}$.



Source : Les auteurs.

Avec l'aide de la fonction **cross** de la calculatrice, nous avons tracé les courbes indiquant les points où A_v et V_{out_DC} atteignent respectivement les valeurs 10 et 1.65.

FIGURE 23 – A_v et V_{out_DC} .

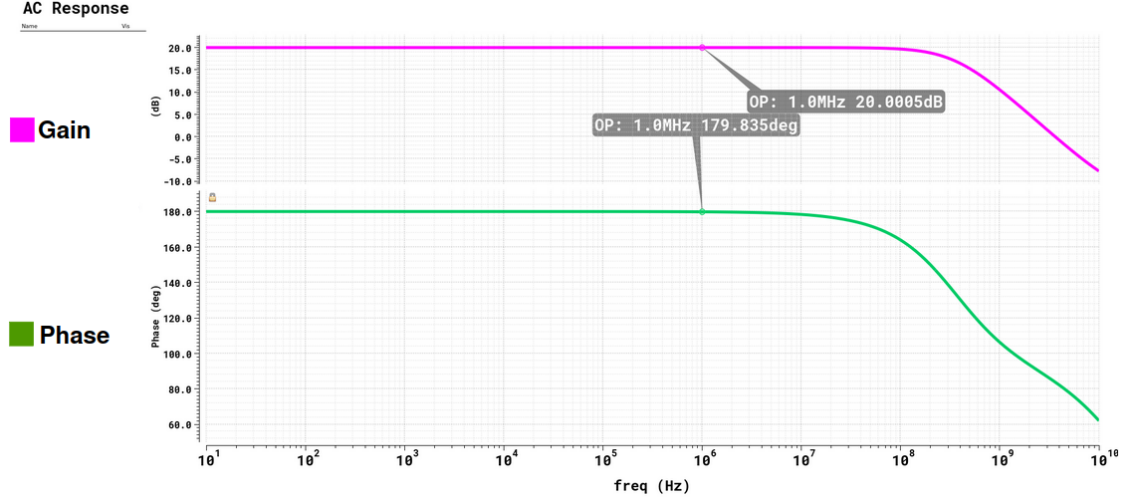


Source : Les auteurs.

Le point d'intersection de ces deux courbes indique les valeurs idéales de W et V_{gs} , soit $W = 7.92\mu m$ et $V_{gs} = 813.33mV$.

Pour valider le dimensionnement, nous avons réalisé une simulation AC afin de vérifier le gain de l'amplificateur :

FIGURE 24 – Réponse fréquentielle de l'amplificateur dimensionné.



Source : Les auteurs.

Comme nous pouvons le voir sur la Figure 24, nous avons obtenu le gain souhaité, même après quelques ajustements de dimensionnement.

Enfin, nous avons analysé la consommation de l'amplificateur, puisque ce paramètre a été pris en compte pour le dimensionnement. Le courant I_D est resté à $30.0\mu A$ malgré les ajustements, ce qui confirme que l'objectif de consommation statique de $100\mu W$ a bien été atteint.

4 Conclusion

Dans ce travail, nous avons caractérisé des transistors NMOS et PMOS dans Virtuoso, en extrayant des paramètres aux points de fonctionnement et en validant leurs courbes caractéristiques. Nous avons ensuite conçu un amplificateur *common source* visant $V_{out,DC} \approx V_{DD}/2$ et un gain proche de 20 dB. L'analyse en petit signal, associée aux simulations dans le domaine temporel et fréquentiel, a montré une bonne concordance avec les expressions théoriques, avec de légères différences attribuées à la modulation de canal et à la définition pratique de V_{th} . Enfin, nous avons confirmé l'objectif de consommation statique et atteint le gain spécifié après des ajustements fins de V_{GS} et de W , ce qui met en évidence la cohérence entre le dimensionnement analytique et la vérification par simulation.