

PipeLine Processor

PROJECT REPORT

Prepared by:

1. Ahmed Mahmoud Abdul-Fattah [CSE].
2. Mahmoud Muhammad Hashem [CSE].
3. Musa Mahmoud Salah [CSE].

Test Code

| R | IF | instruction | Expected Value |
|----|----|---------------------|-----------------|
| 5 | 0 | set r1, 0x55 | R1 = 0x55 |
| 6 | 1 | sset r1, 0x12 | R1 = 0x5512 |
| 7 | 2 | sset r1, 0x10 | R1 = 0x551210 |
| 8 | 3 | sset r1, 0x20 | R1 = 0x55121020 |
| 9 | 4 | sset r1, 0x00 | R1 = 0x12102000 |
| 10 | 5 | set r6, 0x22 | R6 = 0x22 |
| 11 | 6 | sset r6, 0x06 | R6 = 0x2206 |
| 12 | 7 | sset r6, 0x02 | R6 = 0x220602 |
| 13 | 8 | sset r6, 0x11 | R6 = 0x22060211 |
| 14 | 9 | eqv r3, r6, r1 | R3 = 0xCFE9DDEE |
| 15 | 10 | sub r0,r0,r0 | R0 = 0x00000000 |
| 16 | 11 | lw r1, 0(r0) | R1 = 0x00000001 |
| 17 | 12 | lw r2, 1(r0) | R2 = 0x00000001 |
| 18 | 13 | lw r3, 2(r0) | R3 = 0x0000000a |
| 19 | 14 | addi r4, r4, 10 | R4 = 0x0000000a |
| 20 | 15 | sub r4,r4,r4 | R4 = 0x00000000 |
| 21 | 16 | add r4,r2,r4/mem | R4 = 0x00000001 |
| 22 | 17 | slt r5,r2,r3/ex=0 | R5 = 0x00000001 |
| 23 | 18 | beq r5,r0,2/DE=true | false |
| 24 | 19 | add r2,r1,r2/Rs=10 | R2 = 0x00000002 |

| | | | |
|-----|----|--------------------|---|
| 25 | 20 | beq r0,r0,-5 | After 10 iterations going 5 steps back to add R2 = 0x0000000a R4 = 0x00000037 |
| 85 | 21 | sw r4, 0(r0) | MEM[0] = 0x00000037 |
| 86 | 22 | jal func | Jump to label func R7 = 0x0000002e |
| 96 | 23 | ror r6, r6, 8 | R6 = 0x11220602 |
| 97 | 24 | lw r4, 1(r0) | R4 = Mem[1] = 0x42081283 |
| 98 | 25 | lw r5, 2(r0) | R5 = Mem[2] = 0x738EDFFB |
| 99 | 26 | add r6, r6, r5 | R6 = 0x84B0E5FD |
| 100 | 27 | beq r0,r0,-1 | Programme is over, keep looping back to here |
| 87 | 28 | func: sub r0,r0,r0 | R0 = 0x00000000 |
| 88 | 29 | lw r1, 0(r0) | R1 = 0x00000037 |
| 89 | 30 | lw r2, 0(r1) | R2 = mem[55] = 0x430a1f9b |
| 90 | 31 | lw r3, 1(r1) | R3 = mem[56] = 0x728cd2e3 |
| 91 | 32 | and r4,r2,r3 | R4 = 0x42081283 |
| 92 | 33 | or r5, r2, r3 | R5 = 0x738EDFFB |
| 93 | 34 | sw r4, 1(r0) | Mem[1] = 0x42081283 |
| 94 | 35 | sw r5, 2(r0) | Mem[2] = 0x738EDFFB |
| 95 | 36 | jr r7 | Back to ror |



0000003700

0.0 42081283 0

738ed6fb

[illegible]

Control unit Truth table

| <i>Instru ction</i> | <i>Op Code</i> | <i>ALU-F</i> | <i>ALU SRC</i> | <i>A L U O / P</i> | <i>e x t e n d</i> | <i>i m m</i> | <i>RW</i> | <i>MemTo Reg</i> | <i>Reg Dst</i> | <i>Mem Read</i> | <i>Mem Write</i> | <i>R0</i> | <i>S S E T</i> | <i>T E</i> | <i>J</i> | <i>JAL</i> | <i>BEQ</i> | <i>B N E</i> | <i>B</i> |
|-------------------------|--------------------|--------------|--------------------|--|--|----------------------|-----------|----------------------|--------------------|---------------------|----------------------|-----------|----------------------------|----------------|----------|------------|------------|----------------------|----------|
| <i>AND</i> | <i>0</i> | <i>AND</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>OR</i> | <i>0</i> | <i>OR</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>XOR</i> | <i>0</i> | <i>XOR</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>EQV</i> | <i>0</i> | <i>EQV</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>Add</i> | <i>1</i> | <i>ADD</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>Sub</i> | <i>1</i> | <i>Sub</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SLt</i> | <i>1</i> | <i>Slt</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SEQ</i> | <i>1</i> | <i>SEQ</i> | <i>0</i> | <i>1</i> | <i>x</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>AndI</i> | <i>4</i> | <i>AND</i> | <i>1</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>ORI</i> | <i>5</i> | <i>OR</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>XORI</i> | <i>6</i> | <i>XOR</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>EQVI</i> | <i>7</i> | <i>EQV</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>AddI</i> | <i>8</i> | <i>ADD</i> | <i>1</i> | <i>1</i> | <i>2</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SLTI</i> | <i>9</i> | <i>Sub</i> | <i>1</i> | <i>1</i> | <i>2</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SEQI</i> | <i>10</i> | <i>Sub</i> | <i>1</i> | <i>1</i> | <i>2</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SLL</i> | <i>11</i> | <i>SLL</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SRL</i> | <i>12</i> | <i>SRL</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>ROR</i> | <i>13</i> | <i>ROR</i> | <i>1</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>BEQ</i> | <i>14</i> | <i>Sub</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> |
| <i>BNE</i> | <i>15</i> | <i>Sub</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> |
| <i>LW</i> | <i>16</i> | <i>Add</i> | <i>1</i> | <i>1</i> | <i>2</i> | <i>0</i> | <i>1</i> | <i>1</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>SW</i> | <i>17</i> | <i>Add</i> | <i>1</i> | <i>1</i> | <i>2</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> |
| <i>BEQZ</i> | <i>20</i> | <i>Sub</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>1</i> |
| <i>BNEZ</i> | <i>21</i> | <i>Sub</i> | <i>0</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>1</i> |
| <i>BLTZ</i> | <i>22</i> | <i>Sub</i> | <i>0</i> | <i>2</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> |
| <i>BGEZ</i> | <i>23</i> | <i>Sub</i> | <i>0</i> | <i>2</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>x</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>1</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>0</i> | <i>1</i> |

| | | | | | | | | | | | | | | | | | | | |
|------|----|------------|----------|----------|----------|---|---|----------|----------|---|---|----------|----------|----------|---|---|---|---|---|
| BGTZ | 24 | <i>Sub</i> | 0 | 3 | <i>x</i> | 1 | 0 | <i>x</i> | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| BLEZ | 25 | <i>Sub</i> | 0 | 3 | <i>x</i> | 1 | 0 | <i>x</i> | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| JR | 26 | <i>Add</i> | 0 | 1 | <i>x</i> | 1 | 0 | <i>x</i> | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| JALR | 27 | <i>Add</i> | 0 | 1 | <i>x</i> | 1 | 1 | <i>x</i> | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| SET | 28 | <i>Add</i> | 1 | 1 | 2 | 1 | 1 | 0 | <i>x</i> | 0 | 0 | 1 | 0 | <i>x</i> | 0 | 0 | 0 | 0 | 0 |
| SSET | 29 | <i>Add</i> | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 2 | 1 | <i>x</i> | 0 | 0 | 0 | 0 | 0 |
| J | 30 | <i>x</i> | <i>x</i> | <i>x</i> | <i>x</i> | 2 | 0 | <i>x</i> | <i>x</i> | 0 | 0 | <i>x</i> | <i>x</i> | <i>x</i> | 1 | 0 | 0 | 0 | 0 |
| JAL | 31 | <i>x</i> | <i>x</i> | <i>x</i> | <i>x</i> | 2 | 1 | <i>x</i> | <i>x</i> | 0 | 0 | <i>x</i> | <i>x</i> | <i>x</i> | 1 | 1 | 0 | 0 | 0 |

ALU Contol Unit Truth Table for R-type

| <i>OpCode</i> | <i>2-bit f</i> | <i>index</i> | <i>ALUoperation</i> | A | B | C | D | E |
|---------------|----------------|--------------|---------------------|---|---|---|---|---|
| 0 | 0 | 0 | AND | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | OR | 0 | 0 | 0 | 0 | 1 |
| 0 | 2 | 2 | XOR | 0 | 0 | 0 | 1 | 0 |
| 0 | 3 | 3 | EQV | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 4 | ADD | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 5 | Sub | 0 | 1 | 0 | 0 | 1 |
| 1 | 2 | 6 | Slt | 0 | 1 | 1 | 0 | 1 |
| 1 | 3 | 7 | SEQ | 1 | 0 | 0 | 0 | 1 |

ALU Contol Unit Truth Table for R-type

| <i>OpCode</i> | <i>ALUoperation</i> | A | B | C | D | E |
|---------------|---------------------|---|---|---|---|---|
| 4 | AND | 0 | 0 | 0 | 0 | 0 |
| 5 | OR | 0 | 0 | 0 | 0 | 1 |
| 6 | XOR | 0 | 0 | 0 | 1 | 0 |
| 7 | EQV | 0 | 0 | 0 | 1 | 1 |
| 8 | ADD | 0 | 1 | 0 | 0 | 0 |
| 9 | Slt | 0 | 1 | 1 | 0 | 1 |
| 10 | Seq | 1 | 0 | 0 | 0 | 1 |
| 11 | SLL | 0 | 0 | 1 | 0 | 0 |
| 12 | SRL | 0 | 0 | 1 | 0 | 1 |
| 13 | ROR | 0 | 0 | 1 | 1 | 0 |
| 14 | Sub | 0 | 1 | 0 | 0 | 1 |
| 15 | Sub | 0 | 1 | 0 | 0 | 1 |
| 16 | Add | 0 | 1 | 0 | 0 | 0 |
| 17 | Add | 0 | 1 | 0 | 0 | 0 |
| 20 | Sub | 0 | 1 | 0 | 0 | 1 |
| 21 | Sub | 0 | 1 | 0 | 0 | 1 |

| | | | | | | |
|----|------------|---|---|---|---|---|
| 22 | <i>Sub</i> | 0 | 1 | 0 | 0 | 1 |
| 23 | <i>Sub</i> | 0 | 1 | 0 | 0 | 1 |
| 24 | <i>Sub</i> | 0 | 1 | 0 | 0 | 1 |
| 25 | <i>Sub</i> | 0 | 1 | 0 | 0 | 1 |
| 26 | <i>Add</i> | 0 | 1 | 0 | 0 | 0 |
| 27 | <i>Add</i> | 0 | 1 | 0 | 0 | 0 |
| 28 | <i>Add</i> | 0 | 1 | 0 | 0 | 0 |
| 29 | <i>Add</i> | 0 | 1 | 0 | 0 | 0 |
| 30 | <i>x</i> | x | x | x | x | x |
| 31 | <i>x</i> | x | x | x | x | x |