

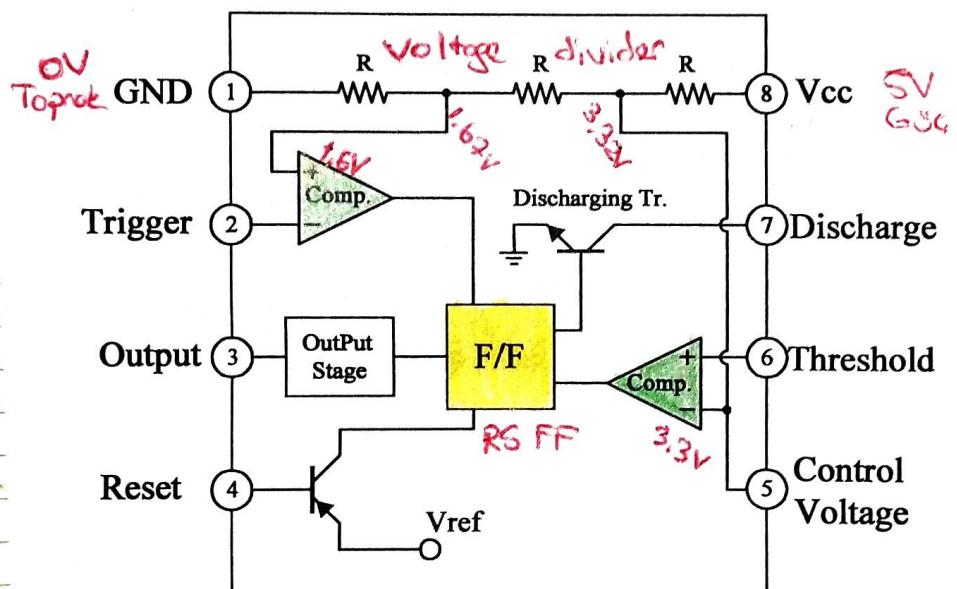
Bilgisayarın Çalışma Montisi

YouTube'da bulduğum "Ben Ester" in kanalında en basit elektronik elementler kullanarak ve çalışma mantıksını anlattıktan sonra 8 bittik bir bilgisayar yapımı synatıca listesini takip edeceğim. Ben Ester video serisine 20 mantıksızı anlattıktan başlıdı. NE555 timer entegrasyonu kullanarak Astable, Monostable ve Bistable modlarında çalışan saat dörtlüsü üretti. Bu haftaki hedefim entegrasyonları elde etmek gerekince çalışmaya başlayacağım.

LM555/NE555/SA555

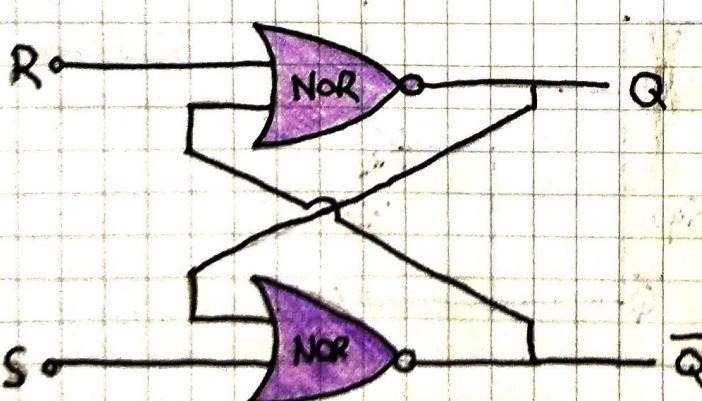
Single Timer

Yüksek稳定性de zaman sinyalleri üretmek entegre μ s (mikro saniye) den saatler kadar süren zaman dolgusu oluşturabilir.

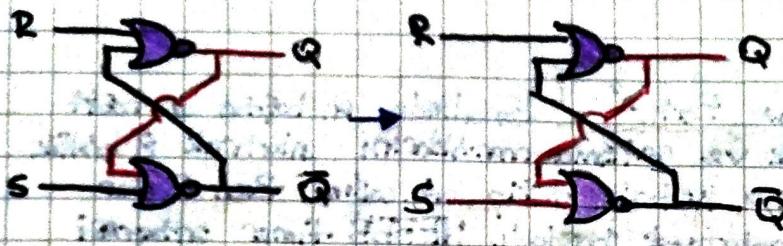


Düzenin nasıl çalıştığını açıklamadan önce RS-FF (RS Flip Flop)'un nasıl çalıştığını kavrayalım. R reseti, S seti temsil ediyor. İki adet NOR kapısı ile RSFF yapılıyor. Başlangıç anında her iki girişte 0(sıfır) değeri olduğundan su şekilde

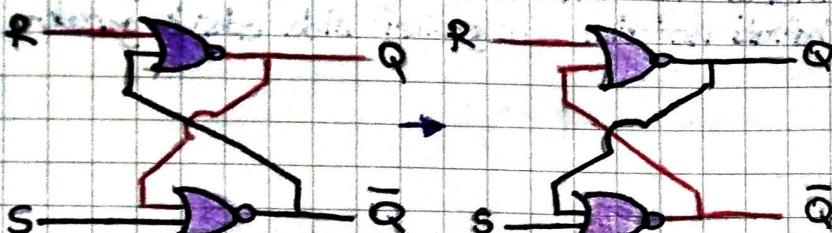
billyor. Başlangıç anında her iki girişte 0(sıfır) değeri olduğundan su şekilde bir tablo ile karşılaşıyoruz.



Aşında her iki çıkış aynı anda 1(bir) değeri alıyor. Ancak ardından bir tane daha kısa olduğundan xor kapısına daha çok ulaşıyor. Ve diğer tarafın (bitir) olmasını sağlıyor.



Durum bittiğinde S girişini 1(bir) yapmak bir şey değil. Durum enkaz R girişinin 1(bir) olması ile tersine döner.

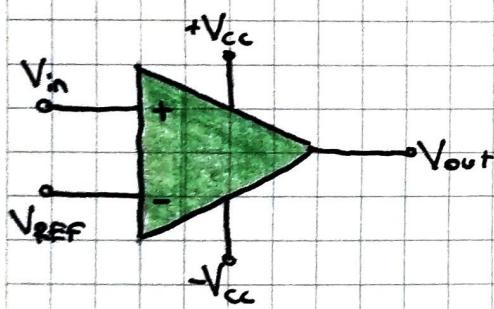


R giriş 1(bir) olduğunda akışlar flip olur. Aynı yukarıdaki durumda gibi bu sefer de R girişinin no olmasının etiği olmaz. Bir sonraki değişiklik için S girişinin 1(bir) olmasını bekleriz.

RS FF bu şekilde sırasıyla R ve S girişlerinin değişimleri monte edileceğinden çakışır.

- Gencel dünyada 1 ve 0'ları voltolar ile kullanırız. Eğer kablo üzerinde V_{olt} (genilim) var ise (bu genelde SVolt) 1(bir), genilim yok ise veya çok az ise 0(sıfır) olacak kullanırız.

- 555 timer entegresinin iç yapısında ayrıca comparators (voltage comparators) da görüyorum.



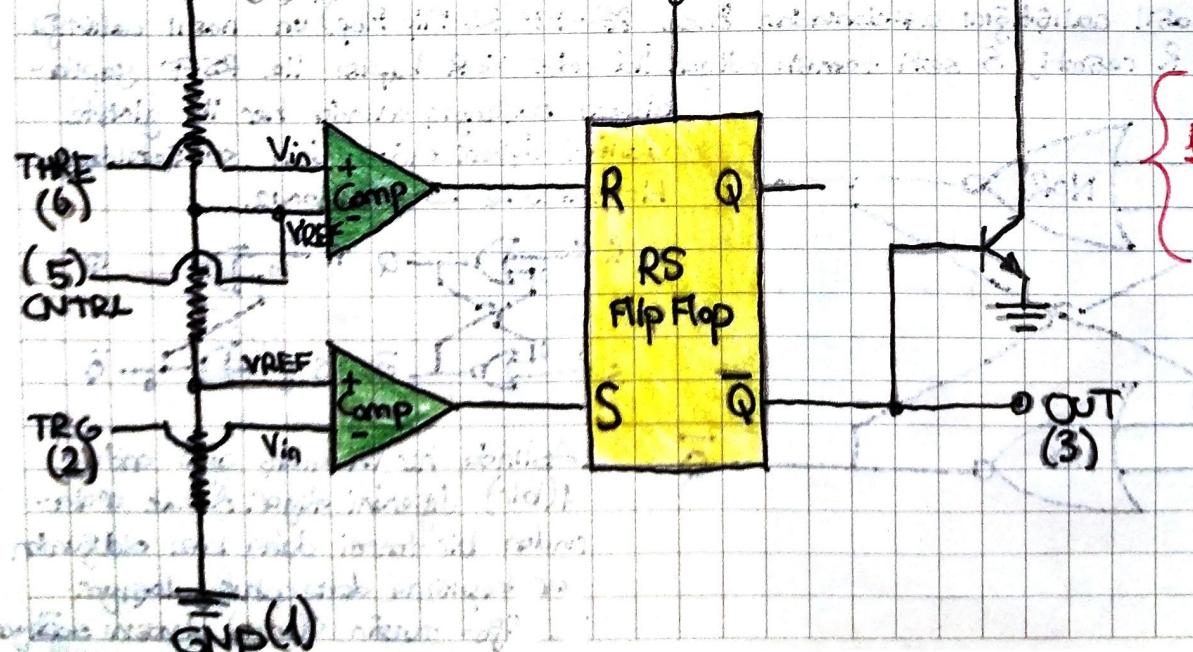
Bu komparatorlarda; eğer V_{in} bacağından olan genilim V_{REF} bacağından genilimden büyük ise akış olacak $+V_{CC}$ genilimi verir. Diğer tarafta V_{in} bacağından genilim V_{REF} bacağından genilimden küçük ise $-V_{CC}$ genilimini verir.

V_{REF} bacağınnn + veya - kısmında olmasına göre tsler tersine döner.

V_{CC} (8)

RESET (4)

DSCHRG (7)



555 Timer
İç yapısı

555 zamanlayıcıının monostable yeri tek vuruşlu ve çalışma modunda nasıl davranışını inceleyelim.

Bu haliyle devreyi binaktığımızda THRE(6) boceğinin sürekli 5VOLT gönderdiği varsayıyoruz.

Korsileştiğimizdeki

V_{REF} geniliminden

büyük olduğu için RS FF' undaki R ucu aktif oluyor. Bu yüzden Q çıkış (0'sı) ve \bar{Q} çıkış (1'si) deponini alıyor. DSCHRG(7) boceğindeki desorj transistörünün base boceğine \bar{Q} çıkışına bağlı olduğundan sürekli desorj işlemi devam ediyor. Bu yüzden C (kapsitör) sorgulamıyor. Hemen alta TRG(2) boceğine da sürekli HIGH (5VOLT) uygulandığı için ve korsileştiğimden LOW ucuğu cuttginden RSFF' undaki S ucu inaktiv kalıyor. Tüm bu nedenle TRG(2) boceğine bağlı terminal reaksiyonlarının oldum butonuna cevirebilir. Butona tıklandığı anda TRG(2) boceğindeki devre kısa devre olacağı için bir antijina 0VOLT genilim geliyor. Korsileştiğim V_{REF} yani 1,6V geniliminden daha da bir genilim ile korsileştiği için çıkışı HIGH (5VOLT) yapıyor. RS FF' undaki S ucuunu aktif yapıyor. Q ve \bar{Q} çıkışları flip olmuş oluyor. C (kapsitör) sorgulamıyor.

Bu sırada THRE(6) boceğindeki genilim yavaş geces yokselliyor.

3,3 Volt'a ulaşınca

kader durum

bu şekilde kalkıyor.

3,3 volt'a ulaşır

ve sonrasında THRE

korsileştiğimusi

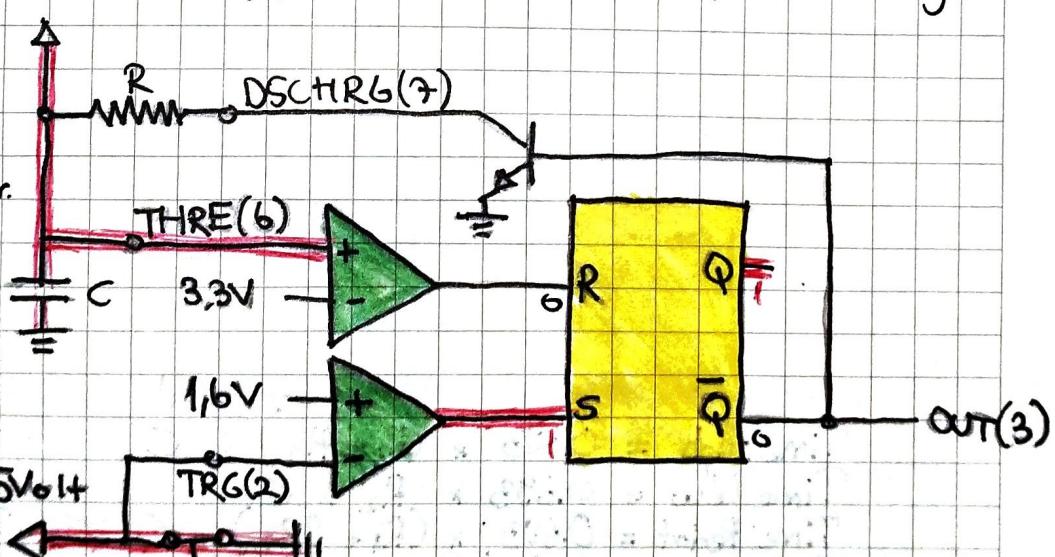
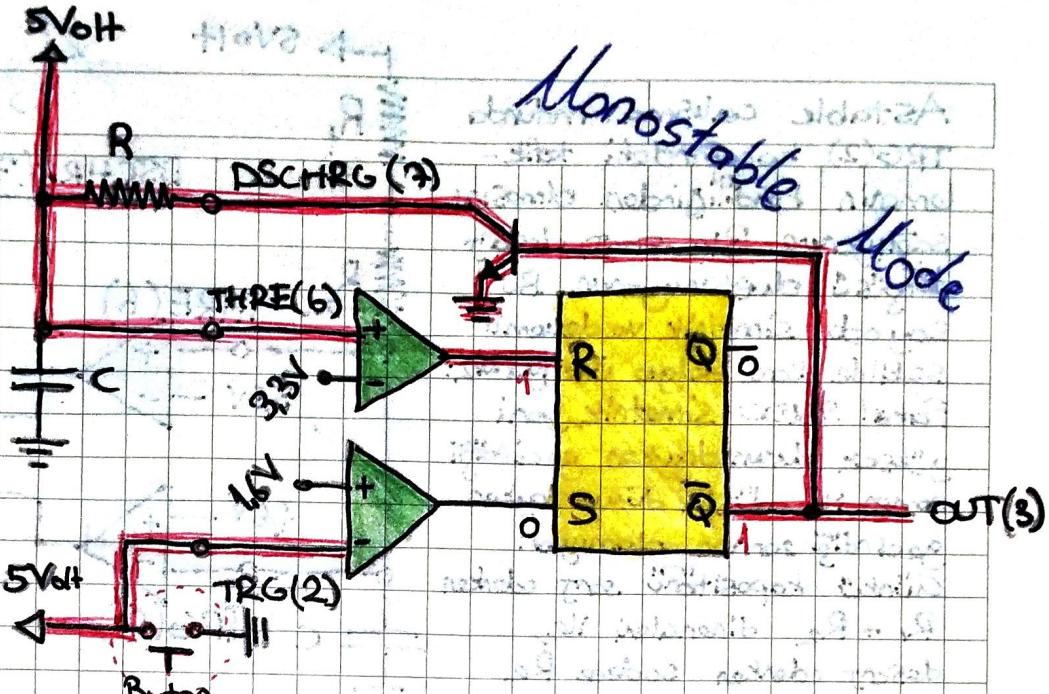
HIGH (5VOLT)

aktif hale gelir

ve kelenin tekrar

flip yapmasını!

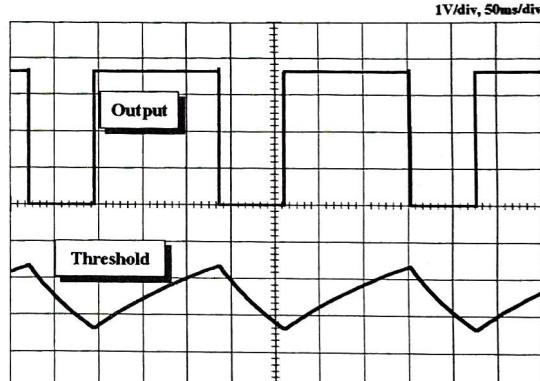
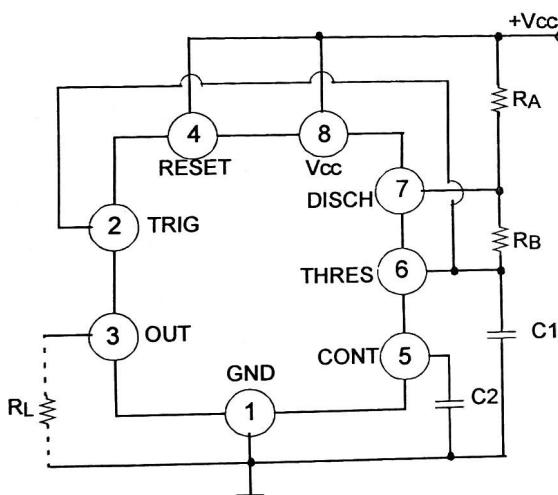
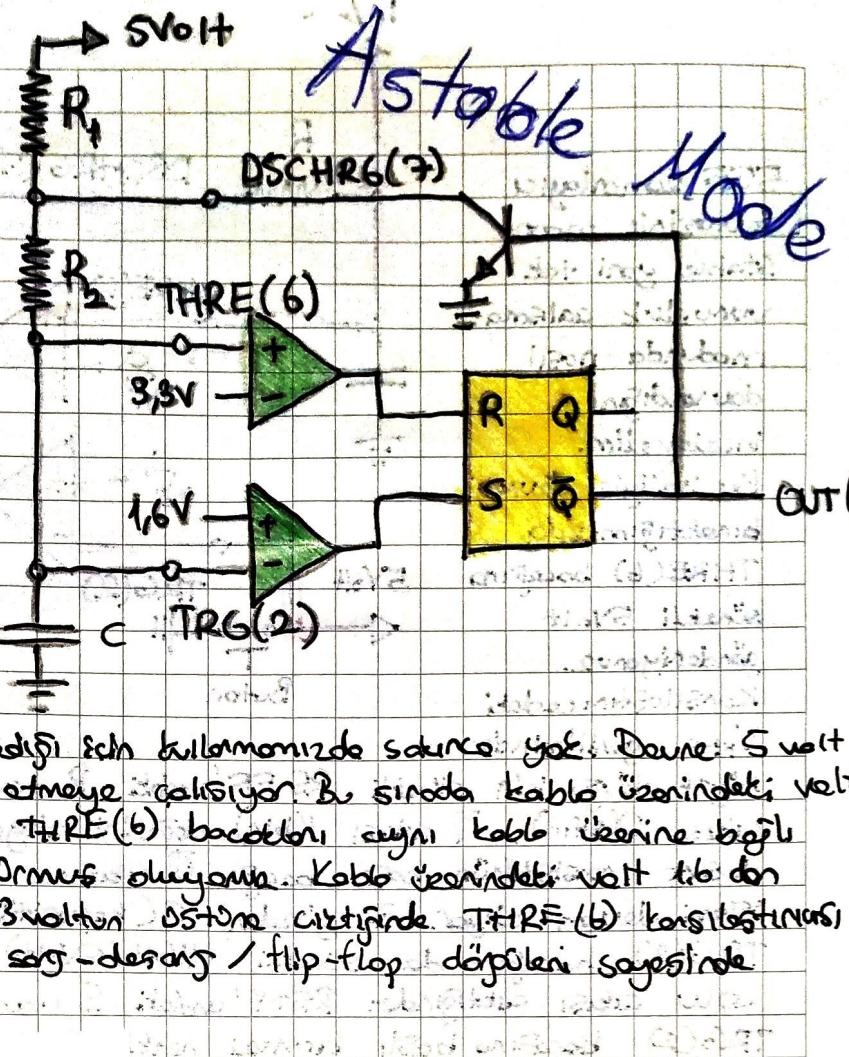
Sağlıyor. Desorj transistörler aktif oluyor ve kapsitördeki yük boşalmaya başlıyor. Gecen zamanda üretilen kore dalgayı kullanabiliyoruz. Bir sonrak kore dalgası butona tıklar basılıncaya oluşur. Kapsitörün sigasını veya direncin boyutluğunun artmasını bu kore dalganının şubesini ayarlayabiliriz.



$$\text{OUTPUT PULSE WIDTH (saniye)} = 1.1 \times R(\text{ohm}) \times C(\text{Farak})$$

Astable çalışma mürdürü TRG(2) basıgındaktı tarihi - lenenin kendiliğinden olmasını sağlıyor. Bir sorg, desorj döngüsü oluşturuluyor. Bu soyade simetrik ve devamlı. Setilde kore dolgo ünütüyor. Fakat 2.000 simetrik yani yarım durağın da gecidiği zaman ile dördüncü durağın da gecidiği zaman olmuyor. Çünkü topotürü sorg ederken $R_1 + R_2$ durağını ile, desorj ederken sadece R_2 durağı ile yapıyor.

Cevap büyük farklılıklar doğurmamıştır. Sıra kılavuzunda şurada şov. Devre 5 volt ile beslenip topotürü sorg etmeye çalışıyon. Bu sırada kablo üzerindeki voltasızlığı baslıyor. TRG(2) ve THRE(6) basıtonları aynı kablo üzerinde birlikte olduğunu iden bir döngü oluşturmuş oluyor. Kablo üzerindeki volt 1.6'dan aşağıya düşüğünde TRG(2), 3.3 voltun üstünde çalıştığından THRE(6)感知leştirilmiş oluyor. Birbirini takip eden sorg-desorj / flip-flop döşelerini sayesinde kore dolgo ünütüyor.



$$\text{Time High} = 0.693 \times (R_1 + R_2) \times C$$

$$\text{Time Low} = 0.693 \times R_2 \times C$$

$$\text{Time Period} = 0.693 \times (R_1 + 2R_2) \times C = \text{Time High} + \text{Time Low}$$

$$\text{Frequency} = 1.44 / (R_1 + 2R_2) \times C$$

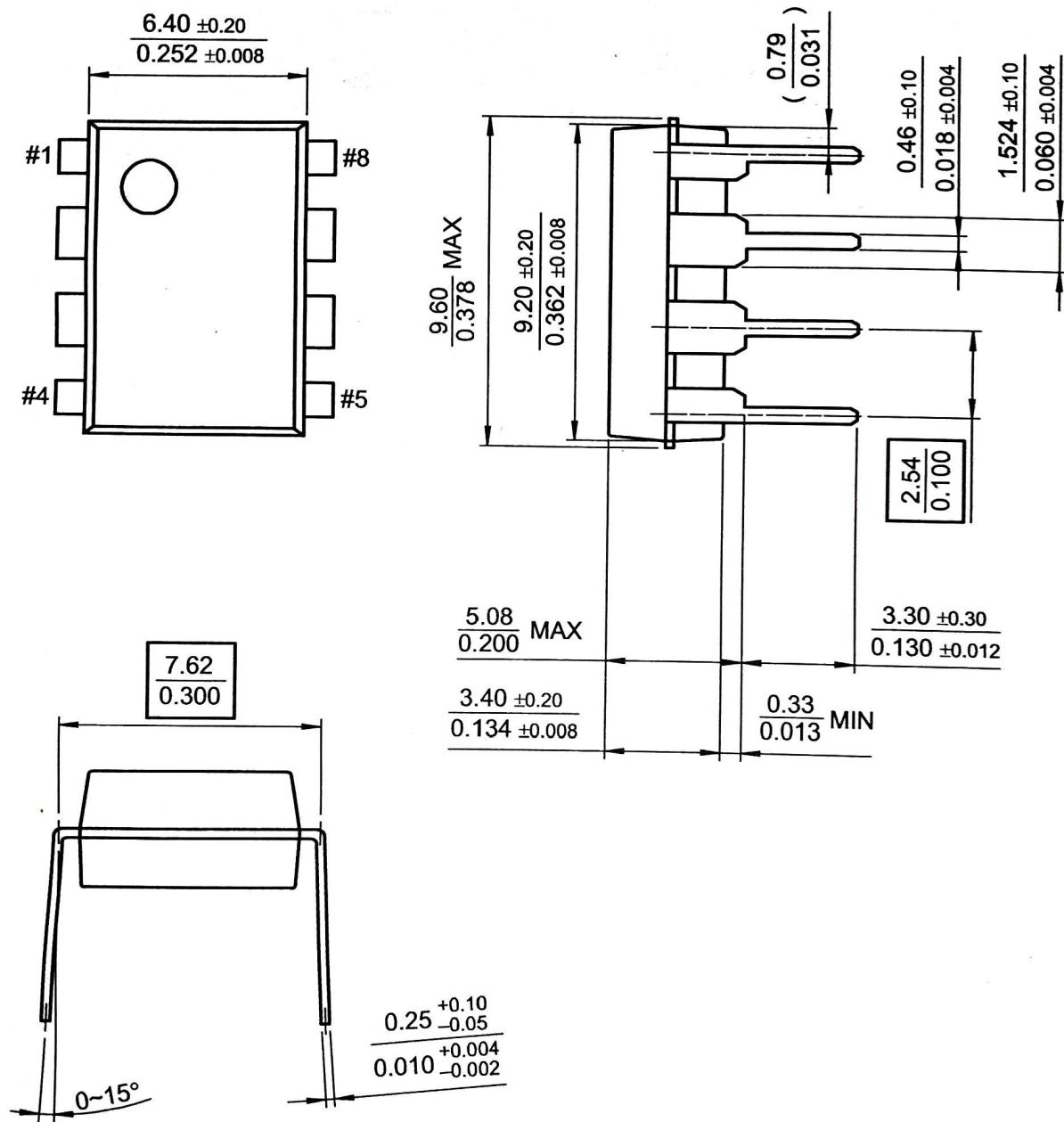
$$\text{Duty Cycle} = (\text{Time High} / \text{Time Period}) \times 100$$

Mechanical Dimensions

Package

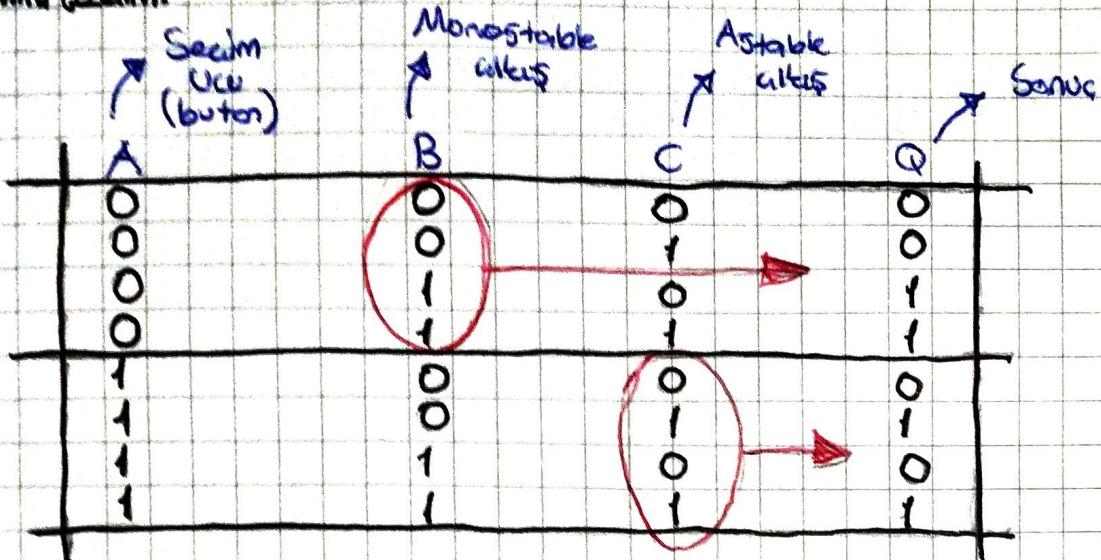
Dimensions in millimeters

8-DIP

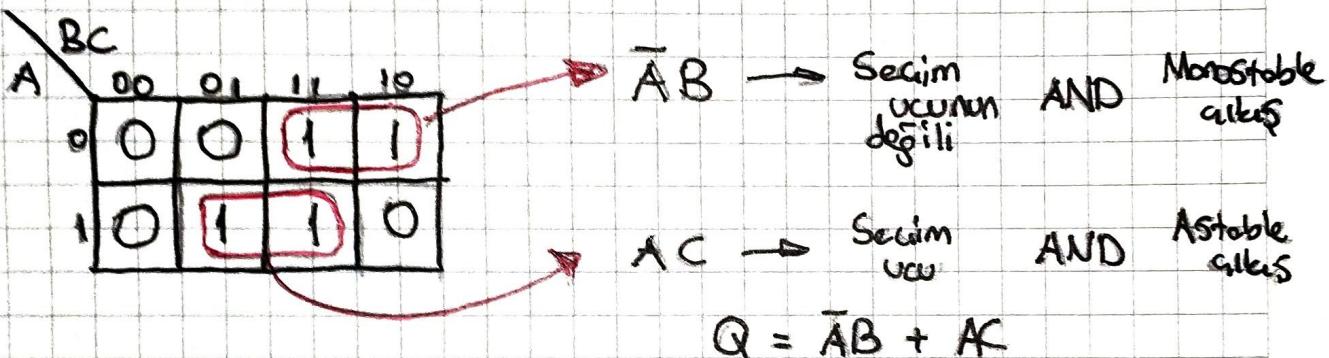


555 zamanlayıcı entegresini monostable moda kullanarak, her butona basısimda saat döbisi üretilir. Astable moda kullanarak kendine ve sürekli olarak saat döbisi üretilir. Saat döbelerini ileride yapacağım register (keydetmeli) de bellekte ve ALU (Arithmetic Logical Unit) üzerinde varlığını kaydirmak, bilgi değiştirmek, bir sonraki hesaplama döngüsüne geçmek için kullanacağım. Bazen hata tespiti için monostable modunu, bazense otomatik çalışmaya için astable modunu kullanırız gerekli. İki mod arasında geç git yapan bir serum butonu kullanabiliriz. Bu serum MUX (seçici) (multiplexer)lar yardımı ile yapabiliriz. Veya AND, OR ve NOT Kapılarını kullanarak seçim yapmanıza sağlayın bir devre kurabılırız.

2x1 multiplexer devresini an sade şekilde cișmet için Karnaugh diyagramını çizelim.

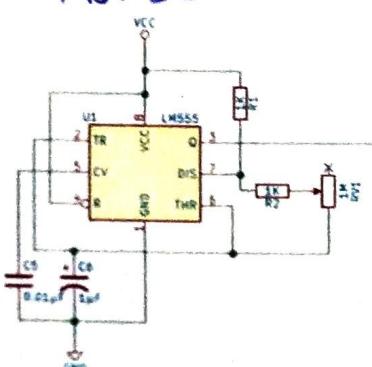


Q değeri için Karnaugh haritası:

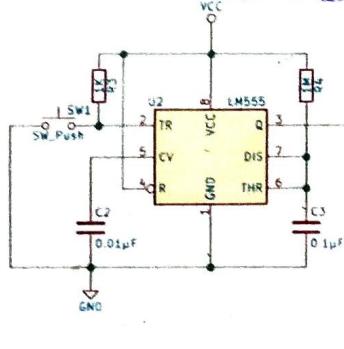


Bir(1) adet NOT, Bir(1) adet OR, İki(2) adet AND kopyası kullanarak bu devreyi kurabilirsiniz.

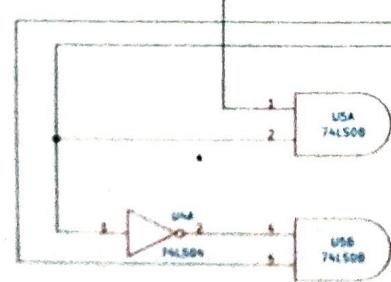
Astable



Monostable



Önceli sayfalarda
kurdığınız zamanda
yapın devrelerini
NE555



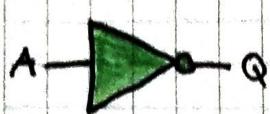
Secimi
yapmak

icin
kullanılır.

Push
button

Saat
derbesi
buradan elde

NOT GATE



A | Q

0	1
1	0

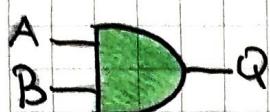
OR GATE



A | B | Q

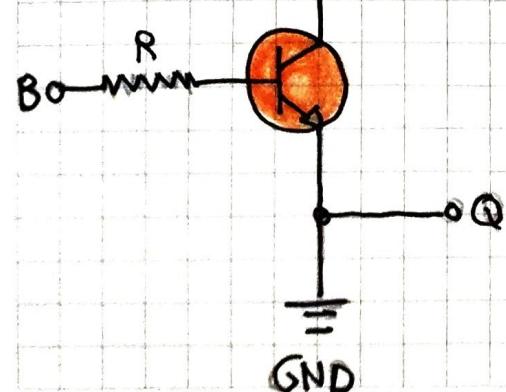
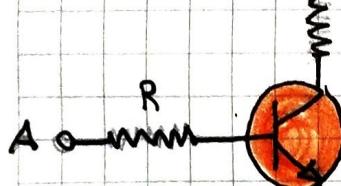
0	0	0
0	1	1
1	0	1
1	1	1

AND GATE



A | B | Q

0	0	0
0	1	0
1	0	0
1	1	1



A0

B0

R

Vcc

GND

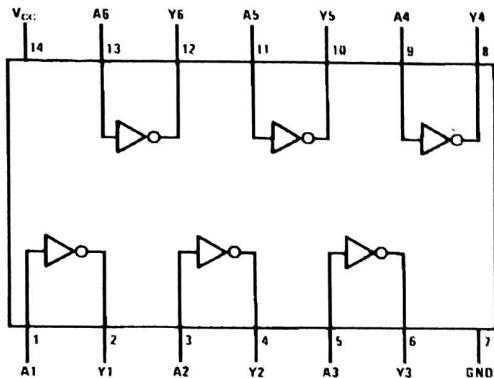
Bu montik devrelerini transistör seviyesinde yapabileceğimi 2 gibi hour entegrelere halinde satın da alabilirim.

DM 74L06 - 74LS04 - NOT GATE
 DM 74L508 - 74LS03 - AND GATE
 DM 74L532 - 74LS32 - OR GATE

DM7404

Hex Inverting Gates

Connection Diagram



Function Table

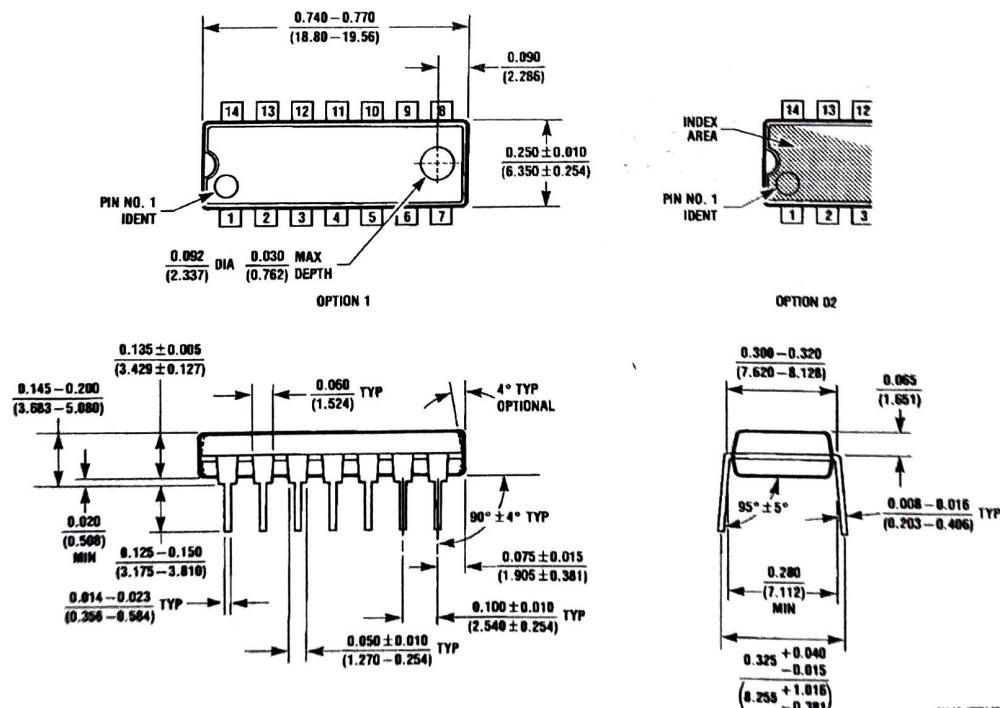
$$Y = \bar{A}$$

Inputs	Output
A	Y
L	H
H	L

H = HIGH Logic Level

L = LOW Logic Level

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)

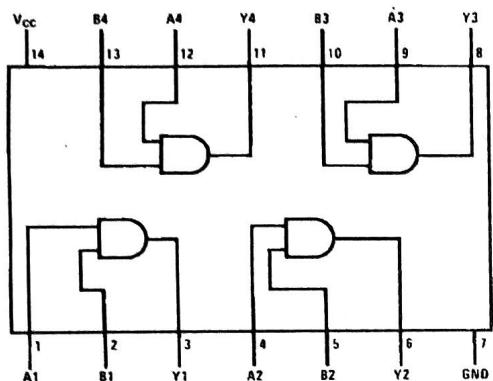


14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N14

DM74LS08

Quad 2-Input AND Gates

Connection Diagram



Function Table

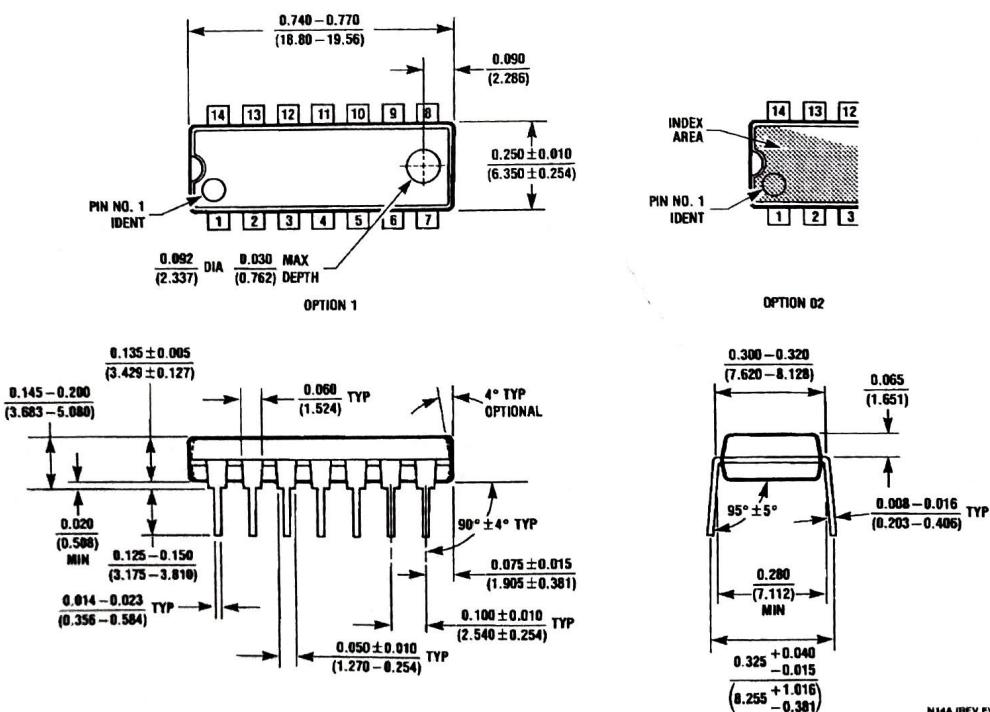
$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

Physical Dimensions

inches (millimeters) unless otherwise noted (Continued)

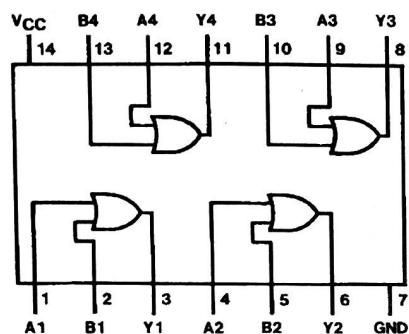


14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N14A

DM74LS32

Quad 2-Input OR Gate

Connection Diagram



Function Table

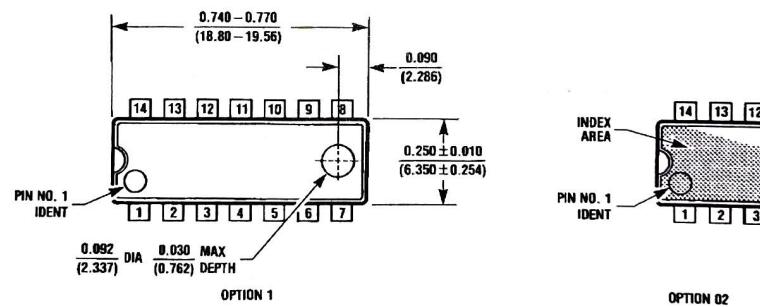
$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

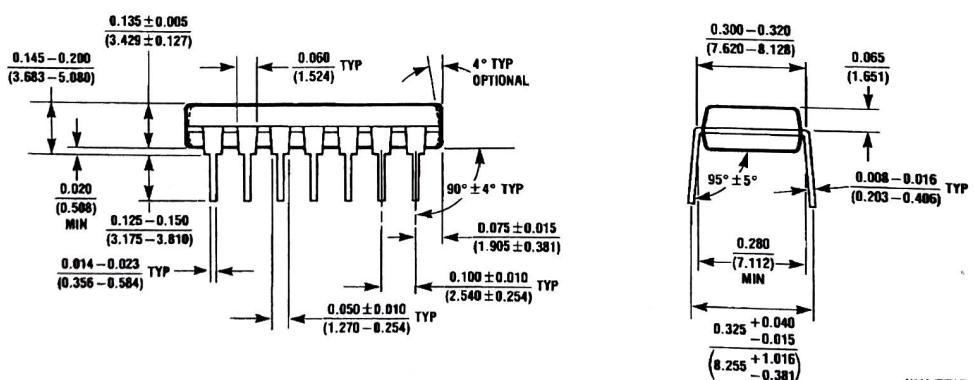
H = HIGH Logic Level

L = LOW Logic Level

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



OPTION 02



N14A (REV F)

14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
Package Number N14A