

## Диод, Светодиод, Фотодиод (Билет 7)

- **Диод (Semiconductor Diode):**
    - **Определение:** Двухэлектродный полупроводниковый прибор, обладающий односторонней проводимостью тока.
    - **Структура:** p-n переход. Анод (p), Катод (n).
    - **Принцип работы:**
      - **Прямое смещение (Forward Bias):**  $V_{AK} > 0$ . Открыт, ток течет. Падение  $V_F \approx 0.6-0.7\text{В (Si)}$ .
      - **Обратное смещение (Reverse Bias):**  $V_{AK} < 0$ . Закрыт, малый обратный ток  $I_R$ .
      - **Пробой (Breakdown):** При большом  $|V_R|$ , резкий рост  $I_R$ .
    - **Применение:** Выпрямление, детектирование, защита.
  - **Светодиод (Light Emitting Diode - LED):**
    - **Определение:** Диод, излучающий свет при прямом токе.
    - **Принцип работы:** Электролюминесценция (рекомбинация носителей в p-n переходе). Цвет зависит от материала.
    - **Характеристики:**  $V_F \approx 1.5-3.5\text{В}$ . Требуется токоограничивающий резистор.
    - **Применение:** Индикация, освещение, дисплеи.
  - **Фотодиод (Photodiode):**
    - **Определение:** Диод, преобразующий свет в электрический сигнал.
    - **Принцип работы:** Фотоны генерируют электронно-дырочные пары, разделяемые полем p-n перехода  $\rightarrow$  фототок.
    - **Режимы:** Фотогальванический (без смещения, генерирует  $V$ ), Фотодиодный (с обратным смещением,  $I$  пропорционален свету).
    - **Применение:** Датчики света, оптопары, приемники ВОЛС.
- 

## 2. Стабилитрон, Тиристор, Тринистор (Билет 8)

- **Стабилитрон (Zener Diode):**
  - **Определение:** Диод для стабилизации напряжения, работающий в режиме обратного пробоя.
  - **Принцип работы:** При обратном напряжении  $V_Z$  (напряжение стабилизации), ток может сильно меняться, а  $V_Z$  остается почти постоянным.
  - **Включение:** Обратно, с токоограничивающим резистором. Нагрузка параллельно.
  - **Применение:** Стабилизация напряжения, опорные напряжения.
- **Тиристор (Thyristor / SCR - Silicon Controlled Rectifier):**
  - **Структура:** p-n-p-n. 3 вывода: Анод (A), Катод (K), Управляющий электрод (УЭ, Gate - G).
  - **Принцип работы:**
    - Закрыт: нет тока на G,  $V_{AK} < V_{BO}$  (напр. переключения).
    - Открытие: импульс тока на G (при  $V_{AK} > 0$ ).
    - Удержание: остается открытым, пока  $I_{AK} > I_H$  (ток удержания).
    - Закрытие:  $I_{AK} < I_H$  или смена полярности  $V_{AK}$ .

- **Применение:** Управление мощными нагрузками (AC/DC).
  - **Тринистор (Trinistor):** Синоним SCR.
- 

### 3. Тринистор, Динистор, Симистор (Билет 9)

- **Тринистор:** (См. SCR выше).
  - **Динистор (Diac - Diode for AC):**
    - **Определение:** Двухнаправленный триггерный диод (тиристор без УЭ). 2 вывода.
    - **Принцип работы:** Закрыт, пока  $|V| < V_{BO}$  (напр. переключения). При  $|V| = V_{BO}$  лавинообразно открывается в обе стороны.
    - **Применение:** Запуск симисторов/тириستоров.
  - **Симистор (Triac - Triode for AC):**
    - **Определение:** Симметричный тиристор (два SCR встречно-параллельно). 3 вывода: MT1, MT2, УЭ (Gate).
    - **Принцип работы:** Проводит ток в обе стороны. Открывается импульсом на УЭ.
    - **Применение:** Управление нагрузками AC (диммеры, регуляторы).
- 

### 4. Варикапы, Диодные мосты (Билет 10)

- **Варикап (Varicap / Varactor Diode):**
    - **Определение:** Диод, используемый как конденсатор с управляемой емкостью.
    - **Принцип работы:** Емкость p-n перехода (включенного обратно) зависит от обратного напряжения ( $\uparrow |V_R| \Rightarrow \downarrow C$ ).
    - **Применение:** Настройка контуров (VCO), умножители частоты.
  - **Диодный мост (Diode Bridge Rectifier):**
    - **Определение:** Схема из 4 диодов для выпрямления AC в пульсирующий DC.
    - **Принцип работы:** Поочередно открываются пары диагональных диодов, направляя ток через нагрузку в одну сторону. Двухполупериодное выпрямление.
    - **Применение:** Блоки питания, зарядные устройства.
- 

### 5. Биполярный транзистор (BJT) (Билет 11)

- **Определение:** Трехэлектродный прибор (Эмиттер E, База B, Коллектор C), управляемый током.
  - **Структура:** p-n-p или n-p-n. Два p-n перехода: эмиттерный (Б-Э), коллекторный (Б-К).
  - **Принцип работы (n-p-n, активный режим):**
    - Б-Э смещен прямо ( $V_{BE} \approx 0.7V$ ) -> инжекция электронов из Э в Б.
    - Б-К смещен обратно.
    - Электроны из Б проходят в К ->  $I_C$ . Малая часть рекомбинирует в Б ->  $I_B$ .
    - $I_C = \beta * I_B$  ( $\beta$  или  $h_{FE}$  – коэф. усиления).  $I_E = I_C + I_B$ .
  - **Режимы:** Отсечка (оба закр.), Активный (для усиления), Насыщение (оба откр., ключ).
  - **Применение:** Усилители, генераторы, ключи.
- 

### 6. Полевой транзистор (FET) (Билет 12)

- **Определение:** Трехэлектродный прибор (Исток S, Сток D, Затвор G), управляемый напряжением (полем). Высокое входное сопротивление.
  - **Типы:**
    - **JFET (с управляющим p-n переходом):** Затвор-канал – p-n переход. Обратное смещение на G сужает канал, уменьшая  $I_D$ . Режим обеднения.
    - **MOSFET (МДП, с изолированным затвором):** Затвор изолирован диэлектриком.
      - **Типы канала:** n-канал (NMOS), p-канал (PMOS).
      - **Режимы:**
        - **Обедненный (Depletion):** Канал есть при  $V_{GS} = 0$ .
        - **Обогащенный/Индукцированный (Enhancement):** Канал создается при  $|V_{GS}| > |V_{GS(th)}|$ . Основа CMOS-логики.
  - **Применение:** Усилители, ключи, цифровая логика (CMOS).
- 

#### 7. Резистор, характеристики (Билет 13)

- **Резистор (R):** Пассивный элемент, ограничивающий ток.
  - **Закон Ома:**  $R = U / I$
  - **Характеристики:**
    - **Номинальное сопротивление, Допуск (%)**
    - **Номинальная мощность рассеяния (Вт):**  $P = I^2 * R = U^2 / R$
    - **ТКС (ppm/°C):** Температурный коэффициент сопротивления.
    - **Макс. рабочее напряжение.**
  - **Применение:** Ограничение тока, делители напряжения, нагрузка.
- 

#### 8. Резистор, виды резисторов (Билет 14)

- **По назначению:** Общего применения, Прецизионные, Высокочастотные, Высоковольтные, Мощные.
  - **По изменению R:**
    - **Постоянные.**
    - **Переменные (потенциометры, реостаты).**
    - **Подстроечные (триммеры).**
    - **Нелинейные:** Терморезисторы (PTC/NTC), Фоторезисторы, Варисторы, Тензорезисторы.
  - **По материалу:** Проволочные, Пленочные (углеродистые, металлопленочные, металлооксидные), Объемные.
  - **По монтажу:** Выводные, SMD (чип-резисторы).
- 

#### 9. Конденсаторы и виды конденсаторов (Билет 15)

- **Конденсатор (C):** Пассивный элемент для накопления заряда/энергии поля. 2 обкладки + диэлектрик.
- **Емкость:**  $C = Q / U$  (Фарады, Ф).
- **Характеристики:**
  - **Номинальная емкость, Допуск (%)**

- Номинальное напряжение (В)
- ТКЕ (ppm/°C): Температурный коэффициент емкости.
- Ток утечки, Тангенс угла потерь ( $\tan \delta$ ), ESR, ESL.
- **Виды (по диэлектрику):**
  - Керамические (Class 1 NP0/C0G - стабильные; Class 2 X7R/Y5V - большая C, нестабильные).
  - Пленочные (полистирольные, полипропиленовые, лавсановые).
  - Электролитические (алюминиевые, танталовые) – полярные, большая C.
  - Суперконденсаторы (ионисторы) – очень большая C.
- **Применение:** Фильтры, разделительные цепи, колебательные контуры, накопление энергии.

## Архитектуры ПЛИС и SoC

(Билеты 16, 17, 18, 19, 20)

1. Архитектуры ПЛИС. Принципы построения, особенности, сравнительный анализ (Билет 16)

- **PLA (устар.):** Программируемые матрицы И и ИЛИ. Гибко, сложно.
- **PAL (устар.):** Программируемая матрица И, фиксированная ИЛИ. Проще, быстрее.
- **GAL (устар./простые):** Улучшенный PAL, перепрограммируемый, гибкие выходные макроячейки (OLMC).
- **CPLD (Сложная ПЛИС):**
  - **Структура:** Несколько PAL-подобных блоков + программируемая коммутационная матрица.
  - **Память:** Энергонезависимая (EEPROM/Flash) -> конфигурация сохраняется.
  - **Особенности:** Предсказуемые задержки. Для "клеевой" логики, контроллеров.
- **FPGA (Программируемая Вентильная Матрица):**
  - **Структура:** Массив CLB (LUT+FF) + программируемая трассировка + спец. блоки (BRAM, DSP, PLL).
  - **Память:** Обычно SRAM (volatile, конфигурация загружается при включении).
  - **Особенности:** Высокая емкость и гибкость. Для сложных систем. Задержки зависят от P&R.
- **Сравнение CPLD vs FPGA:**
  - **CPLD:** Меньше, проще, предсказуемые задержки, non-volatile.
  - **FPGA:** Больше, сложнее, гибче, выше производительность, обычно volatile.

2. Архитектуры кристаллов ПЛИС. PAL, GAL (Билет 17)

(Частично рассмотрено выше, здесь акцент на PAL/GAL)

- **PAL (Programmable Array Logic):**
  - **Принцип:** Реализация логических функций в виде суммы произведений (ДНФ).
  - **Структура:**
    - **Входы:** Подаются на программируемую матрицу И.

- **Программируемая матрица И (AND-plane):** Формирует термы (логические произведения входных сигналов или их инверсий). Программируется путем пережигания перемычек (или использования других технологий).
- **Фиксированная матрица ИЛИ (OR-plane):** Выходы матрицы И (термы) жестко подключены к входам определенных элементов ИЛИ. Каждый элемент ИЛИ суммирует фиксированный набор термов.
- **Выходная логика:** Может включать буферы, инверторы, иногда регистры (триггеры) для создания последовательностной логики.
- **GAL (Generic Array Logic):**
  - **Усовершенствование PAL:**
    - **Перепрограммируемость:** Используют технологию EEPROM или Flash, что позволяет стирать и многократно перепрограммировать.
    - **Выходные Логические Макроячейки (OLMC - Output Logic Macrocell):** Более гибкая выходная логика. Каждая OLMC может быть индивидуально сконфигурирована для работы в различных режимах:
      - Комбинационный выход (прямой или инверсный).
      - Регистровый выход (с использованием D-триггера).
      - Выход с обратной связью (выход OLMC может быть подан обратно на входы матрицы И, позволяя реализовывать более сложные функции и конечные автоматы).
      - Программируемая полярность выхода.
    - **Эмуляция PAL:** Одна микросхема GAL может быть сконфигурирована для эмуляции многих различных типов PAL, что упрощало разработку и логику.

### 3. Архитектуры кристаллов ПЛИС. CPLD (Билет 18)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)

- **CPLD (Complex Programmable Logic Device):**
  - **Иерархическая архитектура:**
    - **Функциональные блоки (FB) / Логические блоки (LB) / Макроячейки:** Основа CPLD. Каждый блок похож на PAL/GAL, содержит программируемую матрицу И-ИЛИ и набор регистров. Реализует относительно сложные логические функции.
    - **Программируемая Коммутационная Матрица (PIM - Programmable Interconnect Matrix) / Матрица Соединений:** Соединяет функциональные блоки между собой и с блоками ввода-вывода. Обеспечивает гибкость маршрутизации сигналов.
    - **Блоки Ввода-Вывода (IOB):** Обеспечивают интерфейс с внешними сигналами, могут быть сконфигурированы для различных стандартов напряжений, иметь регистры на входе/выходе.
  - **Энергонезависимая конфигурация:** Конфигурационные данные хранятся во встроенной Flash или EEPROM памяти. CPLD готова к работе сразу после подачи питания ("instant-on").

- **Предсказуемость временных задержек:** Задержки распространения сигналов внутри функционального блока и через коммутационную матрицу обычно хорошо определены и менее зависимы от конкретной логической функции или трассировки, чем в FPGA.
- **Применение:** "Клеевая" логика, декодеры адреса, контроллеры простых интерфейсов, небольшие конечные автоматы, расширители портов.

---

#### 4. Архитектуры кристаллов ПЛИС. FPGA (Билет 19)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)

- **FPGA (Field-Programmable Gate Array):**
  - **Гранулярная архитектура:**
    - **Конфигурируемые Логические Блоки (CLB) / Логические Элементы (LE):** Основной строительный элемент.
      - **Таблицы Поиска (LUT - Look-Up Table):** Небольшие блоки RAM, которые могут реализовать любую логическую функцию от N входов (N обычно 4-6). Программируются путем загрузки таблицы истинности.
      - **Триггеры (Flip-Flops, FF):** Обычно D-триггеры, для реализации регистров, счетчиков, конечных автоматов.
      - **Мультиплексоры и Цепи переноса (Carry Logic):** Для эффективной реализации арифметических операций и коммутации.
    - **Программируемые Ресурсы Трассировки:** Сложная иерархическая сеть проводников различной длины (короткие, длинные, глобальные) и программируемых коммутационных блоков (Switch Boxes/Matrices), соединяющих CLB между собой и с IOB.
    - **Блоки Ввода-Вывода (IOB):** Гибко настраиваемые для различных стандартов, скоростей, могут содержать элементы задержки, регистры.
    - **Специализированные аппаратные блоки:**
      - **Блочная память (BRAM):** Двухпортовая RAM для хранения данных.
      - **DSP-блоки:** Аппаратные умножители, MAC-блоки.
      - **Блоки управления тактовыми сигналами (PLL, MMCM, DLL):** Для генерации и распределения тактовых сигналов.
      - **Высокоскоростные последовательные приемопередатчики (SerDes/Transceivers):** Для интерфейсов PCIe, Ethernet, SATA и др.
      - Иногда встроенные процессорные ядра (в SoC FPGA).
  - **Конфигурация на базе SRAM:** В большинстве современных FPGA конфигурационные данные хранятся в ячейках статической RAM. Это означает, что конфигурация энергозависима (volatile) и должна загружаться при каждом включении питания из внешнего энергонезависимого ЗУ (например, SPI Flash) или хост-процессора.

# Гибкость и Архитектуры ПЛИС и SoC

(Билеты 16, 17, 18, 19, 20)

## 1. Архитектуры ПЛИС. Принципы построения, особенности, сравнительный анализ (Билет 16)

- **PLA (устар.):** Программируемые матрицы И и ИЛИ. Гибко, сложно.
  - **PAL (устар.):** Программируемая матрица И, фиксированная ИЛИ. Проще, быстрее.
  - **GAL (устар./простые):** Улучшенный PAL, перепрограммируемый, гибкие выходные макроячейки (OLMC).
  - **CPLD (Сложная ПЛИС):**
    - **Структура:** Несколько PAL-подобных блоков + программируемая коммутационная матрица.
    - **Память:** Энергонезависимая (EEPROM/Flash) -> конфигурация сохраняется.
    - **Особенности:** Предсказуемые задержки. Для "клеевой" логики, контроллеров.
  - **FPGA (Программируемая Вентильная Матрица):**
    - **Структура:** Массив CLB (LUT+FF) + программируемая трассировка + спец. блоки (BRAM, DSP, PLL).
    - **Память:** Обычно SRAM (volatile, конфигурация загружается при включении).
    - **Особенности:** Высокая емкость и гибкость. Для сложных систем. Задержки зависят от P&R.
  - **Сравнение CPLD vs FPGA:**
    - **CPLD:** Меньше, проще, предсказуемые задержки, non-volatile.
    - **FPGA:** Больше, сложнее, гибче, выше производительность, обычно volatile.
- 

## 2. Архитектуры кристаллов ПЛИС. PAL, GAL (Билет 17)

(Частично рассмотрено выше, здесь акцент на PAL/GAL)

- **PAL (Programmable Array Logic):**
  - **Принцип:** Реализация логических функций в виде суммы произведений (ДНФ).
  - **Структура:**
    - **Входы:** Подаются на программируемую матрицу И.
    - **Программируемая матрица И (AND-plane):** Формирует термы (логические произведения входных сигналов или их инверсий). Программируется путем пережигания перемычек (или использования других технологий).
    - **Фиксированная матрица ИЛИ (OR-plane):** Выходы матрицы И (термы) жестко подключены к входам определенных элементов ИЛИ. Каждый элемент ИЛИ суммирует фиксированный набор термов.
    - **Выходная логика:** Может включать буферы, инверторы, иногда регистры (триггеры) для создания последовательностной логики.
- **GAL (Generic Array Logic):**
  - **Усовершенствование PAL:**



- **Перепрограммируемость:** Используют технологию EEPROM или Flash, что позволяет стирать и многократно перепрограммировать.
- **Выходные Логические Макроячейки (OLMC - Output Logic Macrocell):** Более гибкая выходная логика. Каждая OLMC может быть индивидуально сконфигурирована для работы в различных режимах:
  - Комбинационный выход (прямой или инверсный).
  - Регистровый выход (с использованием D-триггера).
  - Выход с обратной связью (выход OLMC может быть подан обратно на входы матрицы И, позволяя реализовывать более сложные функции и конечные автоматы).
  - Программируемая полярность выхода.
- **Эмуляция PAL:** Одна микросхема GAL может быть сконфигурирована для эмуляции многих различных типов PAL, что упрощало разработку и логику.

### 3. Архитектуры кристаллов ПЛИС. CPLD (Билет 18)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)

- **CPLD (Complex Programmable Logic Device):**
  - **Иерархическая архитектура:**
    - **Функциональные блоки (FB) / Логические блоки (LB) / Макроячейки:** Основа CPLD. Каждый блок похож на PAL/GAL, содержит программируемую матрицу И-ИЛИ и набор регистров. Реализует относительно сложные логические функции.
    - **Программируемая Коммутационная Матрица (PIM - Programmable Interconnect Matrix) / Матрица Соединений:** Соединяет функциональные блоки между собой и с блоками ввода-вывода. Обеспечивает гибкость маршрутизации сигналов.
    - **Блоки Ввода-Вывода (IOB):** Обеспечивают интерфейс с внешними сигналами, могут быть сконфигурированы для различных стандартов напряжений, иметь регистры на входе/выходе.
  - **Энергонезависимая конфигурация:** Конфигурационные данные хранятся во встроенной Flash или EEPROM памяти. CPLD готова к работе сразу после подачи питания ("instant-on").
  - **Предсказуемость временных задержек:** Задержки распространения сигналов внутри функционального блока и через коммутационную матрицу обычно хорошо определены и менее зависимы от конкретной логической функции или трассировки, чем в FPGA.
  - **Применение:** "Клеевая" логика, декодеры адреса, контроллеры простых интерфейсов, небольшие конечные автоматы, расширители портов.

### 4. Архитектуры кристаллов ПЛИС. FPGA (Билет 19)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)



- **FPGA (Field-Programmable Gate Array):**
  - **Гранулярная архитектура:**
    - **Конфигурируемые Логические Блоки (CLB) / Логические Элементы (LE):** Основной строительный элемент.
      - **Таблицы Поиска (LUT - Look-Up Table):** Небольшие блоки RAM, которые могут реализовать любую логическую функцию от N входов (N обычно 4-6). Программируются путем загрузки таблицы истинности.
      - **Триггеры (Flip-Flops, FF):** Обычно D-триггеры, для реализации регистров, счетчиков, конечных автоматов.
      - **Мультиплексоры и Цепи переноса (Carry Logic):** Для эффективной реализации арифметических операций и коммутации.
    - **Программируемые Ресурсы Трассировки:** Сложная иерархическая сеть проводников различной длины (короткие, длинные, глобальные) и программируемых коммутационных блоков (Switch Boxes/Matrices), соединяющих CLB между собой и с IOB.
    - **Блоки Ввода-Вывода (IOB):** Гибко настраиваемые для различных стандартов, скоростей, могут содержать элементы задержки, регистры.
    - **Специализированные аппаратные блоки:**
      - **Блочная память (BRAM):** Двухпортовая RAM для хранения данных.
      - **DSP-блоки:** Аппаратные умножители, MAC-блоки.
      - **Блоки управления тактовыми сигналами (PLL, MMCM, DLL):** Для генерации и распределения тактовых сигналов.
      - **Высокоскоростные последовательные приемопередатчики (SerDes/Transceivers):** Для интерфейсов PCIe, Ethernet, SATA и др.
      - Иногда встроенные процессорные ядра (в SoC FPGA).
  - **Конфигурация на базе SRAM:** В большинстве современных FPGA конфигурационные данные хранятся в ячейках статической RAM. Это означает, что конфигурация энергозависима (volatile) и должна загружаться при каждом включении питания из внешнего энергонезависимого ЗУ (например, SPI Flash) или хост-процессора.
  - **Гибкость и емкость:** Позволяют реализовывать очень сложные цифровые системы.
  - **Временные задержки:** Зависят от размещения логики на кристалле и трассировки сигналов, что делает их менее предсказуемыми на ранних этапах проектирования по сравнению с CPLD. Требуется тщательный временной анализ (STA) после этапа реализации.

---

## 5. Устройство SoC, компоненты и архитектура (Билет 20)

- **SoC (System-on-Chip - Система на Кристалле):** Интегральная схема, объединяющая на одном кристалле большинство компонентов электронной системы.
- **Типичные компоненты:**

- **Процессорное ядро (CPU):** ARM, RISC-V, MIPS и др. (одно или несколько).
- **Память:** Встроенная (SRAM, ROM, Flash), контроллеры внешней памяти (DDR).
- **DSP-ядра, GPU (графический процессор).**
- **Периферия:** UART, SPI, I2C, USB, Ethernet, PCIe, контроллеры дисплеев, АЦП/ЦАП.
- **Программируемая логика (FPGA fabric):** В SoC FPGA (e.g., Xilinx Zynq, Intel SoC FPGA).
- **Внутренняя шина/сеть (On-chip Bus/NoC):** AMBA (AXI, AHB, APB), Wishbone.
- **Системы тактирования, сброса, управления питанием (PMU).**
- **Архитектура:** Модульная, на основе IP-блоков. Иерархические шины или Network-on-Chip.
- **Преимущества:** Размер, стоимость (массово), энергопотребление, производительность.
- **Недостатки:** Стоимость разработки, сложность верификации, меньшая гибкость (если нет FPGA части).

---

## Архитектуры ПЛИС и SoC

(Билеты 16, 17, 18, 19, 20)

1. Архитектуры ПЛИС. Принципы построения, особенности, сравнительный анализ (Билет 16)

- **PLA (устар.):** Программируемые матрицы И и ИЛИ. Гибко, сложно.
- **PAL (устар.):** Программируемая матрица И, фиксированная ИЛИ. Проще, быстрее.
- **GAL (устар./простые):** Улучшенный PAL, перепрограммируемый, гибкие выходные макроячейки (OLMC).
- **CPLD (Сложная ПЛИС):**
  - **Структура:** Несколько PAL-подобных блоков + программируемая коммутационная матрица.
  - **Память:** Энергонезависимая (EEPROM/Flash) -> конфигурация сохраняется.
  - **Особенности:** Предсказуемые задержки. Для "клеевой" логики, контроллеров.
- **FPGA (Программируемая Вентильная Матрица):**
  - **Структура:** Массив CLB (LUT+FF) + программируемая трассировка + спец. блоки (BRAM, DSP, PLL).
  - **Память:** Обычно SRAM (volatile, конфигурация загружается при включении).
  - **Особенности:** Высокая емкость и гибкость. Для сложных систем. Задержки зависят от P&R.
- **Сравнение CPLD vs FPGA:**
  - **CPLD:** Меньше, проще, предсказуемые задержки, non-volatile.
  - **FPGA:** Больше, сложнее, гибче, выше производительность, обычно volatile.

---

2. Архитектуры кристаллов ПЛИС. PAL, GAL (Билет 17)

(Частично рассмотрено выше, здесь акцент на PAL/GAL)

- **PAL (Programmable Array Logic):**
  - **Принцип:** Реализация логических функций в виде суммы произведений (ДНФ).
  - **Структура:**
    - **Входы:** Подаются на программируемую матрицу И.
    - **Программируемая матрица И (AND-plane):** Формирует термы (логические произведения входных сигналов или их инверсий). Программируется путем пережигания перемычек (или использования других технологий).
    - **Фиксированная матрица ИЛИ (OR-plane):** Выходы матрицы И (термы) жестко подключены к входам определенных элементов ИЛИ. Каждый элемент ИЛИ суммирует фиксированный набор термов.
    - **Выходная логика:** Может включать буферы, инверторы, иногда регистры (триггеры) для создания последовательностной логики.
- **GAL (Generic Array Logic):**
  - **Усовершенствование PAL:**
    - **Перепрограммируемость:** Используют технологию EEPROM или Flash, что позволяет стирать и многократно перепрограммировать.
    - **Выходные Логические Макроячейки (OLMC - Output Logic Macrocell):** Более гибкая выходная логика. Каждая OLMC может быть индивидуально сконфигурирована для работы в различных режимах:
      - Комбинационный выход (прямой или инверсный).
      - Регистровый выход (с использованием D-триггера).
      - Выход с обратной связью (выход OLMC может быть подан обратно на входы матрицы И, позволяя реализовывать более сложные функции и конечные автоматы).
      - Программируемая полярность выхода.
    - **Эмуляция PAL:** Одна микросхема GAL может быть сконфигурирована для эмуляции многих различных типов PAL, что упрощало разработку и логистику.

### 3. Архитектуры кристаллов ПЛИС. CPLD (Билет 18)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)

- **CPLD (Complex Programmable Logic Device):**
  - **Иерархическая архитектура:**
    - **Функциональные блоки (FB) / Логические блоки (LB) / Макроячейки:** Основа CPLD. Каждый блок похож на PAL/GAL, содержит программируемую матрицу И-ИЛИ и набор регистров. Реализует относительно сложные логические функции.
    - **Программируемая Коммутационная Матрица (PIM - Programmable Interconnect Matrix) / Матрица Соединений:** Соединяет функциональные блоки между собой и с блоками ввода-вывода. Обеспечивает гибкость маршрутизации сигналов.

- **Блоки Ввода-Вывода (IOB):** Обеспечивают интерфейс с внешними сигналами, могут быть сконфигурированы для различных стандартов напряжений, иметь регистры на входе/выходе.
- **Энергонезависимая конфигурация:** Конфигурационные данные хранятся во встроенной Flash или EEPROM памяти. CPLD готова к работе сразу после подачи питания ("instant-on").
- **Предсказуемость временных задержек:** Задержки распространения сигналов внутри функционального блока и через коммутационную матрицу обычно хорошо определены и менее зависимы от конкретной логической функции или трассировки, чем в FPGA.
- **Применение:** "Клеевая" логика, декодеры адреса, контроллеры простых интерфейсов, небольшие конечные автоматы, расширители портов.

#### 4. Архитектуры кристаллов ПЛИС. FPGA (Билет 19)

(Рассмотрено в п.1 этого раздела. Здесь основные моменты еще раз)

- **FPGA (Field-Programmable Gate Array):**
  - **Гранулярная архитектура:**
    - **Конфигурируемые Логические Блоки (CLB) / Логические Элементы (LE):** Основной строительный элемент.
      - **Таблицы Поиска (LUT - Look-Up Table):** Небольшие блоки RAM, которые могут реализовать любую логическую функцию от N входов (N обычно 4-6). Программируются путем загрузки таблицы истинности.
      - **Триггеры (Flip-Flops, FF):** Обычно D-триггеры, для реализации регистров, счетчиков, конечных автоматов.
      - **Мультиплексоры и Цепи переноса (Carry Logic):** Для эффективной реализации арифметических операций и коммутации.
    - **Программируемые Ресурсы Трассировки:** Сложная иерархическая сеть проводников различной длины (короткие, длинные, глобальные) и программируемых коммутационных блоков (Switch Boxes/Matrices), соединяющих CLB между собой и с IOB.
    - **Блоки Ввода-Вывода (IOB):** Гибко настраиваемые для различных стандартов, скоростей, могут содержать элементы задержки, регистры.
    - **Специализированные аппаратные блоки:**
      - **Блочная память (BRAM):** Двухпортовая RAM для хранения данных.
      - **DSP-блоки:** Аппаратные умножители, MAC-блоки.
      - **Блоки управления тактовыми сигналами (PLL, MMCM, DLL):** Для генерации и распределения тактовых сигналов.
      - **Высокоскоростные последовательные приемопередатчики (SerDes/Transceivers):** Для интерфейсов PCIe, Ethernet, SATA и др.
      - Иногда встроенные процессорные ядра (в SoC FPGA).

- **Конфигурация на базе SRAM:** В большинстве современных FPGA конфигурационные данные хранятся в ячейках статической RAM. Это означает, что конфигурация энергозависима (volatile) и должна загружаться при каждом включении питания из внешнего энергонезависимого ЗУ (например, SPI Flash) или хост-процессора.
- **Гибкость и емкость:** Позволяют реализовывать очень сложные цифровые системы.
- **Временные задержки:** Зависят от размещения логики на кристалле и трассировки сигналов, что делает их менее предсказуемыми на ранних этапах проектирования по сравнению с CPLD. Требуется тщательный временной анализ (STA) после этапа реализации.

---

## 5. Устройство SoC, компоненты и архитектура (Билет 20)

- **SoC (System-on-Chip - Система на Кристалле):** Интегральная схема, объединяющая на одном кристалле большинство компонентов электронной системы.
- **Типичные компоненты:**
  - **Процессорное ядро (CPU):** ARM, RISC-V, MIPS и др. (одно или несколько).
  - **Память:** Встроенная (SRAM, ROM, Flash), контроллеры внешней памяти (DDR).
  - **DSP-ядра, GPU (графический процессор).**
  - **Периферия:** UART, SPI, I2C, USB, Ethernet, PCIe, контроллеры дисплеев, АЦП/ЦАП.
  - **Программируемая логика (FPGA fabric):** В SoC FPGA (e.g., Xilinx Zynq, Intel SoC FPGA).
  - **Внутренняя шина/сеть (On-chip Bus/NoC):** AMBA (AXI, AHB, APB), Wishbone.
  - **Системы тактирования, сброса, управления питанием (PMU).**
- **Архитектура:** Модульная, на основе IP-блоков. Иерархические шины или Network-on-Chip.
- **Преимущества:** Размер, стоимость (массово), энергопотребление, производительность.
- **Недостатки:** Стоимость разработки, сложность верификации, меньшая гибкость (если нет FPGA части).

- 
- **емкость:** Позволяют реализовывать очень сложные цифровые системы.
  - **Временные задержки:** Зависят от размещения логики на кристалле и трассировки сигналов, что делает их менее предсказуемыми на ранних этапах проектирования по сравнению с CPLD. Требуется тщательный временной анализ (STA) после этапа реализации.
- 

## 5. Устройство SoC, компоненты и архитектура (Билет 20)

- **SoC (System-on-Chip - Система на Кристалле):** Интегральная схема, объединяющая на одном кристалле большинство компонентов электронной системы.
- **Типичные компоненты:**
  - **Процессорное ядро (CPU):** ARM, RISC-V, MIPS и др. (одно или несколько).
  - **Память:** Встроенная (SRAM, ROM, Flash), контроллеры внешней памяти (DDR).
  - **DSP-ядра, GPU (графический процессор).**

- **Периферия:** UART, SPI, I2C, USB, Ethernet, PCIe, контроллеры дисплеев, АЦП/ЦАП.
  - **Программируемая логика (FPGA fabric):** В SoC FPGA (e.g., Xilinx Zynq, Intel SoC FPGA).
  - **Внутренняя шина/сеть (On-chip Bus/NoC):** AMBA (AXI, AHB, APB), Wishbone.
  - **Системы тактирования, сброса, управления питанием (PMU).**
  - **Архитектура:** Модульная, на основе IP-блоков. Иерархические шины или Network-on-Chip.
  - **Преимущества:** Размер, стоимость (массово), энергопотребление, производительность.
  - **Недостатки:** Стоимость разработки, сложность верификации, меньшая гибкость (если нет FPGA части).
-