МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное учреждение высшего образования

«Севастопольский государственный университет»

Кафедра «Информационные системы»

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №5

по дисциплине

«Компьютерная схемотехника»

Вариант 8

Выполнил:

Донец Н.О.

Проверил:

Кудрявченко И.В.

Севастополь

2023 г.

**Цель работы:**

Экспериментальные исследования функционирования шифраторов, дешифраторов и преобразователей кодов. Приобретение практических навыков измерения электрических параметров комбинационных устройств и регистрации временных диаграмм с помощью электро и радиоизмерительных приборов.

**Задание:**

1. Создать на рабочем поле симулятора схему исследования 4- разрядного дешифратора. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4028.
2. Задавая на входе дешифратора все возможные комбинации, исследовать состояние его выходов.
3. Измерить с помощью вольтметра напряжение на выходах дешифратора при подключенном и отключенном светодиоде.
4. Создать на рабочем поле симулятора схему исследования преобразователя двоично-десятичного кода в семисегментный. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4511.
5. Задавая на входе преобразователя кода двоично-десятичные комбинации от 0 до 9, исследовать состояние выходов ПК и индикатора.
6. Создать на рабочем поле симулятора схему исследования двоичного сумматора. В качестве исследуемого сумматора использовать интегральную микросхему CMOS 4008.
7. Задавая на входе сумматора произвольные числа, исследовать состояние его выходов, т.е проверить правильность операции суммирования.
8. Проверить возможность реализации с помощью данного сумматора операции вычитания двоичных чисел.

**Ход работы:**

На рабочем поле симулятора была создана схема исследование четырёхразрядного дешифратора CMOS 4028 (Рисунок 1).

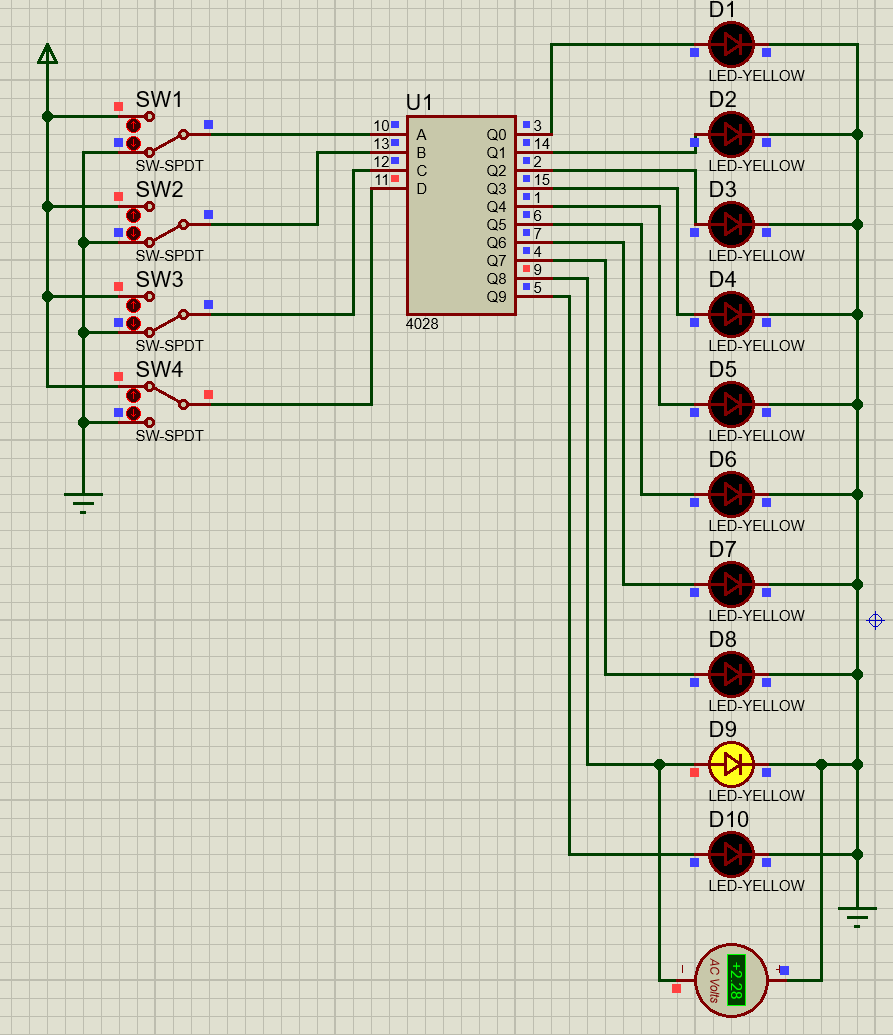


Рисунок 1 – Схема исследования четырёхразрядного дешифратора

Было исследовано состояние выходов микросхемы CMOS 4028 при всех возможных комбинациях входных сигналов (Таблица 1).

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | C | B | A | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

Таблица 1 – Состояние выходов микросхемы CMOS 4028

С помощью вольтметра было измерено напряжение на выходах дешифратора при подключённом и отключённом диоде 2.28 В и 0.45 В соответственно. Вместо диода был поставлен резистор сопротивлением в 10 Ом.

Также была создана схема для исследования преобразователя двоично-десятичного кода в семисегментный (Рисунок 2).

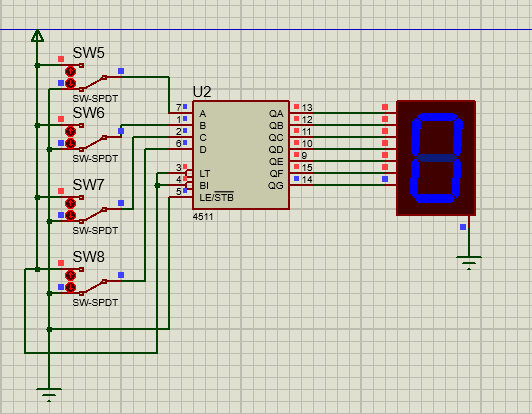


Рисунок 2 – Схема для исследования преобразователя двоично-десятичного кода в семисегментный

Задавая на входе преобразователя кода двоично-десятичные комбинации от 0 до 9, было исследовано состояние выходов ПК и дисплея (Таблица 2).

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D | C | B | A | a | b | c | d | e | f | g | Цифра на дисплее |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 3 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 4 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 5 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 6 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 7 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 9 |

Таблица 2 – Состояние входов, выходов преобразователя двоично-десятичного кода в семисегментный и дисплея

Была создана схема исследования двоичного сумматор (Рисунок 3). В качестве сумматора была использована интегральная микросхема CMOS 4008.

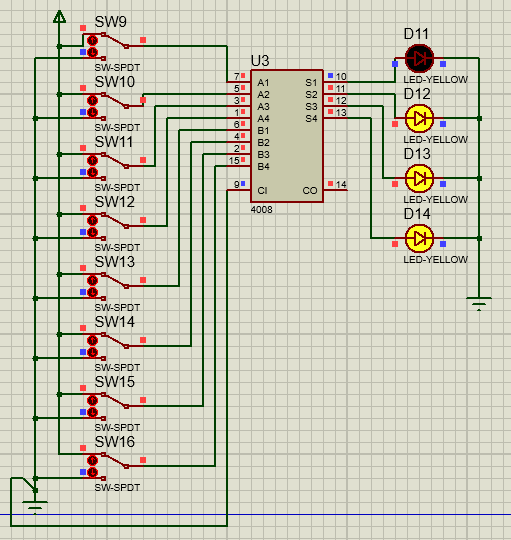


Рисунок 3 – Схема исследования двоичного сумматора

На вход сумматора были поданы произвольные числа, после чего было исследовано состояние его выходов, а также была проверена правильность операции суммирования (Таблица 3).

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| B4 | A4 | B3 | A3 | B2 | A2 | B1 | A1 | S4 | S3 | S2 | S1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |

Таблица 3 – Состояние выходов и входов сумматора

Были получены следующие результаты: 1101 + 0001 = 1110, 0010 + 0110 = 1100, 1111 + 0000 = 1111. Полученные результаты полностью совпали с ожидаемыми ответами, значит можно сказать, что сумматор работает правильно.

Далее была проверена возможность вычитания двоичных чисел с помощью сумматора. Для того, чтобы реализовать вычитание на сумматоре нужно сложить на нём уменьшаемое с противоположным по знаку вычитаемым. Были получены следующие выражения: 1000 – 0111 =

1000 +1001 = 0001, 0101 – 0011 = 0101 + 1101 = 0010.

**Выводы**

В ходе лабораторной работы были проведены экспериментальные исследования функционирования шифраторов, дешифраторов и преобразователей кодов. Были собраны схемы для исследования шифратора, дешифратора и сумматора. Были исследованы состояния выходов шифратора и дешифратора при различных комбинациях входных сигналов. Было проведено исследование работы двоичного сумматора, в ходе которого была проверена его работа, а также была проверена возможность реализации операции вычитания на нём.