МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное автономное образовательное учреждение высшего образования

«Севастопольский государственный университет»

Кафедра «Информационные системы»

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №6

по дисциплине

«Компьютерная схемотехника»

Вариант 8

Выполнил:

Донец Н.О.

Проверил:

Кудрявченко И.В.

Севастополь

2023 г.

**Цель работы:**

Экспериментальные исследования функционирования различных типов триггеров, параллельных регистров и двоичных счетчиков. Приобретение практических навыков исследования последовательных устройств и регистрации временных диаграмм с помощью электро и радиоизмерительных приборов.

**Задание:**

1. Составить на рабочем поле схему для исследования универсального синхронного D-триггера (микросхема ТТЛ 7474) с асинхронной установкой S и сбросом R. Установить тактовую частоту генератора импульсов 1Гц и амплитуду импульсов 3В.
2. Подавая активные сигналы на входы R и S, исследовать изменение состояния триггера. Измерить амплитуду сигнал логической 1 и логического нуля.
3. Замкнуть цепь обратной связи (с инверсного выхода триггера на его

информационный вход) и подключить генератор импульсов ко входу синхронизации. Исследовать состояние триггера.

1. Увеличить частоту генератора до 10 кГц и зарисовать сигналы генератора и триггера. Измерить частоту импульсов на выходе триггера.
2. Составить на рабочем поле схему для исследования универсального синхронного JK-триггера (микросхема ТТЛ 74107) с асинхронным сбросом R. Установить тактовую частоту генератора импульсов 1Гц и амплитуду импульсов 3В.
3. Подавая активные сигналы в различной комбинации на входы JK триггера и подавая путем кратковременного нажатия соответствующей кнопки импульсы синхронизации с генератора тактовых импульсов, исследовать состояние триггера. Измерить уровни сигналов 1 и 0.
4. Установить частоту генератора 1000 Гц. Подать на входы JK единичные уровни сигналов и исследовать с помощью осциллографа форму импульсов на выходах генератора и триггера, а также измерить частоты сигналов.
5. Создать на рабочем поле симулятора схему исследования 4-разрядного двоичного счетчика. Для построения счетчика применить D триггеры типа TTL 7474. В качестве источника использовать генератор прямоугольных импульсов частотой 100 кГц и амплитудой 3 В. Для индикации выходных сигналов использовать виртуальный осциллограф.
6. Зарисовать форму сигналов на выходе генератора импульсов и каждого триггера и измерить амплитуду и частоту импульсов на выходе каждого триггера. Записать двоичный код на выходе счетчика на каждом такте генератора.

**Ход работы:**

На рабочем поле симулятора была создана схема для исследования универсального синхронного D-триггера с асинхронной установкой S и сбросом R. Были установлены тактовая частота генератора импульсов 1Гц и амплитуда импульсов 3В. (Рисунок 1).

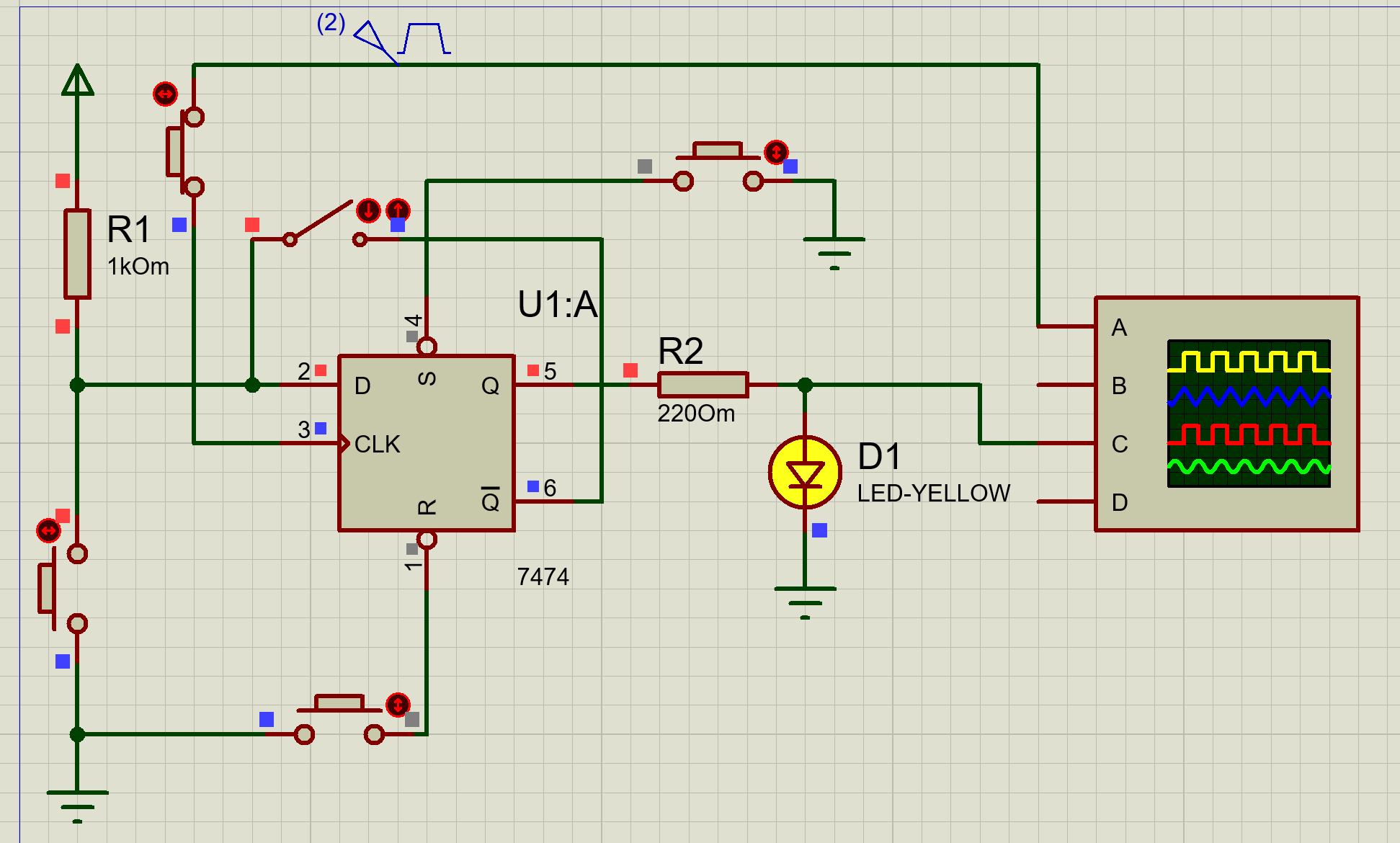


Рисунок 1 – Схема для исследования универсального синхронного D триггера

Подавая активные сигналы на входы R и S, было исследовано изменение состояния триггера. Также были измерены амплитуды сигналов логической единицы и логического нуля, которые составил 2.20 В и -2.20 В соответственно (рисунки 2-3).

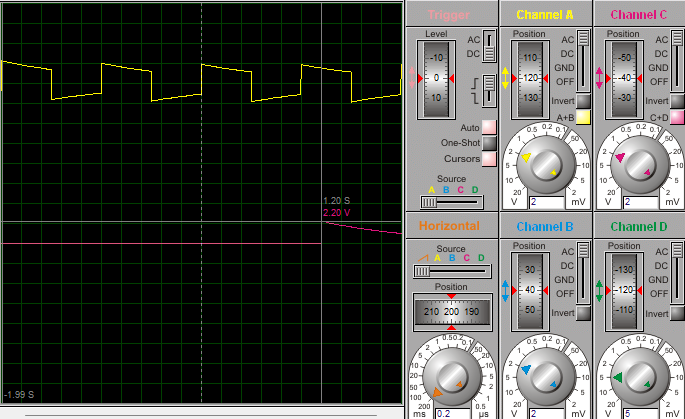


Рисунок 2 – Измерение уровня логической единицы

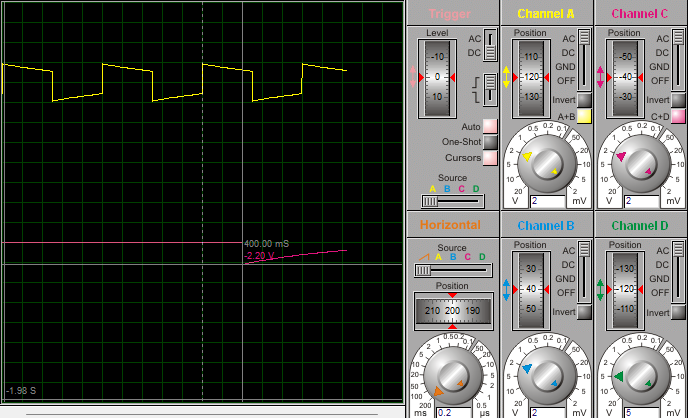


Рисунок 3 – Измерение уровня логического нуля

Частота генератора была увеличена до 10 кГц, после чего был измерен период импульса на выходе триггера для нахождения частоты (Рисунок 4).

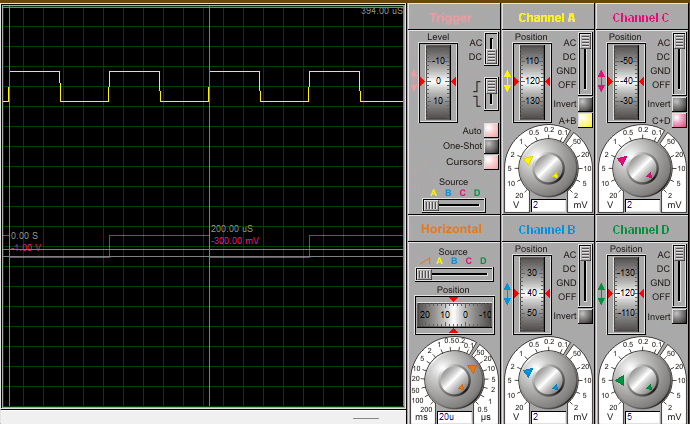


Рисунок 4 – Измерение периода импульса на выходе D триггера

Период одного импульса составил 200 µS. Была вычислена амплитуда по формуле 5 кГц.

Была составлена схема для исследования универсального синхронного JK-триггера с асинхронным сбросом R, тактовая частота генератора импульсов и амплитуда импульсов были установлены в 1 Гц и 3 В соответственно (Рисунок 5).

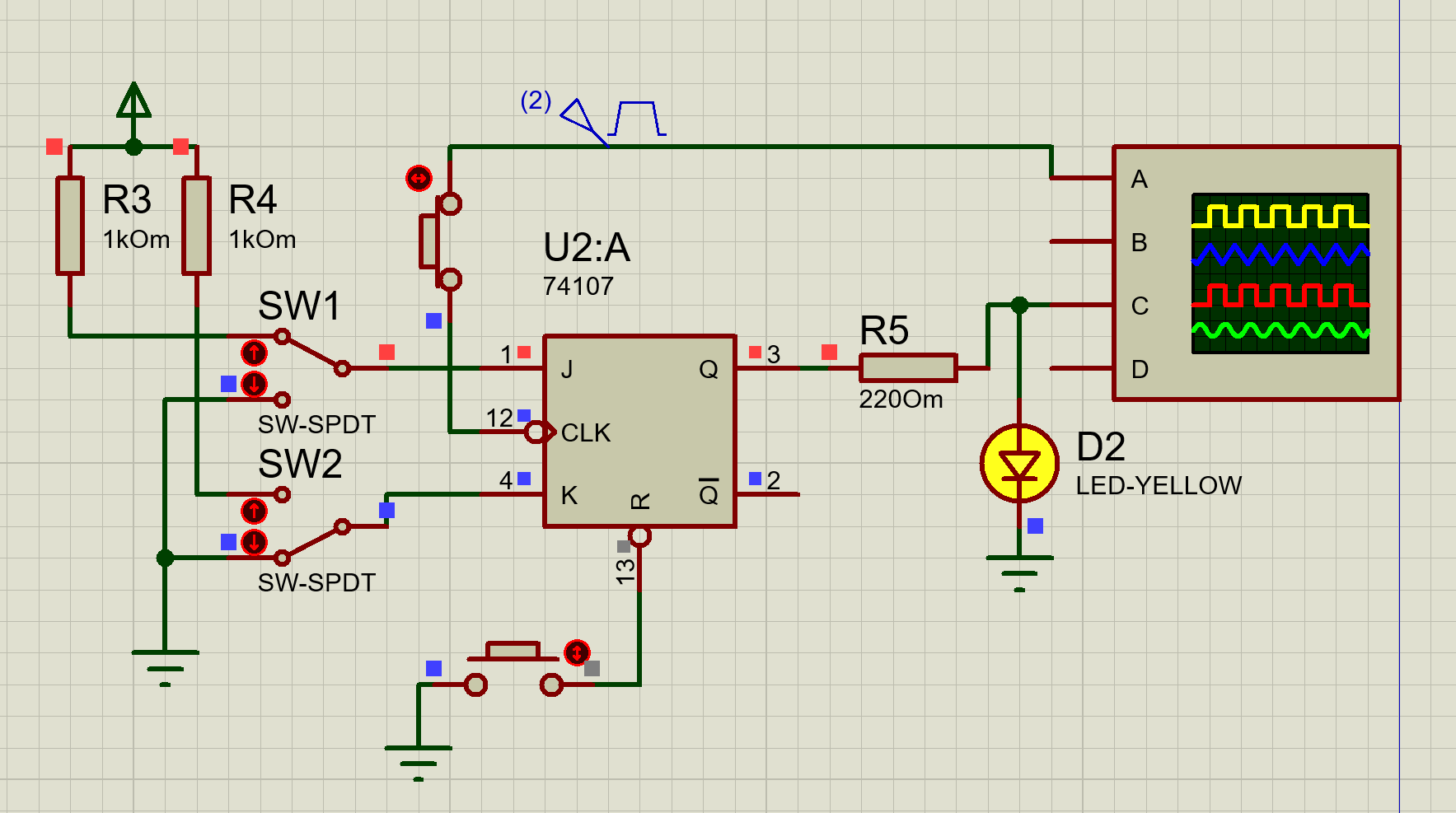


Рисунок 5 – Схема для исследования универсального синхронного JK триггера

Также были измерены амплитуды сигналов логической единицы и логического нуля, которые составили 2.10 В и -2.10 В соответственно (Рисунок 6).

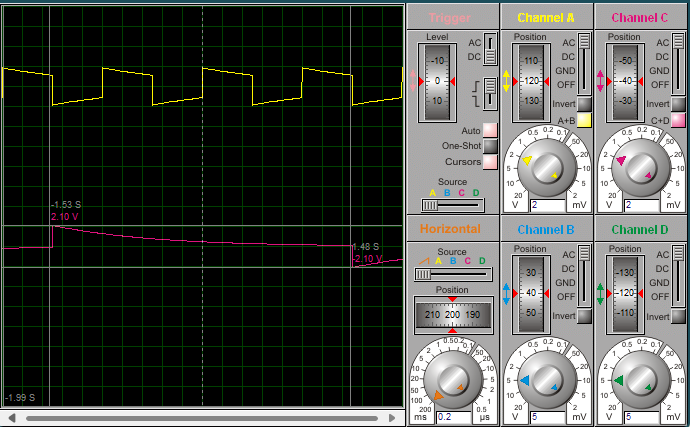


Рисунок 6 – Измерение амплитуды сигналов логической единицы и логического нуля

Частота генератора была увеличена до 1 кГц, после чего был измерен период импульса на выходе триггера для нахождения частоты (Рисунок 7).

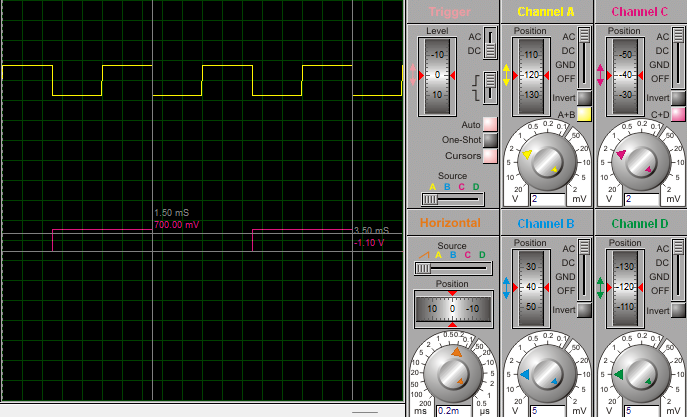


Рисунок 7 – Измерение периода импульса на выходе JK триггера

Период одного импульса составил 3.5 мс – 1.5 мс = 2 мс. Была вычислена амплитуда по формуле 500 Гц.

Также на рабочем поле симулятора была собрана схема для исследования четырёхразрядного двоичного счетчика. Для построения счетчика были применены D триггеры типа TTL 7474. В качестве источника был использован генератор прямоугольных импульсов частотой 100 кГц и амплитудой 3 В. Для индикации выходных сигналов был использован виртуальный осциллограф (Рисунок 8).

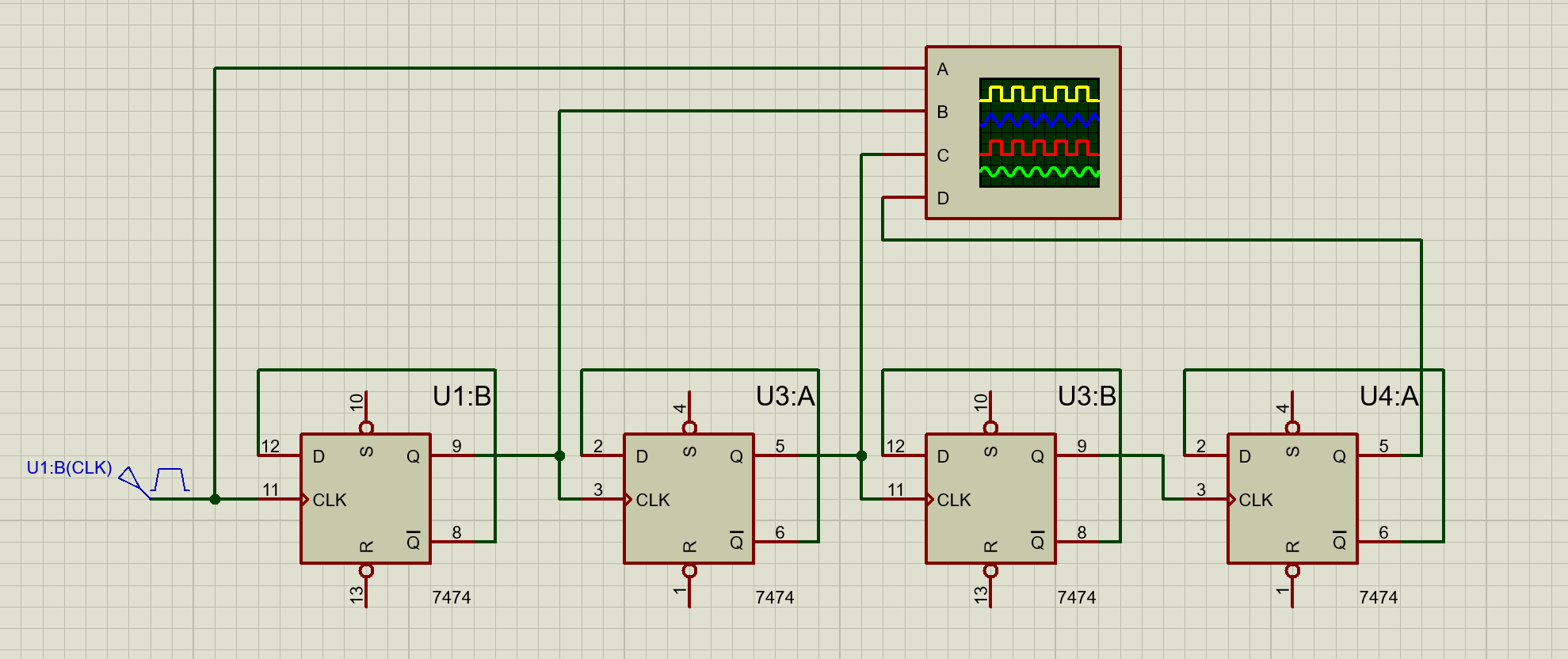


Рисунок 9 – Схема для исследования четырёхразрядного двоичного счетчика

Была измерена амплитуда и частота импульсов на выходе каждого триггера (Рисунок 10), амплитуда для всех выходов составила 3.25 В. Были сняты периоды сигналов на выходах всех триггеров. Для первого триггера он составил 100 µс – 80 µс = 20 µс, для второго 120 µс – 80 µс = 40 µс, для третьего 160 µс – 80 µс = 80 µс, для четвёртого 240 µс – 80 µс = 160 µс. С помощью уже использованной ранее формулы находим частоту для каждого триггера. Для первого триггера получаем частоту равную = 50 кГц, для второго триггера получаем частоту равную = 25 кГц, для третьего триггера получаем частоту равную = 12.5 кГц, для четвёртого триггера получаем частоту равную = 6.25 кГц.

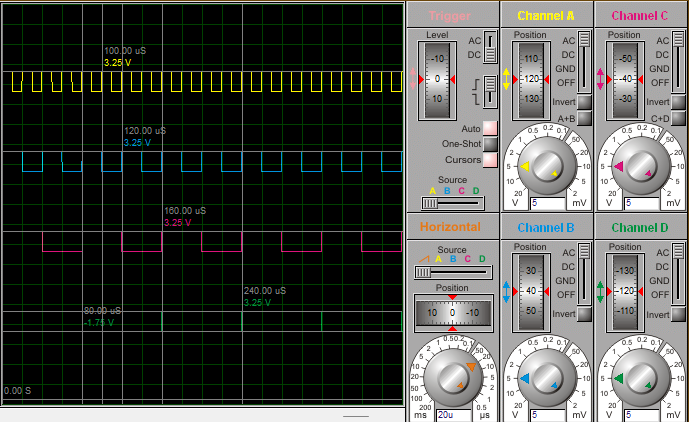


Рисунок 10 – Осциллограмма схемы с двоичным четырёхразрядным счётчиком

Также были записаны состояния триггеров и состояния счётчика для каждого такта генератора (Таблица 1).

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Такт генератора | Триггер 4 | Триггер 3 | Триггер 2 | Триггер 1 | Состояние счётчика |
| 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | 2 |
| 3 | 0 | 0 | 1 | 1 | 3 |
| 4 | 0 | 1 | 0 | 0 | 4 |
| 5 | 0 | 1 | 0 | 1 | 5 |
| 6 | 0 | 1 | 1 | 0 | 6 |
| 7 | 0 | 1 | 1 | 1 | 7 |
| 8 | 1 | 0 | 0 | 0 | 8 |
| 9 | 1 | 0 | 0 | 1 | 9 |
| 10 | 1 | 0 | 1 | 0 | 10 |
| 11 | 1 | 0 | 1 | 1 | 11 |
| 12 | 1 | 1 | 0 | 0 | 12 |
| 13 | 1 | 1 | 0 | 1 | 13 |
| 14 | 1 | 1 | 1 | 0 | 14 |
| 15 | 1 | 1 | 1 | 1 | 15 |
| 16 | 0 | 0 | 0 | 0 | 0 |

Таблица 1 – Состояния триггеров и счётчика

**Выводы**

В ходе лабораторной работы были проведены экспериментальные исследования функционирования различных типов триггеров, параллельных регистров и двоичных счетчиков. Были приобретены практические навыки исследования последовательных устройств и регистрации временных диаграмм с помощью электро и радиоизмерительных приборов. Были собраны схемы для исследования D триггера, JK триггера, а также четырёхразрядного двоичного счётчика. Были измерены периоды, частоты и амплитуды на выходах всех триггеров. Были исследованы состояния триггеров, а также состояния счётчика для каждого такта процессора.