



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

**TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES**
1º Grado en Ingeniería Informática.

GRANADA, 11 de Septiembre de 2014
EXAMEN DE TEORÍA Y PROBLEMAS

Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS (Temas 1º y 2º):

PATRÓN
T → 85'
P → 40'

125'

1. (0,75 pto.) Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la izquierda en representación interna, indique su valor en decimal en la columna de la derecha. Para representación sesgada (el sesgo es $S=2^7=128$).

Representación	Representación interna	Valor decimal que representa
(Signo Magnitud)	1000 0101	- 5
(Complemento 1)	0000 0111	+ 7
(Complemento 2)	1111 1110	- 2
(Sesgada)	1000 0100	+ 4
(Entero sin signo)	1111 1110	+ 254

2. (0,25 pto.) Suponiendo que tenemos el número $N = 1011\ 1110$ de 8 bits en representación complemento a 2. Indique qué representación en complemento a 2 tendría en una representación utilizando 16 bits.

1111 1111 1011 1110

3. (1,50 pto.) Un procesador dispone, entre otros, de los siguientes elementos: Registro de Dirección (AR) de 32 bits, Registro de Datos (DR) de 16 bits y Contador de Programa (PC). El procesador funciona con un reloj de frecuencia 10 MHz y está conectado mediante el bus de datos con la memoria y para cada transferencia de un dato se requieren 4 ciclos de reloj.

Indicar:

- Número de bits del bus de datos (DB). 16 bits
- Número de bits del bus de direcciones (AB). 32 bits
- Número de bits del registro de instrucciones (IR). 32 bits
- Tamaño en bits del registro Contador de Programa (PC). 32 bits
- Tamaño máximo posible de la memoria principal (en MB o GB). 8 GB
- Velocidad de transferencia de datos entre el procesador y la memoria. $5 \times 10^6 \text{ Bytes/s}$

EJERCICIOS (Temas 3º, 4º y 5º):

4. (1,00 pto.) Analice el circuito de la figura y obtenga razonadamente la tabla de verdad de la función de conmutación $f(a,b,c)$ y una realización equivalente del circuito con estructura AND/OR y NAND/NAND.

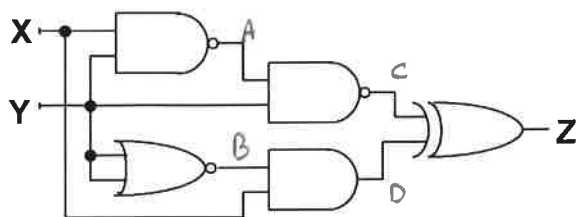
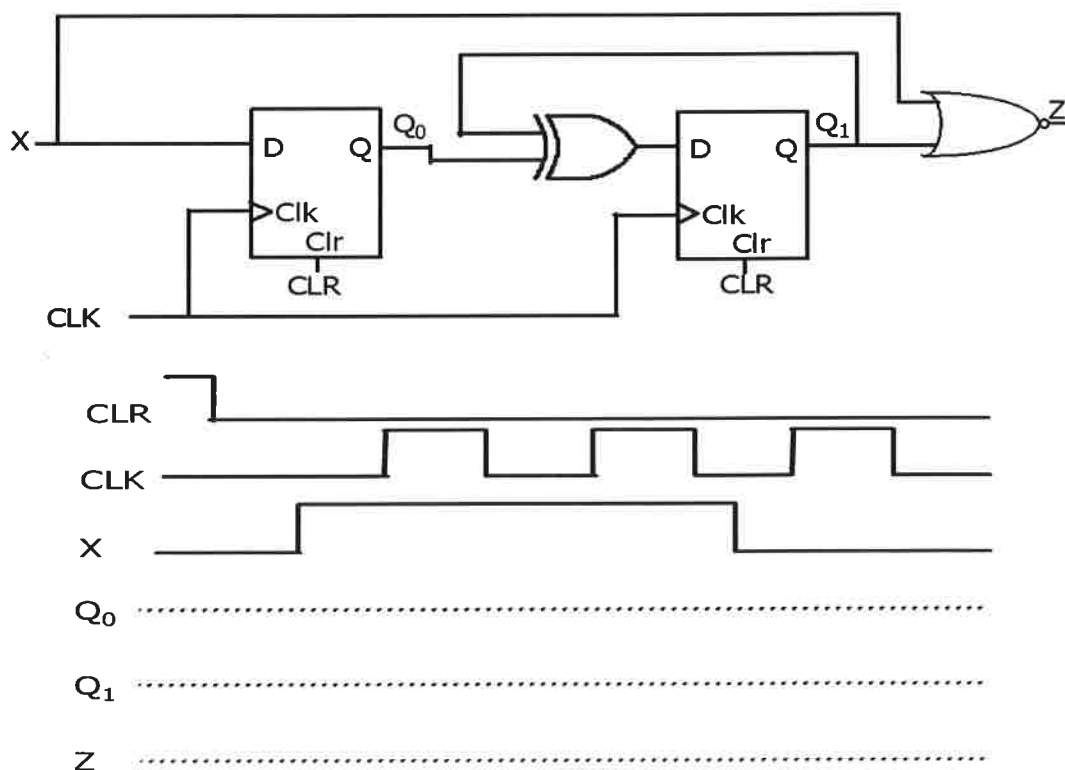


Figura 1

5. (0,50 pto.) Se desea diseñar un circuito combinacional tal que, dadas dos entradas de dos números binarios enteros positivos de 2 bits, $X=(x_1 x_0)$ e $Y=(y_1 y_0)$, genere la salida de 4 bits, $Z=(z_3 z_2 z_1 z_0)$, donde $Z = (X*Y)$, siendo "*" la operación de multiplicación aritmética. Para ello, realice lo siguiente:
- Tablas de verdad de cada función z_3, z_2, z_1, z_0 .
 - Se quiere realizar el diseño con una memoria ROM de tamaño mínimo. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura de la ROM, indicando las conexiones requeridas en el plano OR.

6. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura.



7. (0,50 pto.) Un sistema secuencial síncrono tiene dos entradas (X_1 y X_0), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si $X_1 = X_0$ durante **al menos** tres ciclos de reloj consecutivos, el circuito genera $Z=1$ a partir del tercer ciclo (**mientras** $X_1 = X_0$); en cualquier otro caso, produce $Z = 0$, tal como se refleja en el siguiente ejemplo:

$X_1 = 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ \dots$
 $X_0 = 1\ 1\ 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ \dots$
 $Z = 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 0\ \dots$

Obtenga el *diagrama de estados* y la *tabla de estados* del sistema secuencial síncrono.

8. (1,00 pto.) Empleando biestables de tipo D y las puertas lógicas que se necesiten, diseñe un generador de secuencia síncrono con 2 salidas binarias (z_1 y z_0), que genere la siguiente secuencia de valores de salida $Z=(z_1,z_0)=\{1, 3, 2, 2, 0, 3; 1, 3, 2, 2, 0, 3, \dots\}$.

9. (1,00 pto.) Para la unidad de procesamiento de la figura:

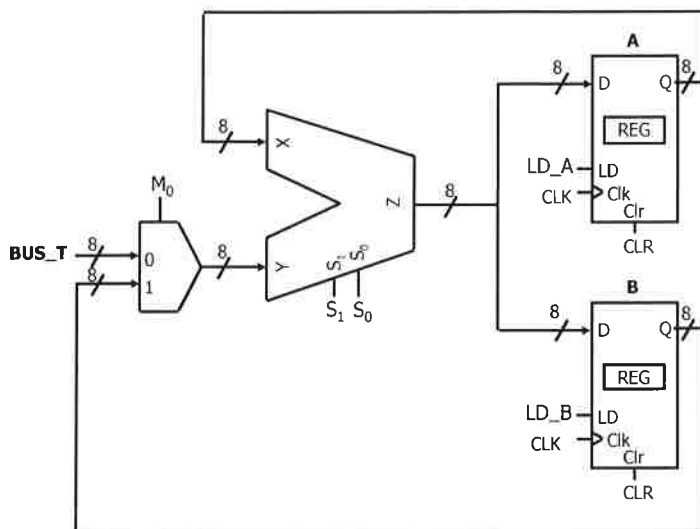


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	$\overline{X \cdot Y}$
0	1	Y MAS 1
1	0	X MAS Y
1	1	Y

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	0	1	0	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	1	0	0	0	$A \leftarrow A \cdot BUS_T, B \leftarrow A \cdot BUS_T$
0	1	1	1	0	$A \text{ no cambia}, B \leftarrow A \text{ MAS } B$
1	1	0	0	1	$A \leftarrow BUS_T \text{ MAS } 1, B \leftarrow BUS_T \text{ MAS } 1$



ugr

Universidad
de Granada

DEPARTAMENTO DE ARQUITECTURA Y TECNOLOGÍA DE COMPUTADORES

**TECNOLOGÍA Y ORGANIZACIÓN DE
COMPUTADORES**
1º Grado en Ingeniería Informática.

GRANADA, 11 de Septiembre de 2014
EXAMEN DE SEMINARIOS Y PRÁCTICAS.

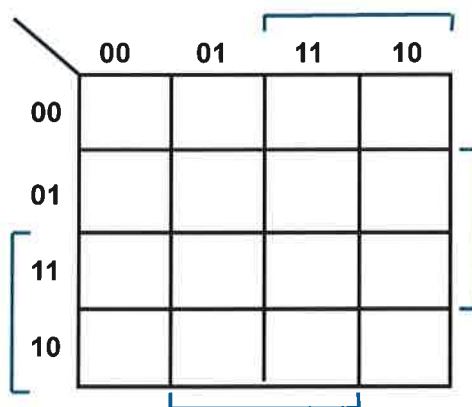
Apellidos :

Nombre :

Grupo :

D.N.I. :

1. **(0,50 pto.)** Qué tiempo de música en calidad radio FM estéreo (frecuencia de muestreo $f_s=22,05\text{KHz}$, 2 Bytes/muestra, 2 canales) se puede almacenar en un USB de 4 GB?
 - a. Indicar el tiempo en horas si se almacena el fichero sin comprimir.
 - b. Indicar el tiempo en horas si se almacena el fichero comprimido con una compresión 4:1.
2. **(0,50 pto.)** Dada la función: $f(A, B, C, D) = \sum m(0, 7, 8, 10, 12, 15) + d(2, 5)$ y considerando D la variable menos significativa, obtenga su implementación mínima con estructura AND/OR y NAND/NAND. Para ello:
 - a) Rellene los unos e indiferencias del mapa de Karnaugh indicando explícitamente las variables correspondientes a cada eje (en la parte superior izquierda del mapa de Karnaugh)
 - b) Obtenga la expresión algebraica mínima como suma de productos. Marque los cubos utilizados para la minimización (cubos o adyacencias de mayor orden).
 - c) Dibujar el circuito de dos niveles de puertas lógicas **AND/OR**,
 - d) Dibujar el circuito de dos niveles de puertas lógicas **NAND/NAND**.



3. **(0.50 pto)** Los biestables del laboratorio de prácticas son del tipo JK. En prácticas se utilizaron este tipo de biestables configurados debidamente para que funcionaran como biestables de tipo T o D. Dibuje explícitamente las conexiones y/o componentes necesarios para configurar un biestable de tipo JK como un tipo T o tipo D e indique la entrada que actuaría como entrada T ó D en el circuito correspondiente. Para el biestable de tipo T suponiendo que su entrada es $T=1$ constantemente, su estado inicial es $Q=0$ y que los biestables sean activos por flanco de subida, dibuje un cronograma con una duración de la señal de reloj de 5 ciclos que ilustre el funcionamiento de la salida Q del biestable tipo T.

4. (1 pto.) En la tabla de la figura P4a se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	A ₅ A ₄ A ₃ A ₂ A ₁ A ₀

Tabla P4a

RAM	DIRECCIONES DE MEMORIA
F0 71 F2 B1 73 F4 00 00	→ 00 - 07
00 00 00 00 00 00 00 00	→ 08 - 0F
00 00 00 00 00 00 00 00	→ 10 - 17
00 00 00 00 00 00 00 00	→ 18 - 1F
00 00 00 00 00 00 00 00	→ 20 - 27
00 00 00 00 00 00 00 00	→ 28 - 2F
00 07 00 0A 00 00 00 00	→ 30 - 37
00 00 00 00 00 00 00 00	→ 38 - 3F

Tabla P4b

Dada la **Tabla P4b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

- a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la RAM, Tabla P4b) en la última columna de la **Tabla P4c**. A partir de esta información completar el resto de la **Tabla P4c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P4b** y que el acumulador **AC** contiene el valor **FF** en hexadecimal. Indicar los datos en hexadecimal que se verían en la memoria RAM, correspondientes a las direcciones de memoria: \$30, \$31, \$32, \$33, \$34, después de ejecutar el programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal	COMENTARIO
		CO 2 bits	Dirección del dato en binario con 6 bits		
STA \$30	$M(\$30) \leftarrow AC$	11	11 0000	F0	$M(\$30) = FF$
ADD \$31	$AC \leftarrow AC + M(\$31)$	01	11 0001	71	$AC = FF + 07 = 06$
STA \$32	$M(\$32) \leftarrow AC$	11	11 0010	F2	$M(\$32) = 06$
SUB \$31	$AC \leftarrow AC - M(\$31)$	10	11 0001	B1	$AC = 06 - 07 = FF$
ADD \$33	$AC \leftarrow AC + M(\$33)$	01	11 0011	73	$AC = FF + 0A = 09$
STA \$34	$M(\$34) \leftarrow AC$	11	11 0100	F4	$M(\$34) = 09$
STOP	PARAR	00	00 0000	00	—

Tabla P4c

TRAS LA EJECUCIÓN DEL PROGRAMA:

$AC = 09$; $M\$30 = FF$; $M\$31 = 07$; $M(\$32) = 06$;

$M(\$33) = 0A$; $M(\$34) = 09$

11-09-2014

TOL SEPTIEMBRE-2014

①

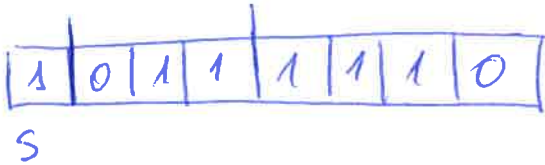
1^o) a) 1000 0101 (SM) = -5

b) 0000 0111 (C1) = +7

c) 1111 1110 (C2) = -2

d) 1000 0100 (SES) = +4

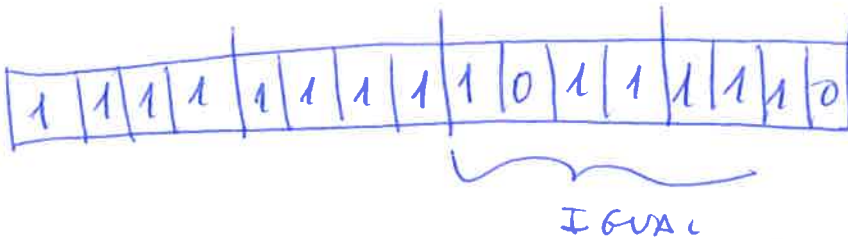
e) 1111 1110 (ENTSN) = +254

2^o)

Complemento a 2.

Es un número negativo.
Hay que extender el signo

51

3^o)

a) DB → 16 bits

b) AB → 32 bits

c) IR → 16 bits

d) PC → 32 bits

e) 2^{32} PALABRAS DE 16 bits =
 2^{32} PALABRAS DE 2 Bytes =
 = 4 G PALABRAS DE 2 Bytes =
 = 8 G Bytes

f) $f = 10 \text{ MHz} = 10 \times 10^6 \text{ Hz} = 10^7 \text{ Hz} \Rightarrow T = \frac{1}{f} = 10^{-7} \text{ s}$
 Como para cada transferencia de 1 dato (2 Bytes) se
 requieren 4 Ciclos = $4 \times 10^{-7} \text{ s}$

Si en $4 \times 10^{-7} \text{ s}$ Transfère 2 Bsk /

$1 \text{ s} \longrightarrow X$

(2)

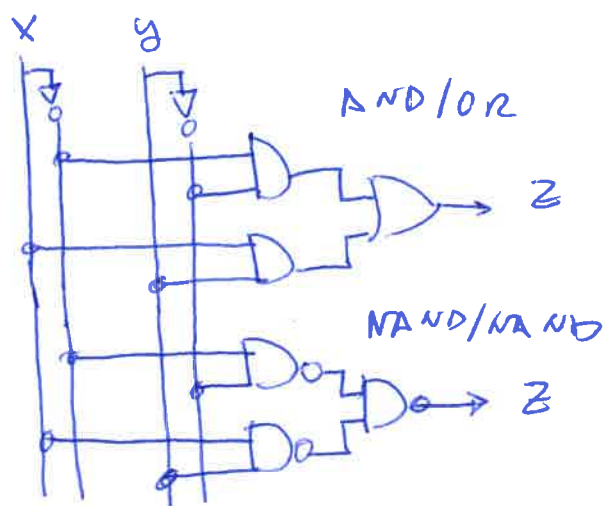
$$X = \frac{2 \text{ Bsk}}{4 \times 10^{-7} \text{ s}} = 0,5 \times 10^7 \text{ Bsk/s} = 5 \times 10^6 \text{ Bsk/s}$$

4e)

$x \ y$	$A = \overline{x \cdot y}$	$B = \overline{y}$	$C = \overline{A \cdot y}$	$D = B \cdot x$	$Z = C \oplus D$
00	1	1	1	0	1
01	1	0	0	0	0
10	1	1	1	1	0
11	0	0	1	0	1

10'

$$Z = \overline{x \oplus y} = (\overline{x \cdot y}) + (x \cdot y)$$



5°)

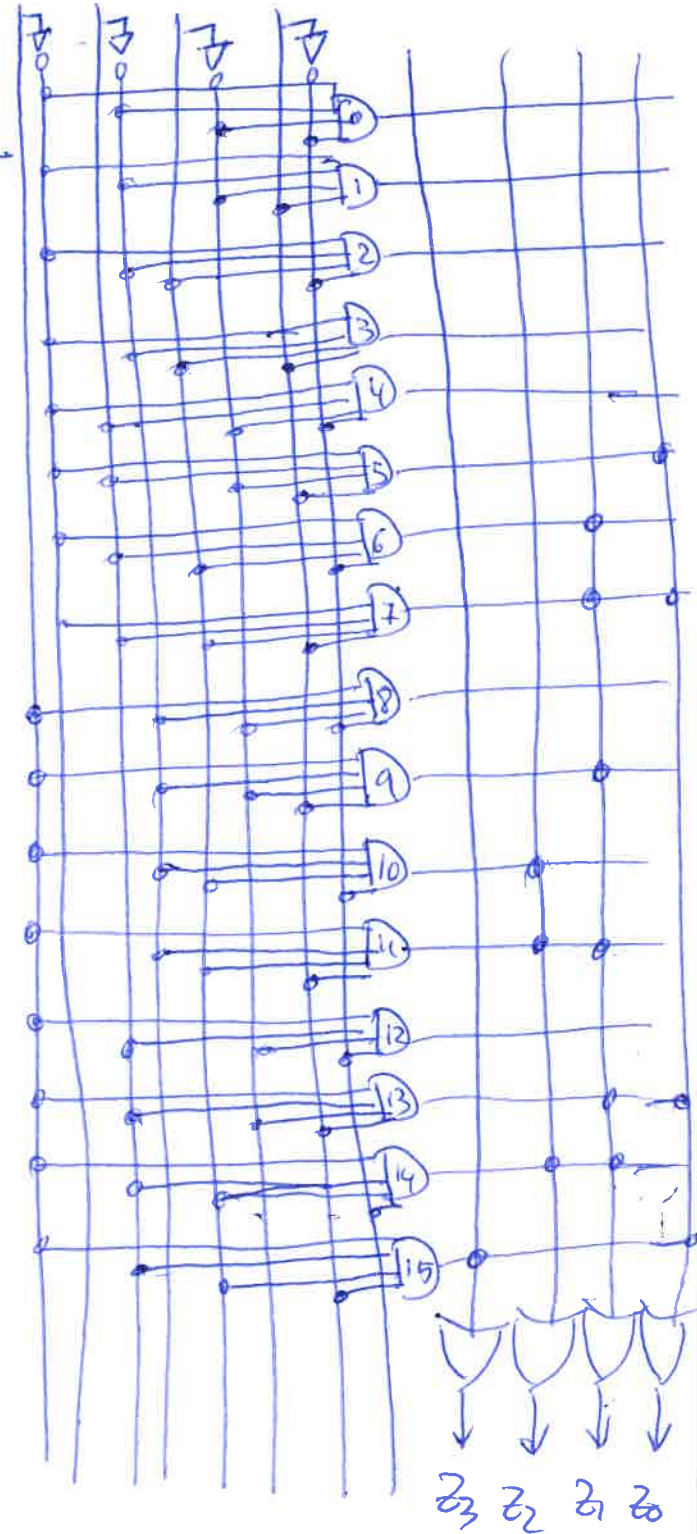
a)

10'

x_1	x_0	y_1	y_0	z_3	z_2	z_1	z_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

b) ROM $4 \times 2^4 \times 4$

x_1 x_0 y_1 y_0



6°)

10¹

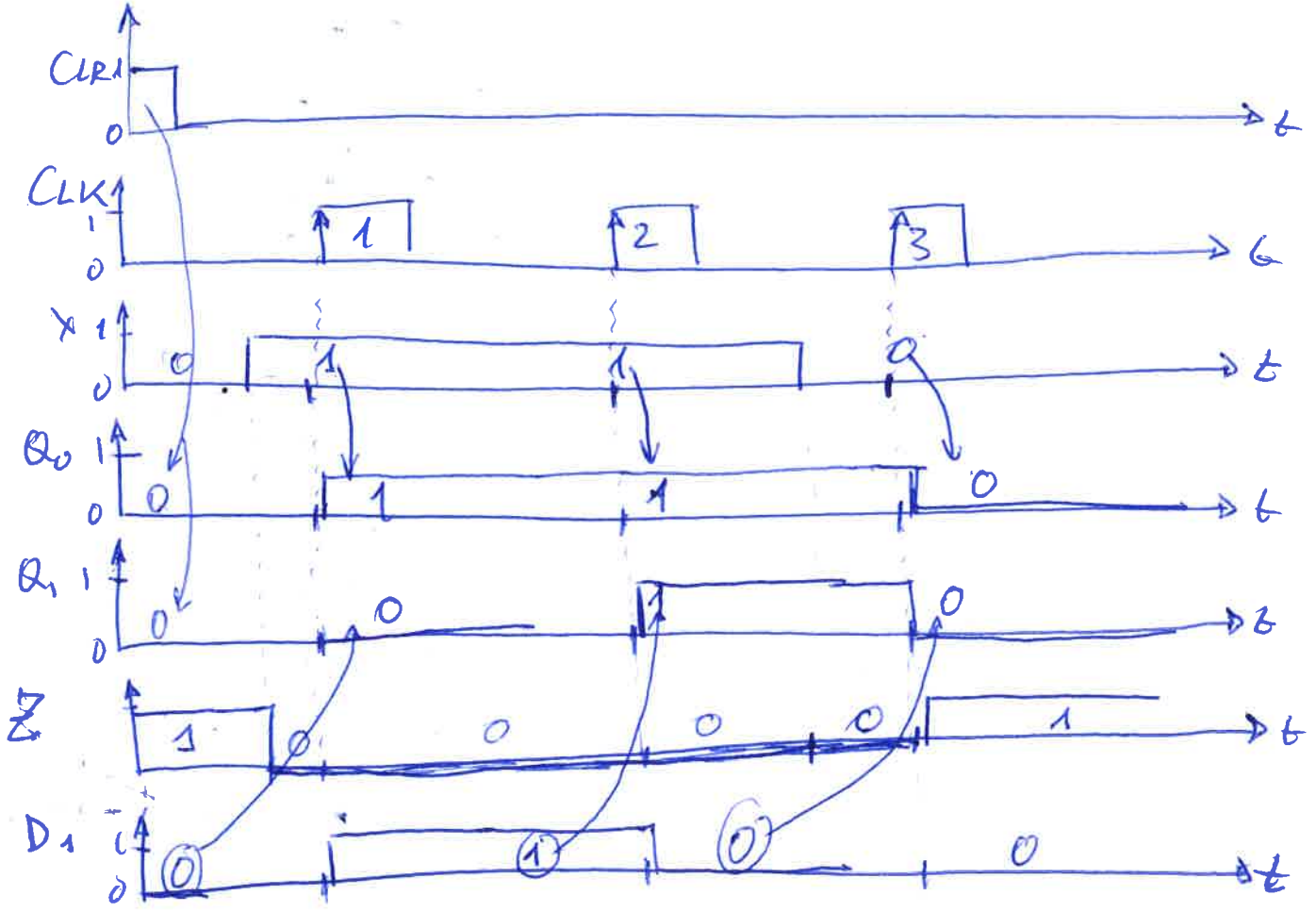
$$D_0 = X$$

$$D_1 = Q_1 \oplus Q_0$$

$$Z = \frac{X + Q_1}{2}$$

FF Activos por Flanco de Subida

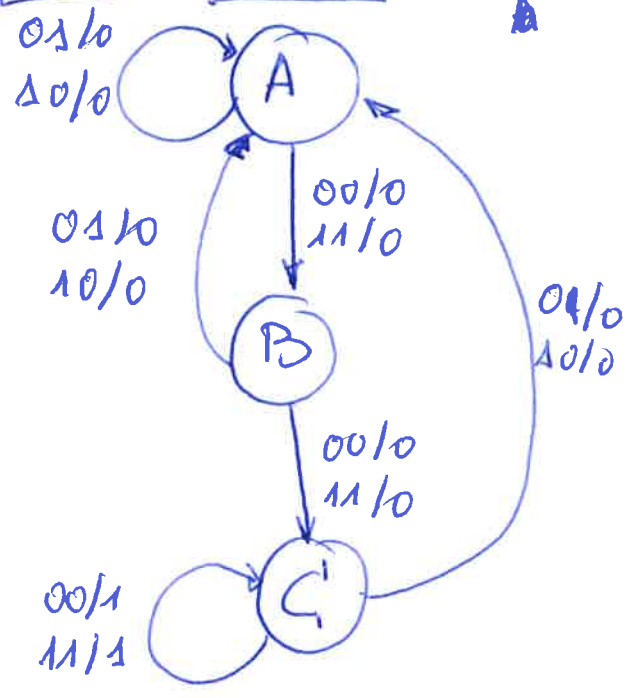
Tipo D, $Q_i^{t+1} = D_i^t$



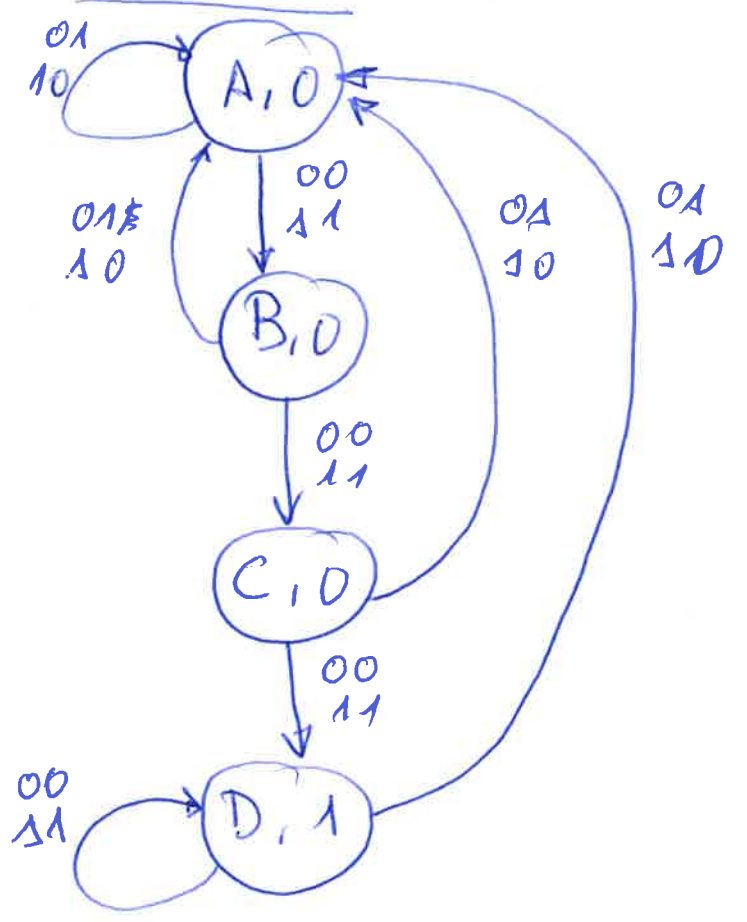
7º)
151

Diagrama de estados.

MEALY



MOORE



X, Y_0

EP \	00	01	10	11
A	B,0	A,0	A,0	B,0
B	C,0	A,0	A,0	C,0
C	C,1	A,0	A,0	C,1

ES, Z

MEALY

TABLA ESTADOS

X, Y_0

EP \	00	01	10	11	
A	B	A	A	B	0
B	C	A	A	C	0
C	D	A	A	D	0
D	D	A	A	D	1

ES

Z

8ª) TABLA TRANSICIÓN DEL GENERADOR

6

a) $m = n =$ salidas $Z_{max} = 3 = (11)_2 \Rightarrow$ necesita 2 salidas (Z_1, Z_0)

b) $p = m =$ bistables; módulo $N = 6$ estados \Rightarrow necesita 3 bistables $(D_2, D_1, D_0) \rightarrow (Q_2, Q_1, Q_0)$

c) Dado que $m \neq p$ no se puede (a priori) identificar $Z_i = Q_i \Rightarrow Z_i \neq Q_i$

$Q_2^t Q_1^t Q_0^t$	$Q_2^{t+1} Q_1^{t+1} Q_0^{t+1}$	$Z_1 Z_0$	$D_2 D_1 D_0$
0 0 0	0 0 1	0 1	0 0 1
0 0 1	0 1 0	1 1	0 1 0
0 1 0	0 1 1	1 0	0 1 1
0 1 1	1 0 0	1 0	1 0 0
1 0 0	1 0 1	0 0	1 0 1
1 0 1	0 0 0	1 1	0 0 0
1 1 0	---	---	---
1 1 1	---	---	---

Contador ascendente de módulo 6

$$D_i = Q_i^{t+1}$$

Finalización del diseño

$Q_2 \backslash Q_1 Q_0$	00	01	11	10	00	01	11	10	00	01	11	10	00	01	11	10
0		1	1	1	1	1			1				1	1	1	1
1		1	-	-	1	-	-	1	-	-	1	-	-	1	-	-

Z_1

Z_0

D_2

D_1

D_0

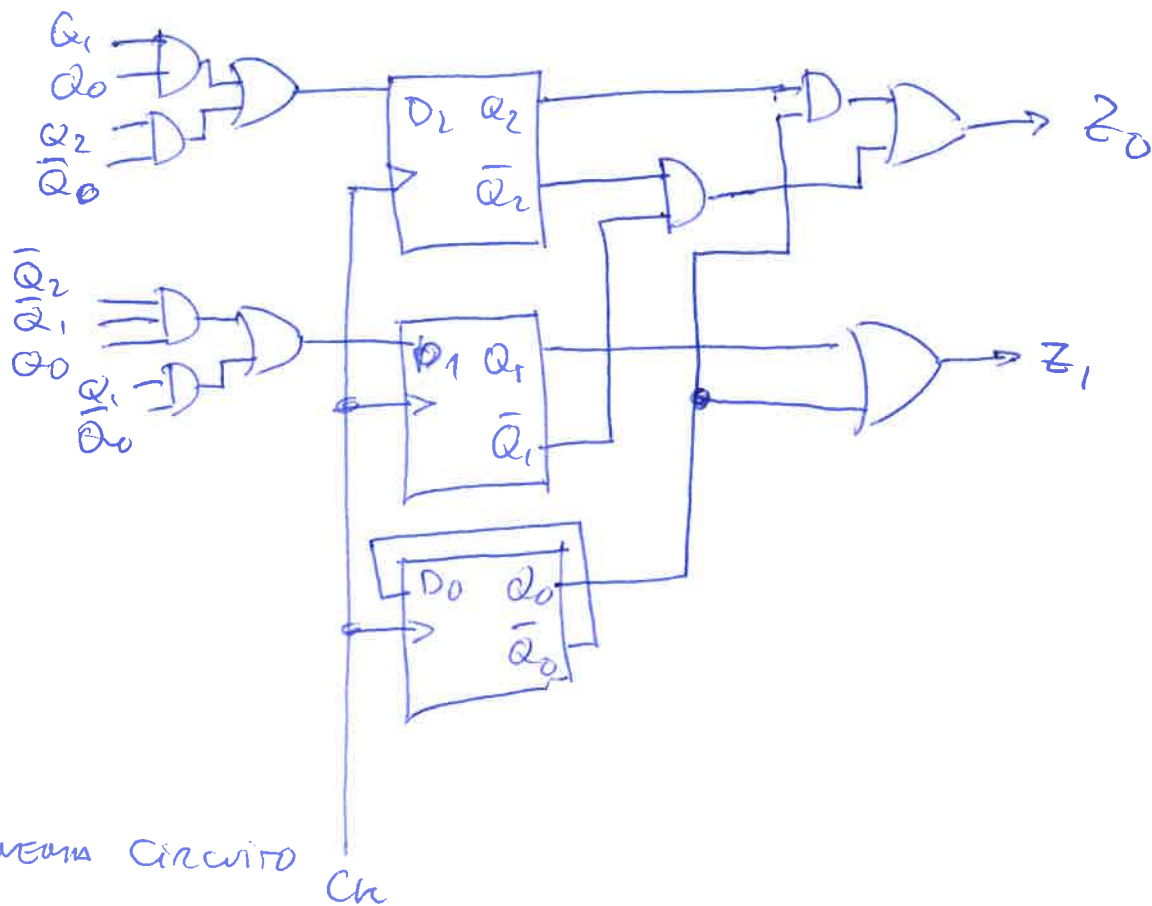
$$Z_1 = Q_1 + Q_0$$

$$Z_0 = (\bar{Q}_2 \cdot \bar{Q}_1) + (Q_2 \cdot Q_0)$$

$$D_2 = (Q_1 \cdot Q_0) + (Q_2 \cdot \bar{Q}_0)$$

$$D_1 = (\bar{Q}_2 \cdot \bar{Q}_1 \cdot Q_0) + Q_1 \cdot \bar{Q}_0$$

$$D_0 = \bar{Q}_0$$



9º) Tabla del problema

LDA	LDB	M0	S1	S0	OPERACION
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no Cambia}$
1	0	1	0	1	$A \leftarrow B \text{ MAS } 1, B \text{ no Cambia}$
1	1	0	0	0	$A \leftarrow \overline{A \cdot B_{UST}}, B \leftarrow \overline{A \cdot B_{UST}}$
0	1	1	1	0	$A \text{ no Cambia}, B \leftarrow A \text{ MAS } B$
1	1	0	0	1	$A \leftarrow B_{UST} \text{ MAS } 1, B \leftarrow B_{UST} \text{ MAS } 1$

51

10' 1. a) Como se muestrea a 22.050 Hz, en 1 segundo habrá 22.050 muestras que, a 2 Bytes/muestra y 2 canales de muestreo dará que 1 segundo de muestreo es:

$$22.050 \frac{\text{muestras}}{\text{s}} \times 2 \frac{\text{Bytes}}{\text{muestra}} \times 2 \text{ canales} = 88.200 \text{ B/s}$$

$$\text{4 GB} = 4 \times 2^{30} \text{ Bytes} = 4.294.967.296 \text{ Bytes}$$

Enonces:

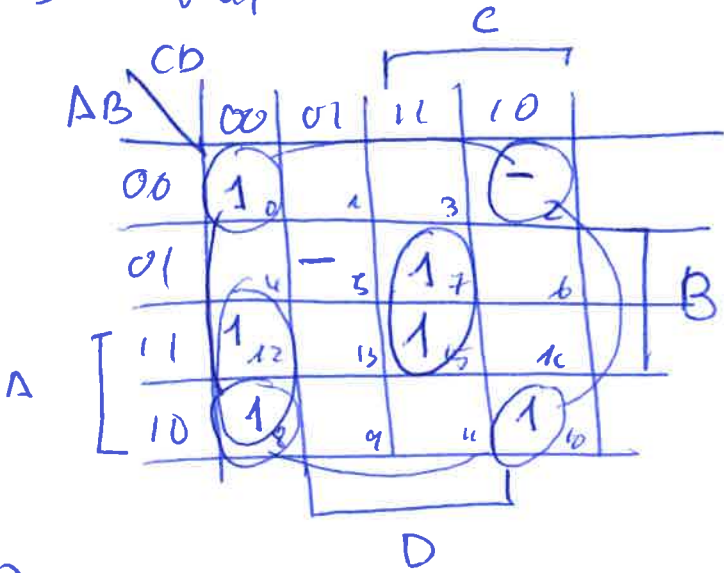
$$\frac{4.294.967.296 \text{ Bytes}}{88.200 \text{ Bytes/s}} = 48.695,774 \text{ s} = 811,596 \text{ minutos} = 13 \text{ horas}, 31' y 35,774''$$

b) Si se almacena el fichero comprimido con un factor de 4 a 1, le cabrán 4 veces más información, es decir.

$$194.783,096 \text{ s} = 3.246,38 \text{ minutos} = 54 \text{ horas}, 6' y 23,09''$$

2³)
10¹

a) Шаге K

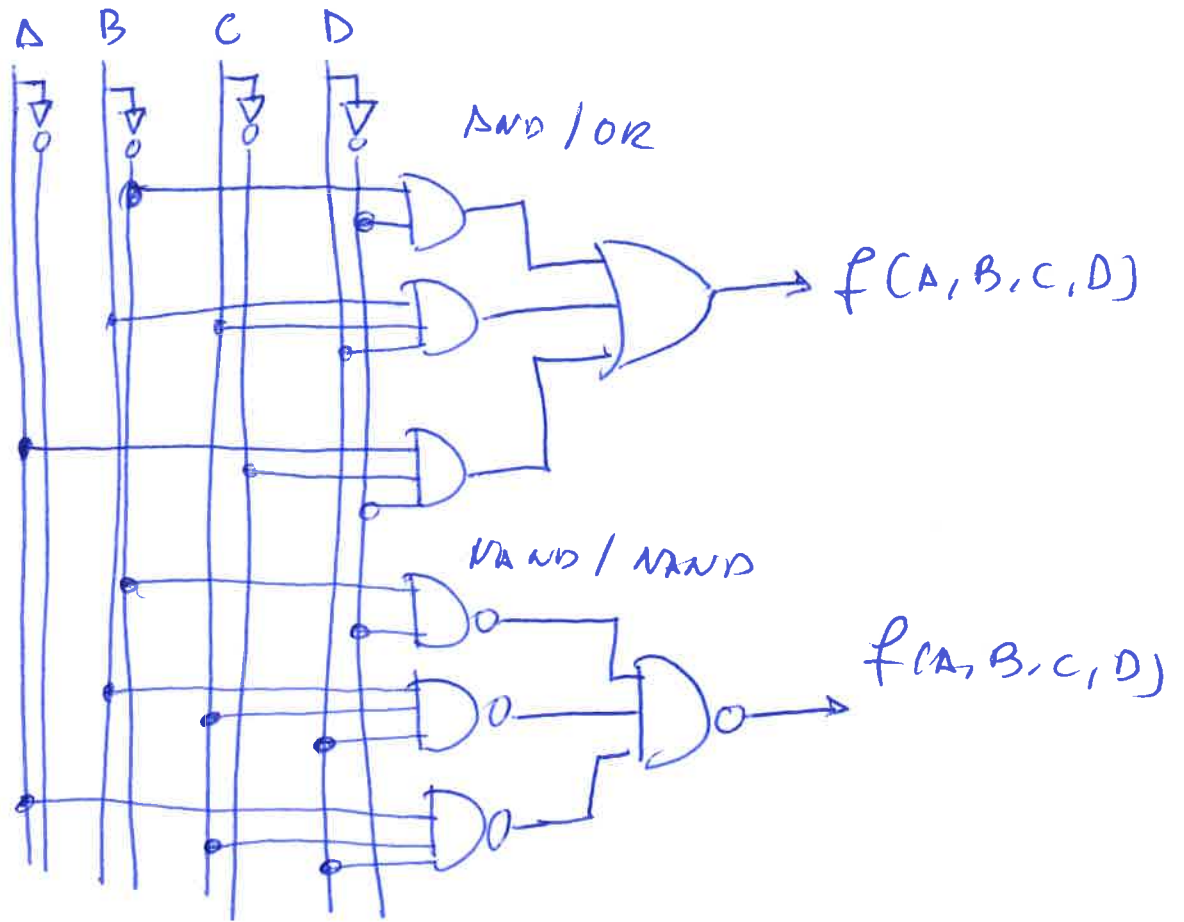


- b)
- Кубы (0-2-8-10) = $\frac{A \ B \ C \ D}{- \ 0 \ - \ 0} \Rightarrow \frac{TP}{\bar{B} \bar{D}}$
 - Кубы (7-15) = $\frac{A \ B \ C \ D}{- \ 1 \ 1 \ 1} \Rightarrow B \ C \ D$
 - Кубы (8-12) = $\frac{A \ B \ C \ D}{1 \ - \ 0 \ 0} \Rightarrow A \ \bar{C} \ \bar{D}$

$$f(A, B, C, D) = (\bar{B} \cdot \bar{D}) + (B \cdot C \cdot D) + (A \cdot \bar{C} \cdot \bar{D})$$

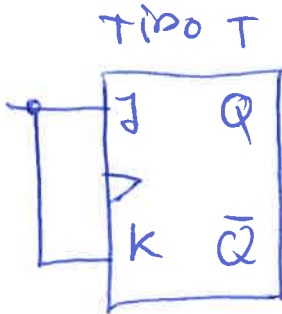
c)

d)

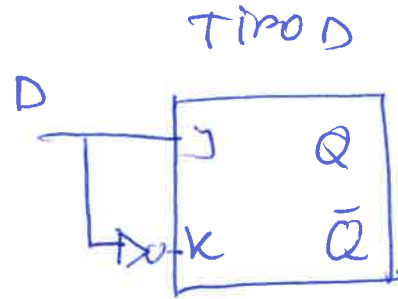


30) a)

51

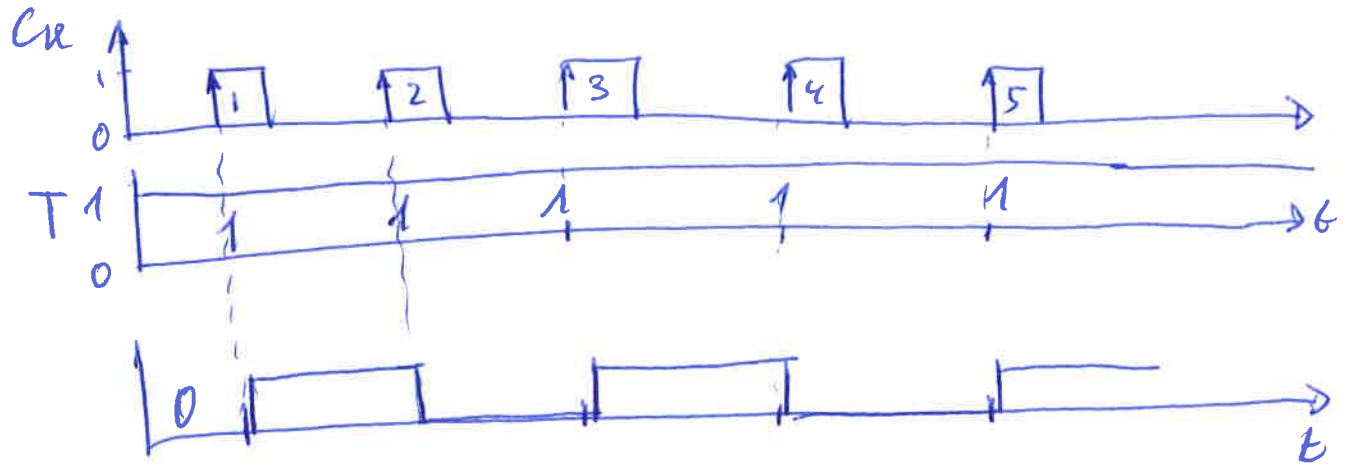


$$T = J = K$$



$$D = J, \quad K = \bar{D} = \bar{J}$$

b) Suponiendo $T=1 \Rightarrow Q^{t+1} = \overline{Q^t}$



40) CS1 Hecho en la hoja del enunciado

151

