

Apellidos :

Nombre :

Grupo :

D.N.I. :

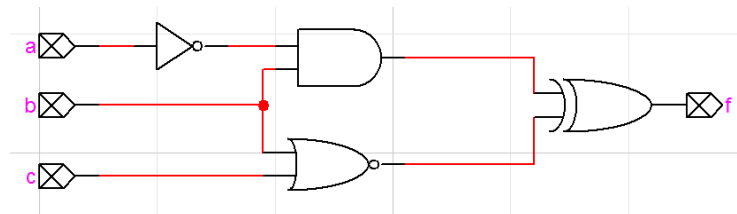
EJERCICIOS: (7,5 puntos)

1. (1 pto.) Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la derecha de la tabla siguiente, indique su representación interna en la forma Signo Magnitud (para el dato -9), Complemento a 1 (para el dato -1), Complemento a 2 (para el dato +9) y Representación Sesgada (para el dato -1, siendo el sesgo de $S = 2^{n-1}$).

	Representación interna	Valor decimal que representa
(Signo Magnitud)		- 9
(Complemento 1)		- 1
(Complemento 2)		+9
(Sesgada)		- 1

2. (1,5 pto.) En el computador Sencillo (CS1) los datos son de 8 bits, las direcciones son de 6 bits. Tiene un Repertorio de 4 Instrucciones (STOP, ADD, SUB, STA). La fase de captación siempre consume 2 ciclos de reloj. La fase de ejecución consume STOP (1 ciclo), ADD y SUB (3 ciclos) y STA (2 ciclos). Si la frecuencia de reloj del CS1 es de 50 MHz y se ejecuta un programa benchmark que contiene 24 instrucciones ADD, 26 instrucciones SUB, 10 instrucciones STA y una instrucción STOP. Indicar:
- a) Número de ciclos de reloj totales consumidos por el programa.
 - b) Tiempo de ejecución del programa de benchmark.
 - c) Prestaciones del CS1 en MIPS (Millions Instructions Per Second).
 - d) Tamaño de memoria máximo direccionable en Bytes.
3. (1 pto.) Analice el circuito de la figura 1 y obtenga razonadamente la tabla de verdad de la función de conmutación $Z(X,Y)$ resultante. ¿Existe un circuito equivalente del tipo AND/OR?

Figura 1



4. (0,5 pto.) Para el circuito de la *Figura 2a*, (donde la salida de datos de un multiplexor 4:1 se ha conectado con la entrada de datos de un demultiplexor 1:4), complete las filas de la tabla de la *Figura 2b*, escribiendo los valores "0" o "1" que se obtendrían en las salidas del demultiplexor, considerando las señales de control S1m S0m (del MUX) y S1d S0d (del DMUX) indicadas en dicha tabla y las entradas aplicadas en el MUX (*Figura 2a*). Se muestra, como ejemplo, la respuesta a las dos primeras filas.

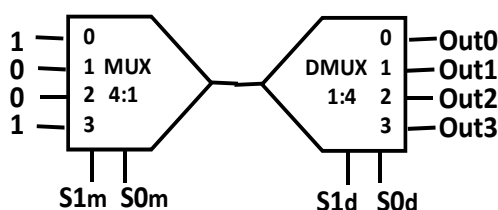


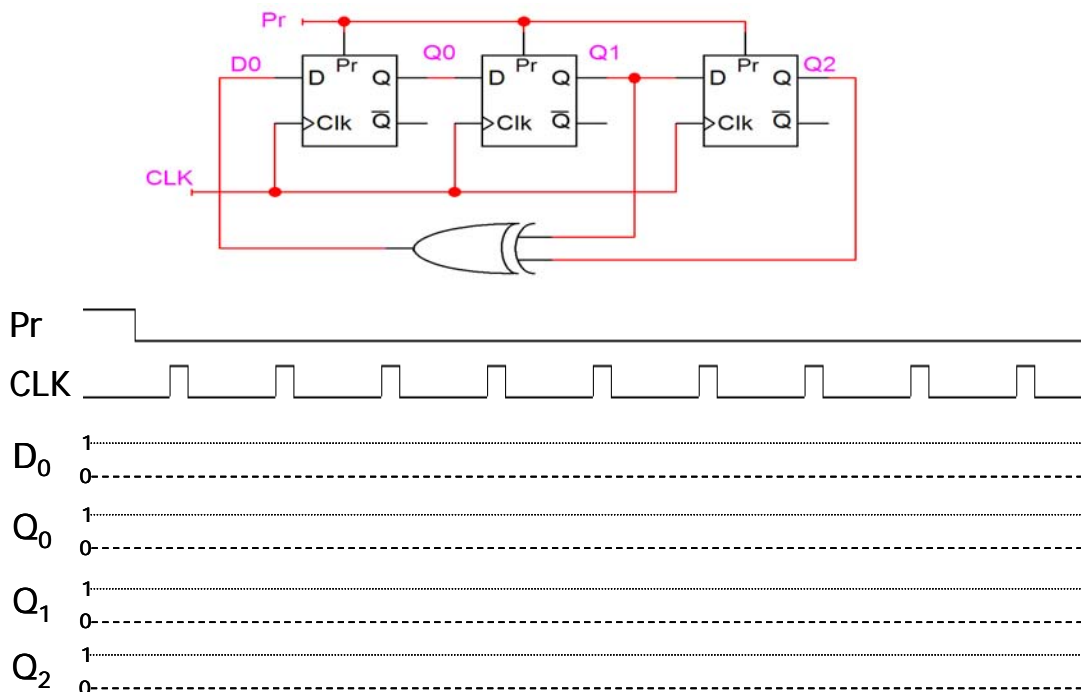
Figura 2a

Señales de control del MUX		Salidas del DMUX					
S1m	S0m	S1d	S0d	Out0	Out1	Out2	Out3
0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0
1	1	1	0				
0	0	1	1				
1	0	0	1				
1	1	1	1				

Figura 2b

5. (1 pto.) Dadas las siguientes funciones de conmutación, en las que "x₀" representa la variable menos significativa:
- $f_0(x_2, x_1, x_0) = \sum m(0, 2, 7)$
 - $f_1(x_2, x_1, x_0) = \sum m(1, 2, 6)$
 - $f_2(x_2, x_1, x_0) = \sum m(3, 4, 5, 6)$
- Implemente dichas funciones mediante una ROM de tamaño adecuado. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura interna de la ROM con las conexiones adecuadas entre el plano AND y el plano OR.

6. (1 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura. Al principio la señal de Preset (Pr) está activada tal y como se indica en el cronograma, por lo que todos los biestables comienzan con un valor Q=1.



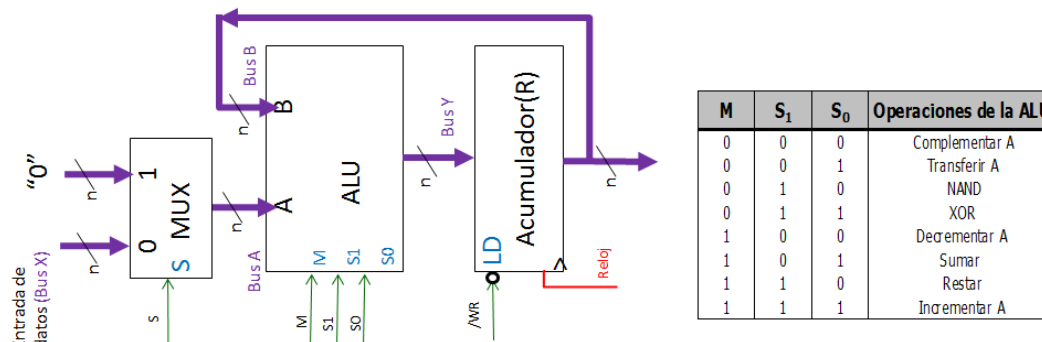
7. (1 pto.) Diseñe un generador de secuencia síncrono, con una señal de control M, tal que si M=0 la secuencia sea ascendente (1,4,4,7...), y si M=1 la secuencia sea descendente (7,4,4,1...). Utilice el tipo de biestable que prefiera.

Si M=0 se genera la Secuencia: (1, 4, 4, 7, 1, 4, 4, 7,)

Si M=1 se genera la Secuencia: (7, 4, 4, 1, 7, 4, 4, 1,)

8. (0,5 pto) Para la unidad de procesamiento de la figura.

- Rellenar la tabla adjunta con los valores de las señales de control. La primera fila viene rellena como ejemplo.
- Indicar la secuencia de **DOS** microoperaciones RT (entre las que se indican en la tabla) para almacenar en R un valor final igual a '15', teniendo siempre X='8'.



Operaciones RT	PALABRA DE CONTROL (Señales de control)					(En hexadecimal)
	Selección de entrada	Controles de la ALU			Escritura en acumulador R /WR	
		S	M	S1		
R←- X+R	0	1	0	1	0	0A
R←- X+1						
R←-X						
R←-X XOR R						
R←-X - 1						



Apellidos :

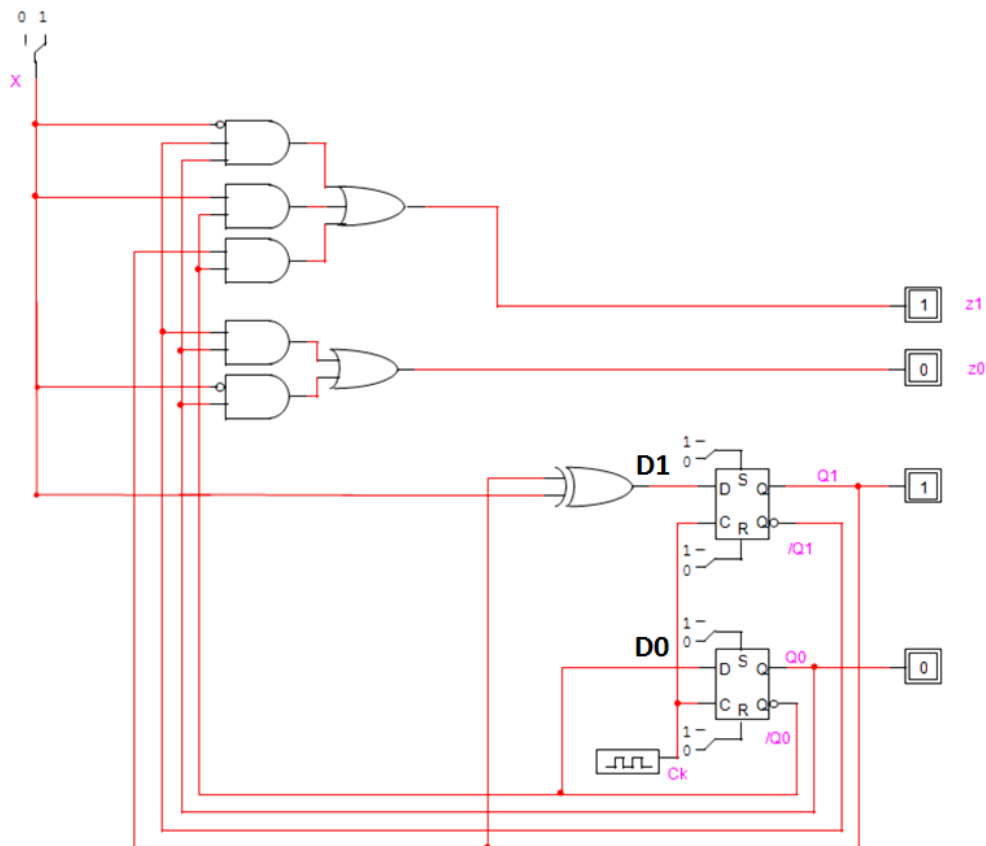
Nombre :

Grupo :

D.N.I. :

PRACTICAS: (1 punto)

1. (0,50 pto.) Análisis de un sistema secuencial. ¿Es tipo Mealy o tipo Moore?



Rellena la siguiente Tabla de Excitación del Sistema:

X Q ₁ Q ₀	D ₁	D ₀
0 0 0		
0 0 1		
0 1 0		
0 1 1		
1 0 0		
1 0 1		
1 1 0		
1 1 1		

2. (0,50 pto.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Dada la **Tabla P.2**, donde se especifica un programa en ensamblador, realice lo siguiente:

- a) Completar las filas de la tabla , rellenando los códigos de operación y de dirección del dato (operando) en binario.
- b) Rellenar la última columna escribiendo las instrucciones en hexadecimal.
- c) Tras ejecutar el programa, ¿qué valor se almacena en la memoria en la dirección \$3D , sabiendo que antes de ejecutar el programa, la memoria tenía almacenado el dato 33 (en hexadecimal) en la dirección \$3B y el dato 03 (en hexadecimal) en la dirección \$3C ?

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$3A	$M(\$3A) \leftarrow AC$	11	11 1010	FA
SUB \$3A	$AC \leftarrow AC - M(\$3A)$			
ADD \$3B	$AC \leftarrow AC + M(\$3B)$			
ADD \$3C	$AC \leftarrow AC + M(\$3C)$			
STA \$3D	$M(\$3D) \leftarrow AC$			
STOP	Fin ejecución			

Tabla P.2

Apellidos :

Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

1. **(1,00 pto.)** Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la izquierda en representación interna, indique su valor en decimal en la columna de la derecha. Para representación sesgada (el sesgo es $S = 2^{n-1}$, donde $n=8$ es el número de bits).

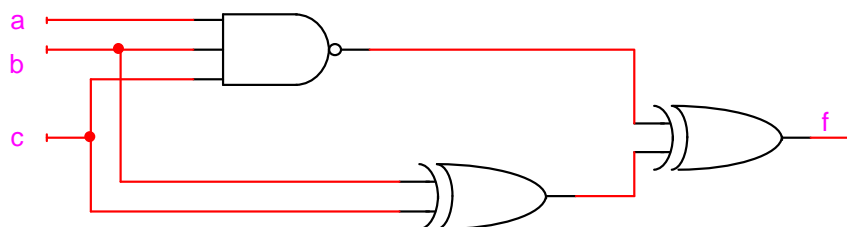
	Representación interna	Valor decimal que representa
(Signo Magnitud)	1000 0101	
(Complemento 1)	0000 0111	
(Complemento 2)	1111 1110	
(Sesgada)	1000 0100	

2. **(1,50 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: Registro de Dirección (AR) de 32 bits, Registro de Datos (DR) de 16 bits y Contador de Programa (PC). El procesador funciona con un reloj de frecuencia 8 MHz y está conectado mediante el bus de datos con la memoria y para cada transferencia de un dato se requieren 3 ciclos de reloj.

Indicar:

- Número de bits del bus de datos (DB).
- Número de bits del bus de direcciones (AB).
- Tamaño en bits del registro Contador de Programa (PC).
- Tamaño máximo posible de la memoria principal (en MB o GB).
- Velocidad de transferencia de datos entre el procesador y la memoria.

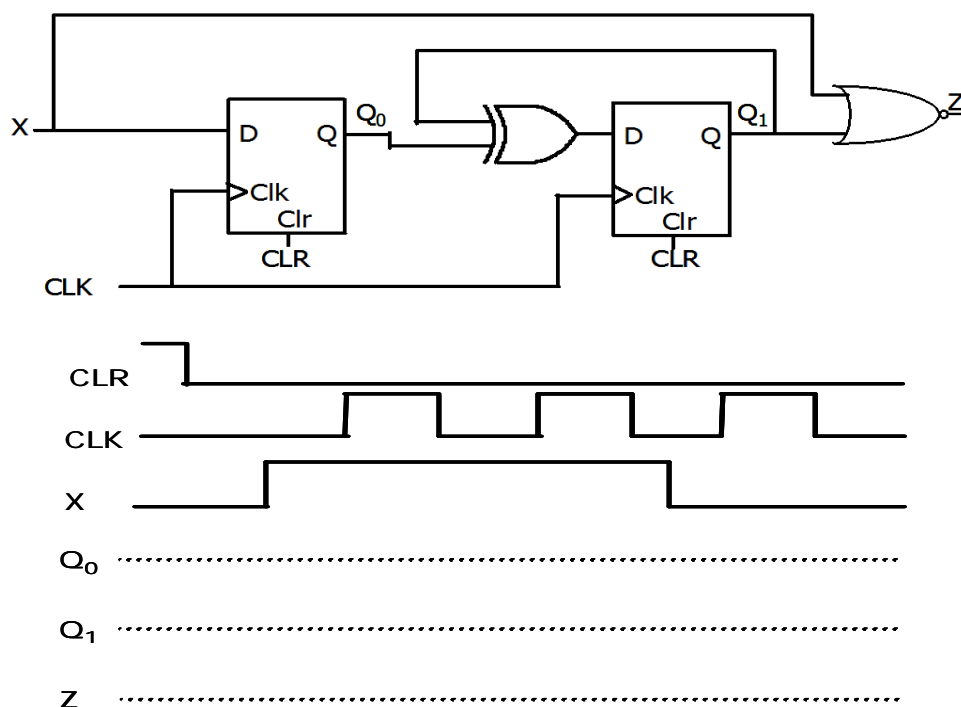
3. **(1,00 pto.)** Analice el circuito de la figura y obtenga razonadamente: a) la tabla de verdad de la función de conmutación $f(a,b,c)$, b) una realización equivalente del circuito con estructura AND/OR, y c) una realización utilizando un único multiplexor de tamaño adecuado.



4. **(1,00 pto.)** Diseñe un circuito combinacional con estructura NAND/NAND que implemente la multiplicación de dos números binarios enteros positivos de 2 bits, $X=(x_1 x_0)$ e $Y=(y_1 y_0)$, tal que genere la salida de 4 bits, $Z=(z_3 z_2 z_1 z_0)$, requeridas para representar el resultado de la multiplicación. Para ello, realice lo siguiente:

- Tabla de verdad y mapas de Karnaugh de las salidas.
- Minimización con mapas de Karnaugh de las funciones de salida.
- Dibujar el circuito resultante con estructura NAND/NAND.

5. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura.



6. (1,00 pto.) Un sistema secuencial síncrono tiene dos entradas (X_1 y X_0), y una salida (Z). Su función es comparar las secuencias que recibe por ambas entradas. Si $X_1 = X_0$ durante **al menos** tres ciclos de reloj consecutivos, el circuito genera $Z=1$ a partir del tercer ciclo (**mientras** $X_1 = X_0$); en cualquier otro caso, produce $Z = 0$, tal como se refleja en el siguiente ejemplo:

$X_1 = 0\ 1\ 1\ 0\ 1\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 0\ \dots$
 $X_0 = 1\ 1\ 1\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ \dots$
 $Z = 0\ 0\ 0\ 1\ 1\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 0\ \dots$

Obtenga el *diagrama de estados* y la *tabla de estados* del sistema secuencial síncrono.

7. (1,00 pto.) Para la unidad de procesamiento de la figura:

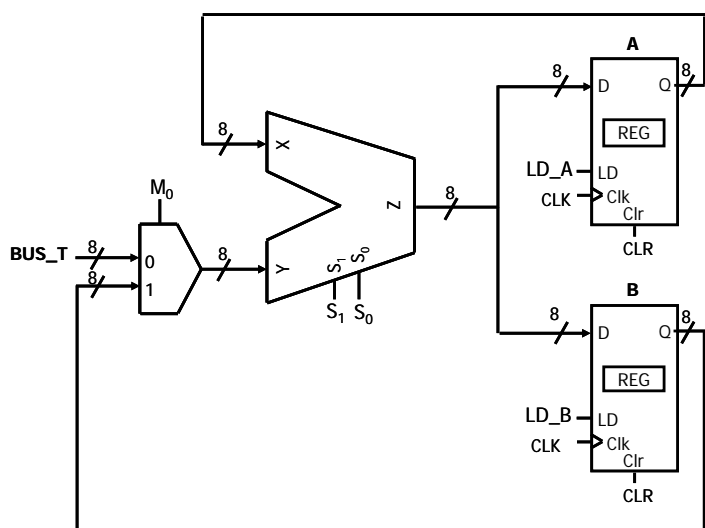


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	X MAS Y
0	1	Y
1	0	$\overline{X \cdot Y}$
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	

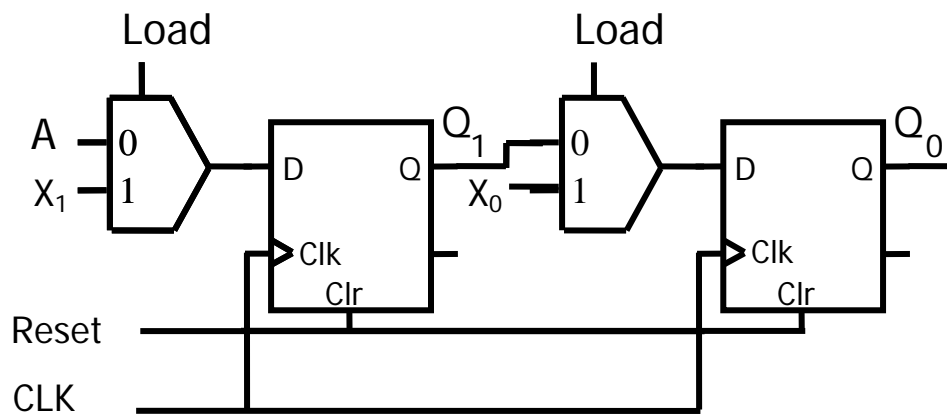


Apellidos : _____

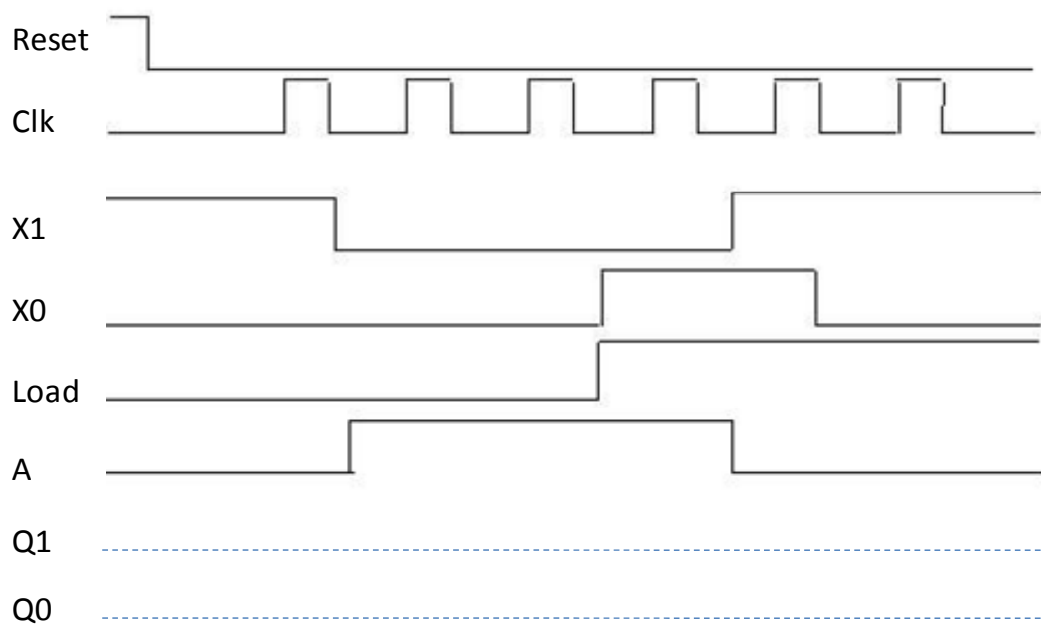
Nombre : _____ Grupo : _____

D.N.I. : _____

1. (0,50 pto.) En la figura se muestra un registro de desplazamiento con posibilidad de carga en paralelo. Para ello, se añaden circuitos que permiten configurar las conexiones de las entradas de los biestables D, bien para conectar en cascada los biestables (operación de desplazamiento) o bien para conectar entradas externas con las entradas D de los biestables (carga paralelo síncrona).



Para dicho circuito, complete el siguiente cronograma.



2. (0,50 pts.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Tabla P2a

PROM Synthesizer							
E0	A0	7E	7D	BC	FF	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
0D	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
00	00	00	00	00	00	00	00
F8	00	00	00	03	0A	06	00

DIRECCIONES
DE
MEMORIA

→ 00 – 07
→ 08 – 0F
→ 10 – 17
→ 18 – 1F
→ 20 – 27
→ 28 – 2F
→ 30 – 37
→ 38 – 3F

Dada la **Tabla P2b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

- a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la PROM, Tabla P2b) en la última columna de la **Tabla P2c**. A partir de esta información completar el resto de la **Tabla P2c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

Tabla P2b

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P2b** y que el acumulador **AC** contiene el valor **FF** en hexadecimal. Indicar los datos en hexadecimal que se verían en la memoria RAM, correspondientes a las direcciones de memoria: \$20, \$38, \$3C, \$3D, \$3E, \$3F, después de ejecutar el programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$20	$M(\$20) \leftarrow AC$	11	10 0000	E0

Tabla P2c

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

(09/04/2014)

Examen de los temas 1 y 2 (2,5 puntos en total)

Apellidos y nombre:

Grupo:

EJERCICIOS (2,5 puntos). (1: 0.75 pto.; 2: 0.25ptos. ; 3: 0.5ptos. ;4: 0.5ptos. ; 5: 0.5 pto.).

- Suponiendo un computador que trabaja con datos enteros y con longitud de palabra **n = 8 bits**, se almacenan los siguientes números en representación interna de tipo Signo-Magnitud, Complemento a 1, Complemento a 2, Representación Sesiada (el sesgo es $S=2^{n-1}=2^7=128$) y entero sin signo. Indique el valor del número decimal que se está representando.

Representación Interna	Valor decimal que representa
1000 0010 (Signo-Magnitud)	
0000 1010 (Complemento 1)	
1111 1100 (Complemento 2)	
1000 0010 (Sesiada)	
1000 0010 (Sin signo, positivos)	

- Suponiendo que tenemos el número **N = 1010 1010** de **8 bits** en representación complemento a 2. Indique qué representación en complemento a 2 tendría con **16 bits** en vez de los 8 bits.

- Obtenga la representación del número binario: **+101101,11011100100001** en formato normalizado IEEE 754 para coma flotante, simple precisión, de **32 bits**, con un bit para el signo, **8 bits** para el campo del exponente (con sesgo **S=127**) y **23 bits** para el de la mantisa.

s	e	m

- Un procesador con registros: PC (Contador de Programa), AR (Registro de Dirección de **12 bits**), DR (Registro de Datos de **16 bits**), IR (Registro de Instrucciones) y registros auxiliares r1 y rD, está conectado con la memoria principal. Suponiendo que el procesador está iniciando la captación de una instrucción con el contador de programa **PC = 001** (en hexadecimal), y que el contenido inicial de la memoria principal es el de la tabla adjunta, donde tanto direcciones como datos están representados en hexadecimal, responda a las siguientes cuestiones:

Dirección (hexadecimal)	Contenido (hexadecimal)
000	A745
001	2BD1
002	3C25
.	.
FFB	2437
FFC	ACC1
FFD	4326
FFE	A032
FFF	3456

a) Indique el contenido de los registros PC e IR al finalizar la fase de captación de la instrucción.

b) Sabiendo que el código de operación que está en IR corresponde a una instrucción ST r1 y que ésta instrucción consiste en almacenar el contenido del registro r1 en la posición de memoria dada por el contenido del registro rD, ($M(rD) \leftarrow r1$), donde en r1 se tiene el dato A848 y en rD el valor FFD, indique los datos que cambian en la memoria y sus correspondientes direcciones, al finalizar la fase de ejecución de la instrucción.

c) En la dirección 002 el contenido de la memoria es 3C25. En el próximo acceso a memoria, ¿es seguro que el procesador interpretará a 3C25 como una instrucción, o puede ser que lo interprete como cualquier otra información o tipo de dato

numérico?. ¿Por qué?. Razone su respuesta.

d) Indique el número de hilos de los buses de datos y de direcciones.

e) Indique el tamaño en bytes de la memoria principal.

- En un computador, que opera con una frecuencia de reloj de **500 MHz**, se ejecuta un programa de **500 instrucciones** (consumiendo cada instrucción **6 ciclos de reloj** en total). Indique: a) el tiempo que tarda en ejecutar este programa y b) la velocidad de procesamiento en MIPS (Millones del Instrucciones Por Segundo) que se mide de acuerdo a la ejecución de este programa.

TECNOLOGÍA Y ORGANIZACIÓN DE COMPUTADORES

(09/04/2014)

Examen de los temas 1 y 2 (2,5 puntos en total)

SOLUCIONES A LOS EJERCICIOS.

1.

Representación Interna	Valor decimal que representa
1000 0010 (Signo-Magnitud)	
0000 1010 (Complemento 1)	
1111 1100 (Complemento 2)	
1000 0010 (Sesgada)	
1000 0010 (Sin signo, positivos)	

2.

--

3.

s	e	m

4. a) PC= IR=

b)

c)

d) Bus Datos= Bus Direcciones=

e) Tamaño M =

5. a) Tiempo ejecución =

b) Velocidad (MIPS) =



Apellidos :

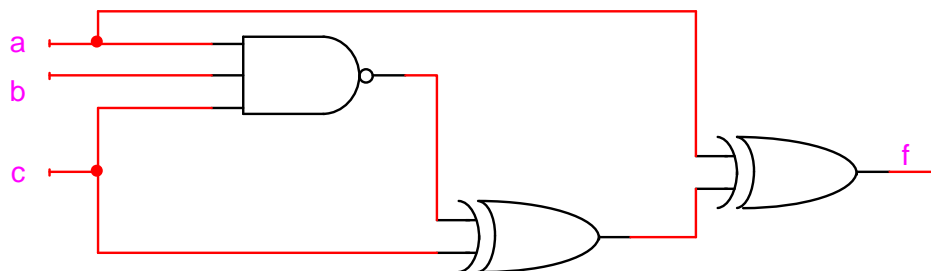
Nombre :

Grupo :

D.N.I. :

EJERCICIOS:

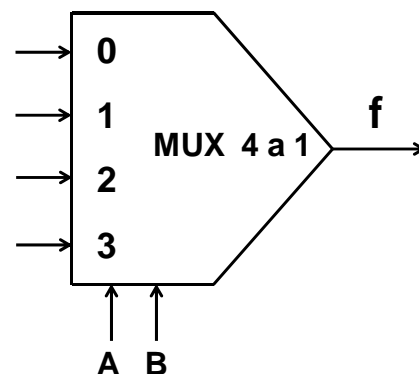
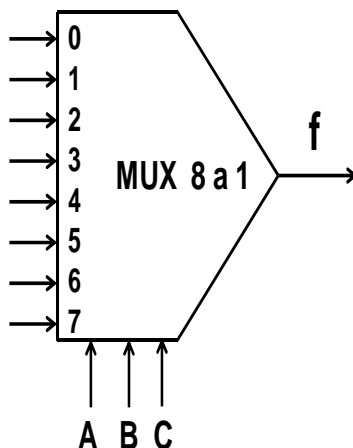
1. (0,5 pto.) Analice el circuito de la figura y obtenga razonadamente la tabla de verdad de la función de conmutación $f(a,b,c)$



2. (0,75 pto.) Dada la función: $f(A, B, C) = \sum m(0, 1, 2, 5)$ y considerando C la variable menos significativa, obtenga su implementación de las siguientes formas:

- Con un multiplexor 8 a 1, utilizando A, B y C, como entradas de selección (o de control).
- Con un multiplexor 4 a 1, utilizando A y B como entradas de selección. Para ello indique qué valores de entrada aplicaría a dichos multiplexores de entre: $\{0, 1, C, \neg C\}$, donde $\neg C$ es la negación de C).

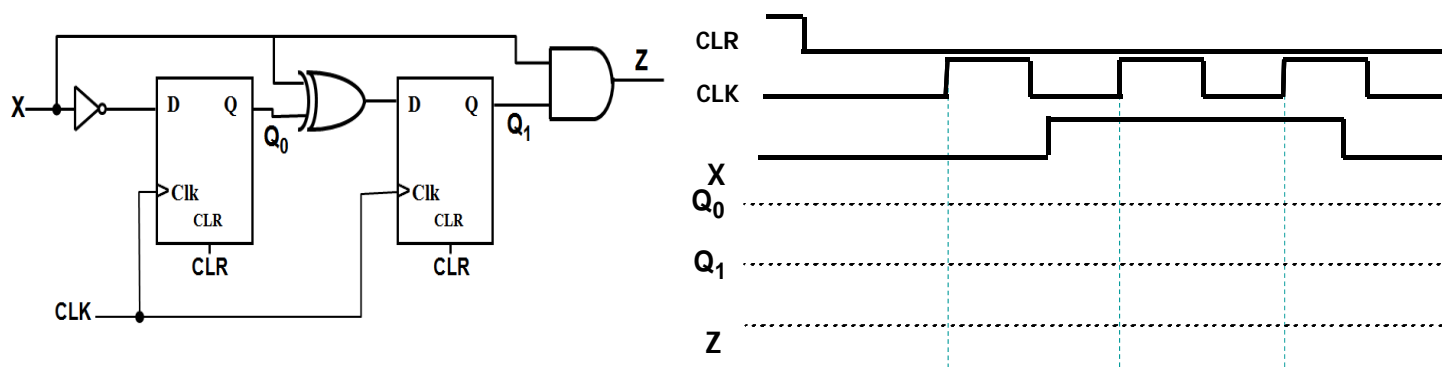
Nota: Para la respuesta, se pueden utilizar las figuras.



3. (0,5 pto.) Se desea diseñar un circuito combinacional tal que, dadas dos entradas de dos números binarios enteros positivos de 2 bits, $X=(x_1 x_0)$ e $Y=(y_1 y_0)$, genere la salida de 4 bits, $Z=(z_3 z_2 z_1 z_0)$, donde $Z=2*(X+Y)$, siendo "*" y "+" las operaciones de multiplicación y suma aritméticas. Para ello, realice lo siguiente:

- Tabla de verdad.
- Se quiere realizar el diseño con una memoria ROM de tamaño mínimo. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura de la ROM, indicando las conexiones requeridas en el plano OR.

4. (0,75 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura. Los biestables son disparados por flanco de subida.



5. (1,00 pto.) Empleando biestables de tipo D y las puertas lógicas que se necesiten, diseñe un generador de secuencia síncrono con 2 salidas binarias (z_1 y z_0), que genere la siguiente secuencia de valores de salida $Z=(z_1,z_0)=\{ 1, 2, 0, 2, 1, 3; 1, 2, 0, 2, 1, 3, \dots\}$.
6. (0,5 pto.) Realice el diagrama y tabla de estados de un circuito secuencial síncrono que consta de una entrada de datos X y una salida Z . El circuito debe generar $Z=1$ salvo cuando se recibe el último bit de una secuencia de tres bits iguales, en cuyo caso $Z=0$. El siguiente ejemplo indica el funcionamiento de Z :

X: 0 1 1 0 0 0 0 1 0 1 1 1 1 1 0 0 0 ...
Z: 1 1 1 1 1 0 0 1 1 1 1 0 0 0 1 1 0 ...

7. (1,00 pto.) Para la unidad de procesamiento de la figura:

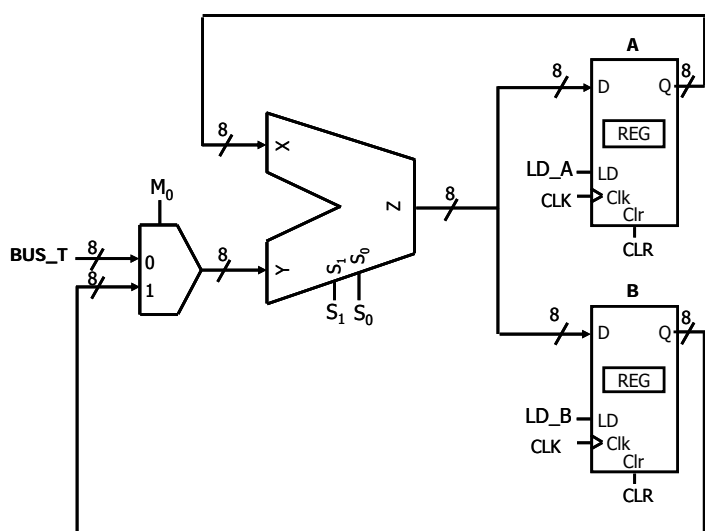


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	$\bar{X} \cdot \bar{Y}$
0	1	X MAS Y
1	0	Y
1	1	Y MAS 1

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
0	1	0	1	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	

Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) Dada la función: $f(A, B, C, D) = \sum m(0, 1, 2, 4, 6, 8, 10) + d(3, 12)$ y considerando D la variable menos significativa, obtenga su implementación mínima.

- Rellene los unos e indiferencias del mapa de Karnaugh indicando explícitamente:
 - Las variables correspondientes a cada eje (en la parte superior izquierda del mapa de Karnaugh)
 - Marque los cubos utilizados para la minimización (cubos o adyacencias de mayor orden).
- Expresión algebraica mínima.
- Dibujar el circuito de dos niveles de puertas lógicas **AND/OR**,
- Dibujar el circuito de dos niveles de puertas lógicas **NAND/NAND**.

	00	01	11	10
00				
01				
11				
10				

2. (0,50 pto.) En la tabla de la figura siguiente se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Tabla P2a

PROM Synthesizer								DIRECCIONES DE MEMORIA
E0	A0	78	79	F9	00	00	00	→ 00 – 07
00	00	00	00	00	00	00	00	→ 08 – 0F
00	00	00	00	00	00	00	00	→ 10 – 17
00	00	00	00	00	00	00	00	→ 18 – 1F
00	00	00	00	00	00	00	00	→ 20 – 27
00	00	00	00	00	00	00	00	→ 28 – 2F
00	00	00	00	00	00	00	00	→ 30 – 37
01	00	00	00	00	00	00	00	→ 38 – 3F

Tabla P2b

Dada la **Tabla P2b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la PROM, Tabla P2b) en la última columna de la **Tabla P2c**. A partir de esta información completar el resto de la **Tabla P2c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P2b**. Indicar el dato en hexadecimal que se vería en la dirección \$39 de memoria RAM en los, siguientes instantes.

- tras la primera ejecución del programa.
- tras la segunda ejecución del programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$20	$M(\$20) \leftarrow AC$	11	10 0000	E0

Tabla P2c

Apellidos : _____**Nombre :** _____**Grupo :** _____**D.N.I. :** _____**EJERCICIOS (Temas 1º y 2º):**

1. **(0,75 pto.)** Suponga que un computador trabaja con datos enteros y con longitud de palabra $n = 8$ bits. Dados los datos de la columna de la izquierda en representación interna, indique su valor en decimal en la columna de la derecha. Para representación sesgada (el sesgo es $S=2^7=128$).

Representación	Representación interna	Valor decimal que representa
(Signo Magnitud)	1000 0101	
(Complemento 1)	0000 0111	
(Complemento 2)	1111 1110	
(Sesgada)	1000 0100	
(Entero sin signo)	1111 1110	

2. **(0,25 pto.)** Suponiendo que tenemos el número $N = 1011\ 1110$ de 8 bits en representación complemento a 2. Indique qué representación en complemento a 2 tendría en una representación utilizando 16 bits.
3. **(1,50 pto.)** Un procesador dispone, entre otros, de los siguientes elementos: Registro de Dirección (AR) de 32 bits, Registro de Datos (DR) de 16 bits y Contador de Programa (PC). El procesador funciona con un reloj de frecuencia 10 MHz y está conectado mediante el bus de datos con la memoria y para cada transferencia de un dato se requieren 4 ciclos de reloj.
- Indicar:
- Número de bits del bus de datos (DB).
 - Número de bits del bus de direcciones (AB).
 - Número de bits del registro de instrucciones (IR).
 - Tamaño en bits del registro Contador de Programa (PC).
 - Tamaño máximo posible de la memoria principal (en MB o GB).
 - Velocidad de transferencia de datos entre el procesador y la memoria.

EJERCICIOS (Temas 3º, 4º y 5º):

4. (1,00 pto.) Analice el circuito de la figura y obtenga razonadamente la tabla de verdad de la función de conmutación $f(a,b,c)$.

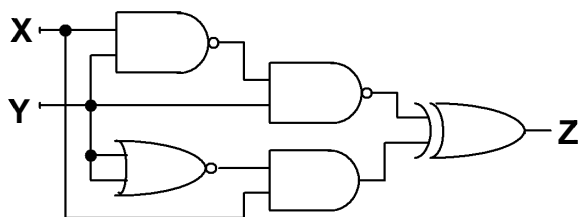
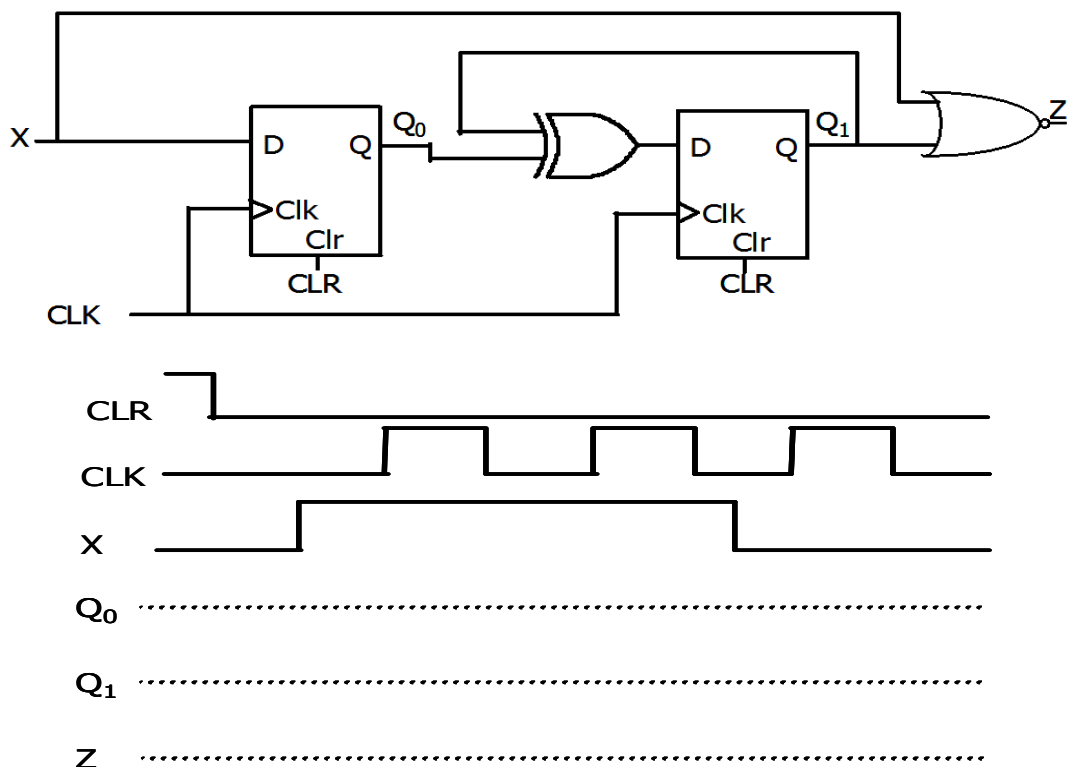


Figura 1

5. (1,00 pto.) Se desea diseñar un circuito combinacional tal que, dadas dos entradas de dos números binarios enteros positivos de 2 bits, $X=(x_1 \ x_0)$ e $Y=(y_1 \ y_0)$, genere la salida de 4 bits, $Z=(z_3 \ z_2 \ z_1 \ z_0)$, donde $Z = (X*Y)$, siendo "*" la operación de multiplicación aritmética. Para ello, realice lo siguiente:

- Tablas de verdad de cada función z_3, z_2, z_1, z_0 .
- Se quiere realizar el diseño con una memoria ROM de tamaño mínimo. ¿Cuál es el tamaño de dicha memoria ROM? Dibuje explícitamente la estructura de la ROM, indicando las conexiones requeridas en el plano OR.

6. (1,00 pto.) Complete el siguiente diagrama de tiempos para el circuito de la figura.



7. (1,00 pto.) Empleando biestables de tipo D y las puertas lógicas que se necesiten, diseñe un generador de secuencia síncrono con 2 salidas binarias (z_1 y z_0), que genere la siguiente secuencia de valores de salida $Z=(z_1,z_0)=\{ 1, 3, 2, 2, 0, 3; 1, 3, 2, 2, 0, 3, \dots\}$.

8. (1,00 pto.) Para la unidad de procesamiento de la figura:

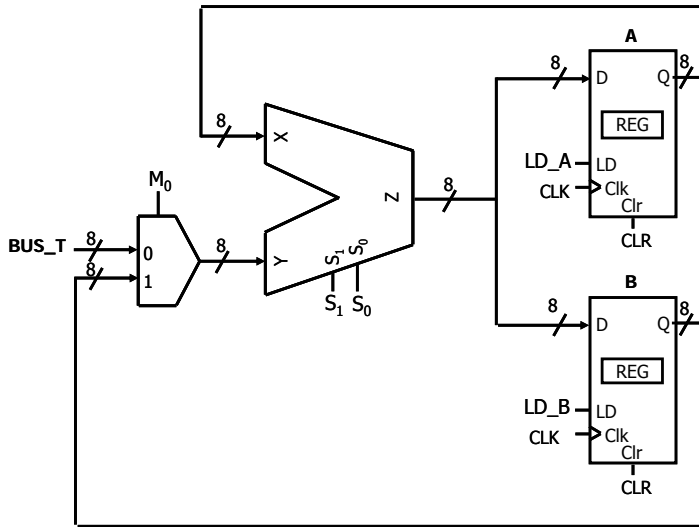


Tabla de Operaciones de la ALU

S1	S0	Z
0	0	$\overline{X \cdot Y}$
0	1	Y MAS 1
1	0	X MAS Y
1	1	Y

Complete la siguiente tabla indicando la operación RT que se realiza tras el flanco de subida de la señal de reloj. En la primera fila se ha proporcionado un ejemplo.

LD_A	LD_B	M0	S1	S0	Operación RT
1	0	1	1	1	$A \leftarrow B \text{ MAS } 1, B \text{ no cambia}$
1	0	1	0	1	
1	1	0	0	0	
0	1	1	1	0	
1	1	0	0	1	



Apellidos :

Nombre :

Grupo :

D.N.I. :

1. (0,50 pto.) Qué tiempo de música en calidad radio FM estéreo (frecuencia de muestreo $f_s=22,05\text{KHz}$, 2 Bytes/muestra, 2 canales) se puede almacenar en un USB de 4 GB?
 - a. Indicar el tiempo en horas si se almacena el fichero sin comprimir.
 - b. Indicar el tiempo en horas si se almacena el fichero comprimido con una compresión 4:1.
2. (0,50 pto.) Dada la función: $f(A, B, C, D) = \sum m(0, 7, 8, 10, 12, 15) + d(2, 5)$ y considerando D la variable menos significativa, obtenga su implementación mínima con estructura AND/OR y NAND/NAND. Para ello:
 - a) Rellene los unos e indiferencias del mapa de Karnaugh indicando explícitamente las variables correspondientes a cada eje (en la parte superior izquierda del mapa de Karnaugh)
 - b) Obtenga la expresión algebraica mínima como suma de productos. Marque los cubos utilizados para la minimización (cubos o adyacencias de mayor orden).
 - c) Dibujar el circuito de dos niveles de puertas lógicas **AND/OR**,
 - d) Dibujar el circuito de dos niveles de puertas lógicas **NAND/NAND**.

	00	01	11	10
00				
01				
11				
10				

3. (0,50 pto.) Los biestables del laboratorio de prácticas son del tipo JK. En prácticas se utilizaron este tipo de biestables configurados debidamente para que funcionaran como biestables de tipo T o D. Dibuje explícitamente las conexiones y/o componentes necesarios para configurar un biestable de tipo JK como un tipo T o tipo D e indique la entrada que actuaría como entrada T ó D en el circuito correspondiente. Para el biestable de tipo T suponiendo que su entrada es $T=1$ constantemente, su estado inicial es $Q=0$ y que los biestables sean activos por flanco de subida, dibuje un cronograma con una duración de la señal de reloj de 5 ciclos que ilustre el funcionamiento de la salida Q del biestable tipo T.

4. (1,00 pto.) En la tabla de la figura P4a se indica el repertorio de las 4 instrucciones del computador simple CS1, indicando sus nombres en ensamblador, el resultado de su ejecución descrita a nivel de transferencia a registros (RT) y su formato en binario.

Ensamblador (\$DirDato en hexadecimal)	Descripción RT	Formato de la Instrucción en binario	
		CO	Dirección del Dato en binario
STOP	Fin ejecución	00	X X X X X X
ADD \$DirDato	$AC \leftarrow AC + M(\$DirDato)$	01	$A_5 A_4 A_3 A_2 A_1 A_0$
SUB \$DirDato	$AC \leftarrow AC - M(\$DirDato)$	10	$A_5 A_4 A_3 A_2 A_1 A_0$
STA \$DirDato	$M(\$DirDato) \leftarrow AC$	11	$A_5 A_4 A_3 A_2 A_1 A_0$

Tabla P4a

RAM								DIRECCIONES DE MEMORIA
F0	71	F2	B1	73	F4	00	00	→ 00 – 07
00	00	00	00	00	00	00	00	→ 08 – 0F
00	00	00	00	00	00	00	00	→ 10 – 17
00	00	00	00	00	00	00	00	→ 18 – 1F
00	00	00	00	00	00	00	00	→ 20 – 27
00	00	00	00	00	00	00	00	→ 28 – 2F
00	07	00	0A	00	00	00	00	→ 30 – 37
00	00	00	00	00	00	00	00	→ 38 – 3F

Tabla P4b

Dada la **Tabla P4b** correspondiente al contenido inicial de la memoria RAM del CS1, donde se almacenan las instrucciones de un programa y datos, ambos en formato hexadecimal, junto con una columna que indica el rango de direcciones de memoria en hexadecimal, correspondiente a cada fila. Realice lo siguiente:

- a) Copiar la notación en hexadecimal de las instrucciones del programa almacenado en memoria (de la dirección 0 a la 6, es decir la primera fila de la RAM, Tabla P4b) en la última columna de la **Tabla P4c**. A partir de esta información completar el resto de la **Tabla P4c**, indicando para cada instrucción: 1) su notación en ensamblador, 2) su descripción RT, 3) su notación en binario.

- b) Sabiendo que antes de ejecutar el programa, el contenido de la memoria es el de la **Tabla P4b** y que el acumulador **AC** contiene el valor **FF** en hexadecimal. Indicar los datos en hexadecimal que se verían en la memoria RAM, correspondientes a las direcciones de memoria: \$30, \$31, \$32, \$33, \$34, después de ejecutar el programa.

Programa en ensamblador (\$DirDato en hexadecimal)	Descripción RT del programa	Instrucción en binario		Instrucción en hexadecimal
		CO 2 bits	Dirección del dato en binario con 6 bits	
STA \$30	$M(\$30) \leftarrow AC$	11	11 0000	F0

Tabla P4c