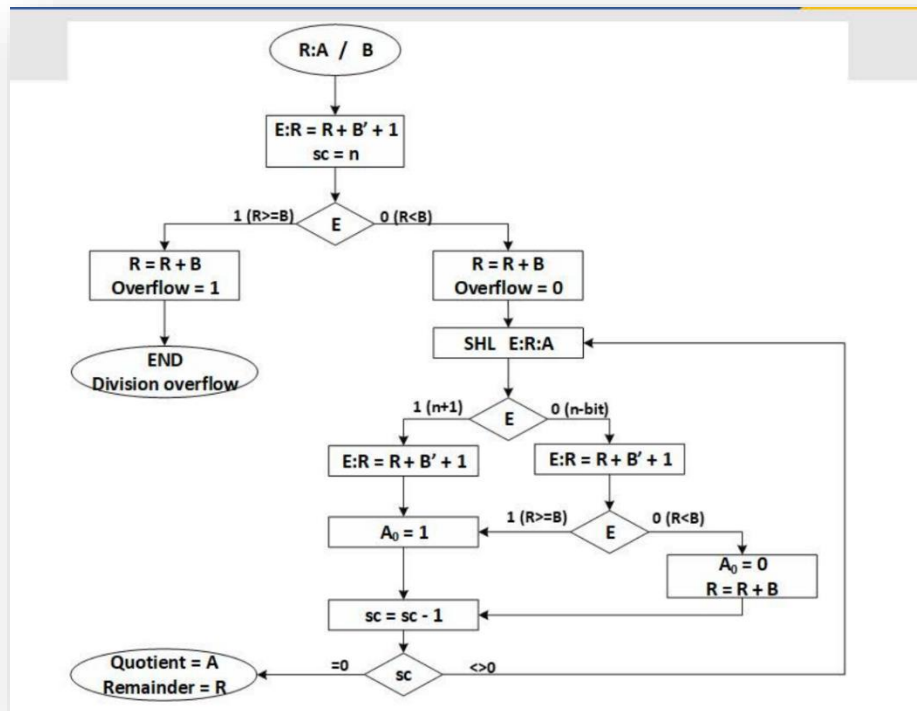


هدف آزمایش: نوشتن کد مربوط الگوریتم تقسیم به همراه تست بنچ

نکات آزمایش: الگوریتم تقسیم باید متفاوت با الگوریتم آموخته شده در کلاس آزر باشد.

روش انجام آزمایش: برای انجام آزمایش فوق از فلوچارت زیر استفاده میکنیم:

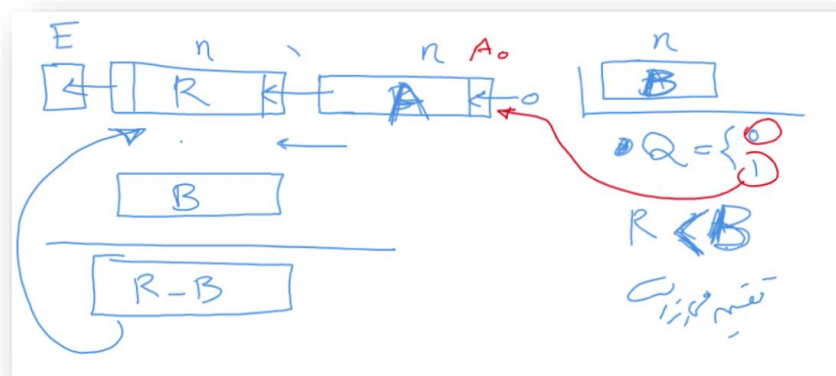


نکته: فلوچارت فوق در اسلاید های درس موجود است

برای ساخت این ماژول از مدارات ترتیبی (کلاک دار) استفاده میکنیم. در واقع اقدام به طراحی یک Finite State Machine (FSM) میکنیم. به همین منظور اقدام به تعریف پورت ها میکنیم:

- A وکتوری است که میخواهد تقسیم شود، همانطور که در درس آموختیم اگر بخواهیم تقسیم را انجام دهیم بایستی برای این بخش  $2n$  بیت ( $n$  تعداد بیت های مقسوم علیه میباشد) در نظر بگیریم. به همین دلیل یک وکتور ۸ بیتی برای این پورت در نظر گرفتیم.
- B وکتوری است که میخواهیم به آن A را تقسیم کنیم. این وکتور  $n$  بیت است (در اینجا ۴ بیت)
- یک پورت Clock, Reset که نرمال این مدل طراحی است و پیشتر در درس مدارات منطقی با آنها آشنا شدیم.

- یک پورت ۴ بیتی quotient (خارج قسمت) تعریف میکنیم در کنار یک پورت ۴ بیتی برای ذخیره سازی باقی مانده تقسیم
  - یک تک بیت هم برای آنکه Overflow را detect کنیم. اگر ۱ شود این بدین معناست Overflow داریم و همانند آنچه در فلوچارت دیدیم در این مواقع نتیجه ای برای تقسیم اعلام نمیکنیم و فقط اعلام میکنیم Overflow داریم.
- همانطور که در تدریس کلاس دیدیم، ما نیازمند یک ثابت تک بیتی E در کنار R و A هستیم به همین منظور و برای سهولت کار یک وکتور ۹ بیتی تعریف میکنیم:



تصویر فوق مربوط به کلاس درس میباشد

در Process اول به بررسی کلاک و ریست میپردازیم. در صورتی که در rising edge (۰ به ۱) قرار داشتیم استیت جدید (Next State) جایگزین استیت فعلی (Present State) میکنیم.

در صورت Reset شدن کافی است استیت فعلی (Present State) جایگزین استیت اولیه (initial State) شود.

از طرفی بایستی Overflow را نیز بررسی کنیم به همین منظور در صورتی که مطابق فلوچارت Overflow داشته باشیم پرچم (Flag) مربوطه را ۱ کرده و به initial State بر میگرددیم.

در بخش Operation چارت اصلی را پیاده سازی میکنیم

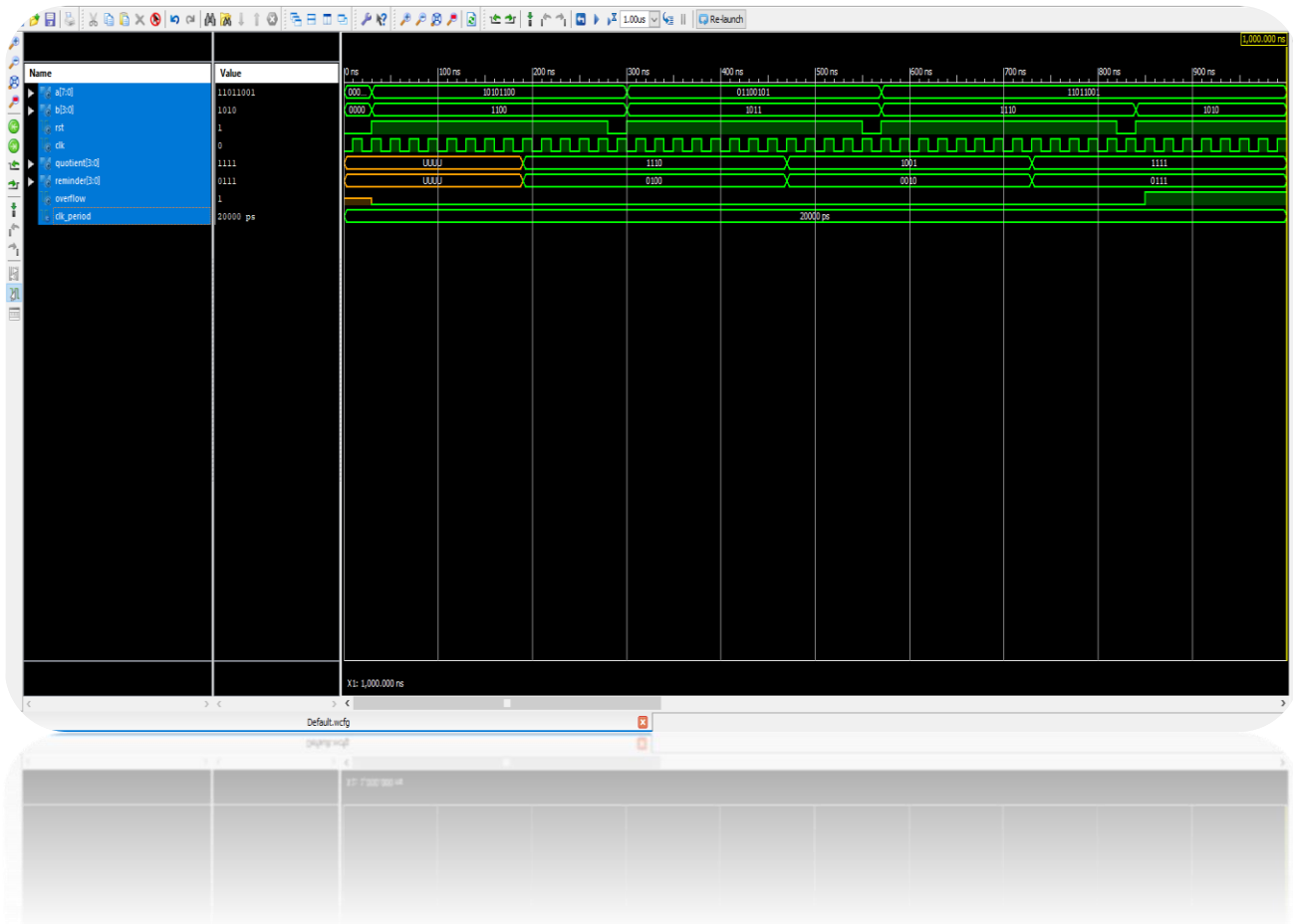
- برای انجام این بخش از شیفت چپ (Shift Left) و مقداری شرط استفاده کردیم تا چارت پیاده سازی شود و بدین ترتیب عمل تفریق و شیفت که در تقسیم داریم انجام میشود.

در هر مرحله Sequence Counter خود را یک عدد کم میکنیم. در When بعدی از این موضوع استفاده کردیم و بررسی میکنیم اگر مقدار Counter ما به صفر رسید، به این معناست عمل تقسیم به پایان رسیده است و خروجی را اعلام میکنیم.

همانطور که میدانیم ۸ بیت اصلی داریم (بدون احتساب E) که مطابق شکل بالا باقی مانده میشود R-B به همین دلیل از بیت ۴ تا ۷ (ایندکس) از وکتور ERA را به باقی مانده اختصاص داده ایم. ۴ بیت نخست آن متعلق به خارج قسمت است.

بعد از اینکار initial state را به عنوان State بعدی قرار میدهیم تا در کلاک بعدی به عنوان State جاری ست شود.

سپس به شبیه سازی این ماژول با استفاده از تست بنچ موجود در پیوست میپردازیم:



همانطور که در تست بنچ پیداست در بخش اولیه چون هنوز مقادیر خارج قسمت و باقی مانده بدست نیامده به صورت زرد رنگ نمایش داده شده است (U)

تمامی فایل های مربوط به پروژه و تصاویر این گزارش در پیوست نیز موجود است.

موفق باشید