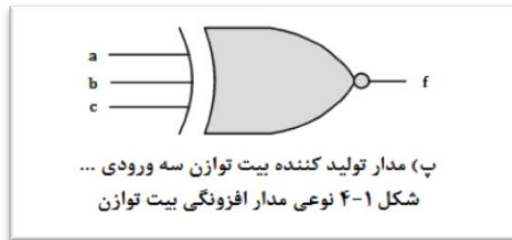


XOR → INEQUALITY

XNOR → Equality



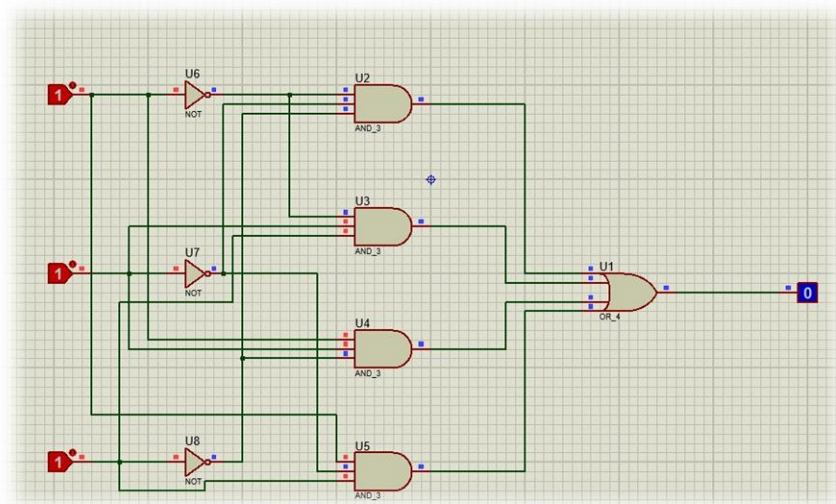
جدول درستی :

A	B	C	F
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۱
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۰

c\ab	۰۰	۰۱	۱۱	۱۰
۰	۱	۰	۱	۰
۱	۰	۱	۰	۱

Simplified:  $a'b'c' + a'bc + abc' + ab'c$

پیاده سازی مدار در نرم افزار Orcad :



پیاده سازی تابع فوق با استفاده از زبان Verilog

```

1 // Labwork: lab / ipu
2 // File Name: X_NOR.v
3 // Company: Ash
4 // Engineer: Ahmad Ferooghi , Ali Noorouzi
5 //
6 // Create Date: 15:16:05 11/01/2020
7 // Design Name: X_NOR
8 // Module Name: X_NOR
9 // Project Name: AS_4
10 // Target Device:
11 // Tool Versions:
12 // Description:
13 //
14 // Constraints:
15 //
16 // Revision:
17 // Revision 0.01 - File created
18 // Additional Comments:
19 //
20 ////////////////////////////////////////////////////////////////////////////////////
21 module X_NOR(
22     input A,B,C, output out);
23
24     wire w,x,y,z;
25     w = not a;
26     x = not b;
27     y = not c;
28     z = not (a and b);
29
30     and4(w,x,y,z,z);
31     and4(w,x,y,z,z);
32     and4(w,x,y,z,z);
33     and4(w,x,y,z,z);
34     and4(w,x,y,z,z);
35
36 endmodule
37

```

## آزمایش شماره چهار

همانطور که در شکل زیر میبینید سنتز و شبیه سازی با موفقیت انجام شد.

