

实验五（1）实验报告

- 一. 实验目的
- 熟悉 JK 触发器的逻辑功能， 掌握 JK 触发器构成异步计数器和同步计数器
- 二. 实验仪器及期间
- 1.实验箱、万用表、示波器
- 2.74ls73、74ls00、74ls08、74ls20
- 三. 实验预习
- 1.复习时序逻辑电路的设计方法
- 2.按实验内容设计逻辑电路画出逻辑图
- 四. 实验原理
- 本实验采用集成 J-K 触发器 74ls73 构成时序电路， 其外引线图见表

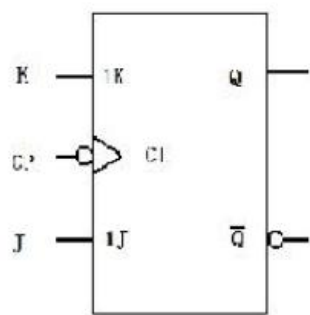


图 1 J-K 触发器符号

(2) 功能：

表 1 J-K 触发器功能表

CP	J	K	Q^n	Q^{n+1}	功能
↓	0	0	0	0	保持
↓	0	0	1	1	
↓	0	1	0	0	清零
↓	0	1	1	0	
↓	1	0	0	1	置位
↓	1	0	1	1	

↓	1	1	0	1	翻转
↓	1	1	1	0	

(3) 状态转换图：

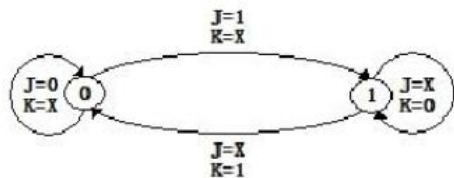


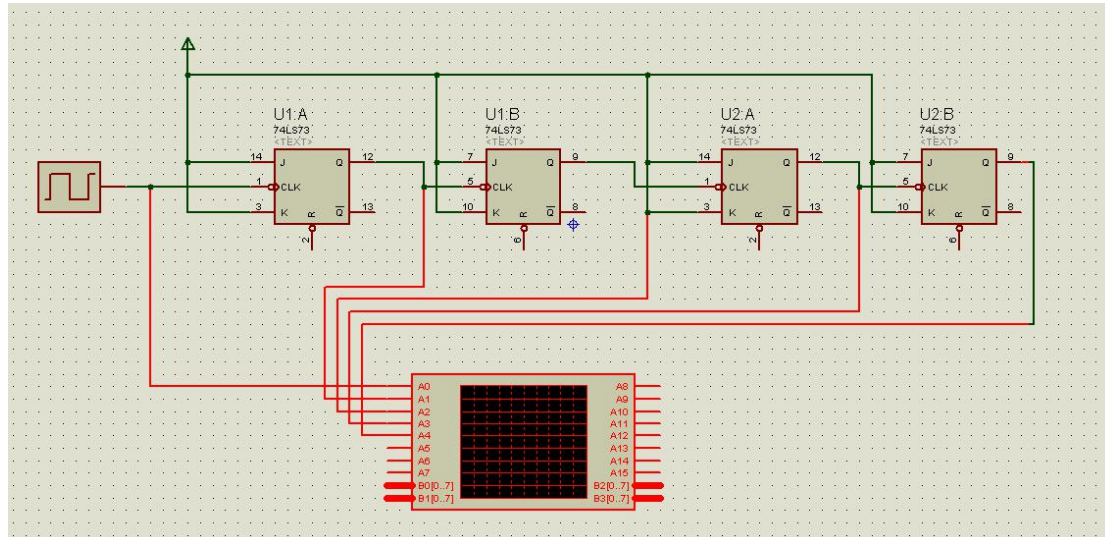
图 2 J-K 触发器状态转换图

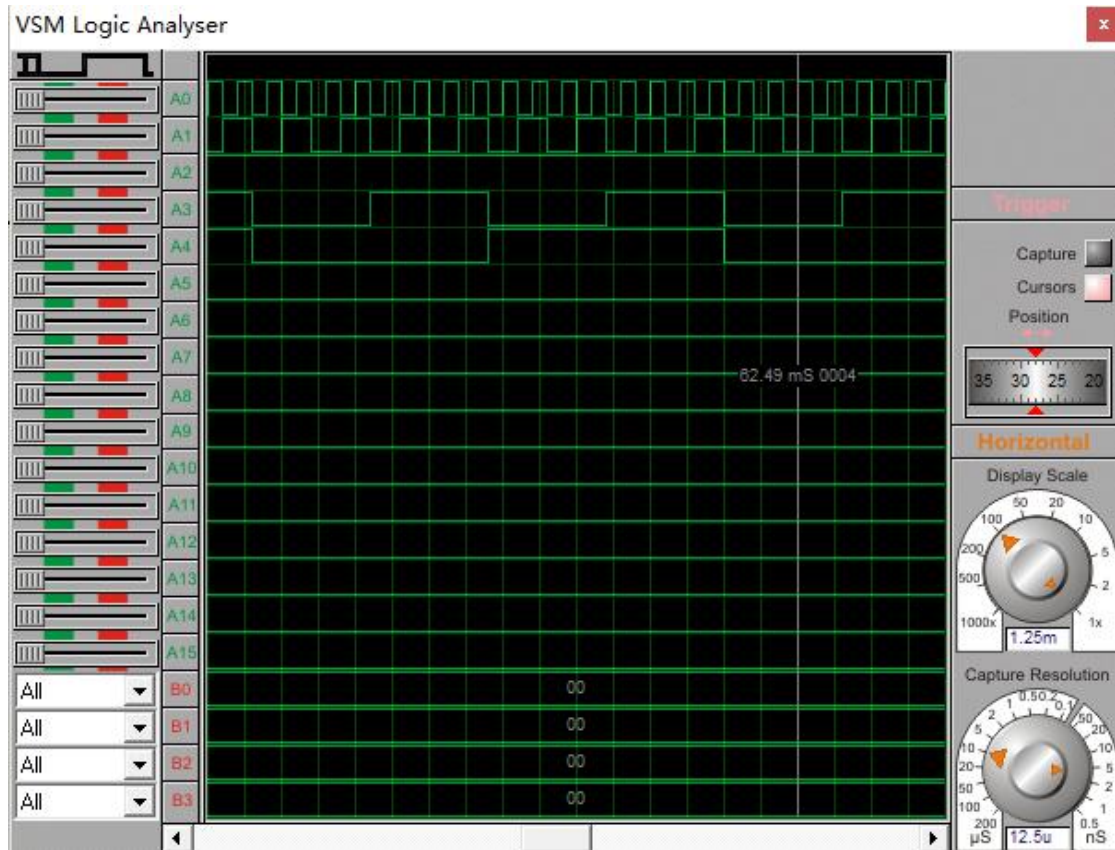
(4) 特性方程：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

五.实验内容

1 使用 JK 触发器设计一个 16 进制异步计数器，用逻辑分析仪观察 cp 和各端的波形
利用 4 个 J-K 触发器分别输出四位二进制数，J-K 触发器不共用同一个时钟信号。J-K 触发器 74LS73 在时钟下降沿时发生状态改变。所以设计将较低位的输出 Q 作为下一位输入





2.设计 1 6 进制同步计数器

利用 4 个 J-K 触发器分别输出四位二进制数，4 个 J-K 触发器共用同一个时钟信号。
J-K 触发器 74LS73 在时钟下降沿时发生状态改变。

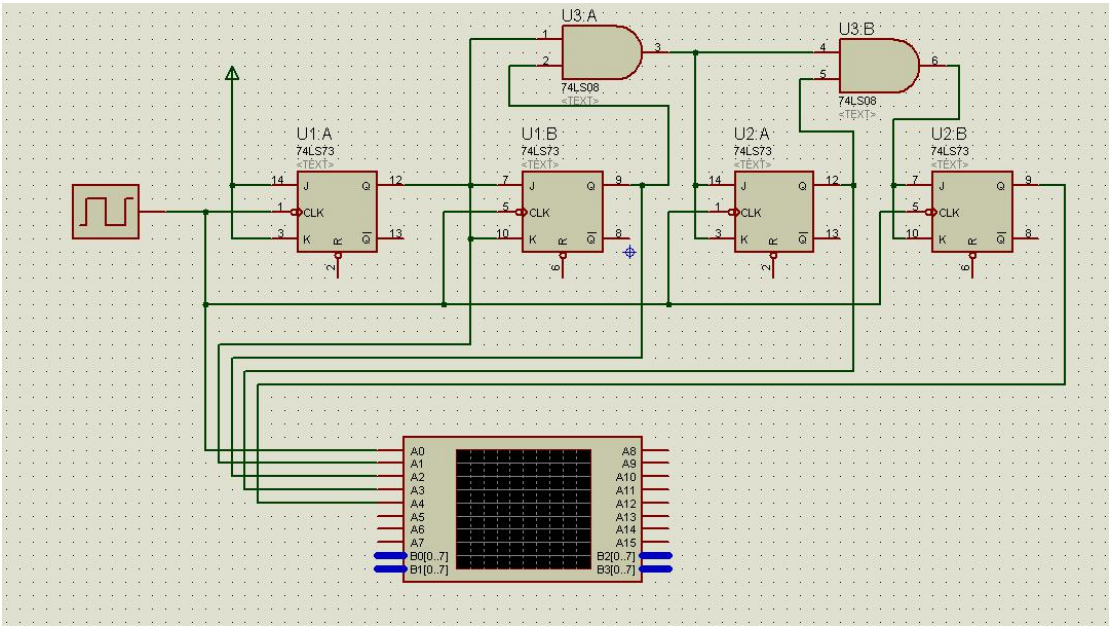
$J_0 = K_0 = \text{HIGH};$

$J_1 = K_1 = Q_0;$

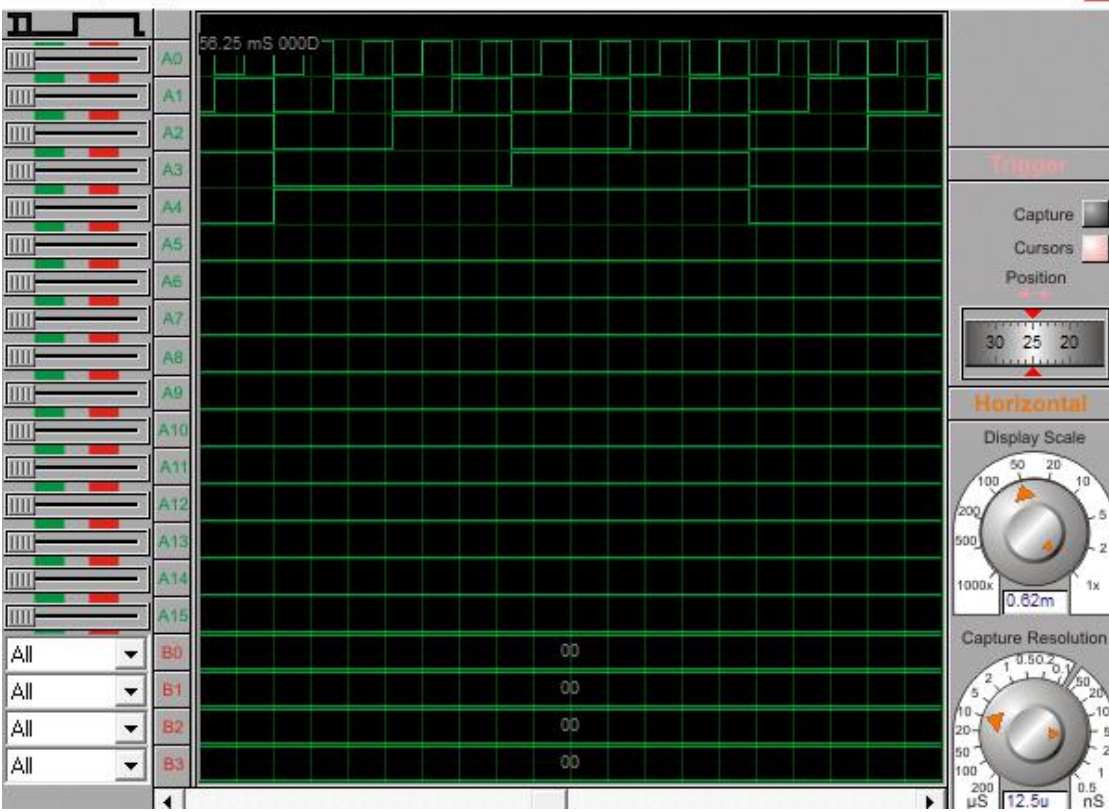
$J_2 = K_2 = Q_0 Q_1;$

$J_3 = K_3 = Q_0 Q_1 Q_2;$

仿真实验的电路图如下：



VSM Logic Analyser



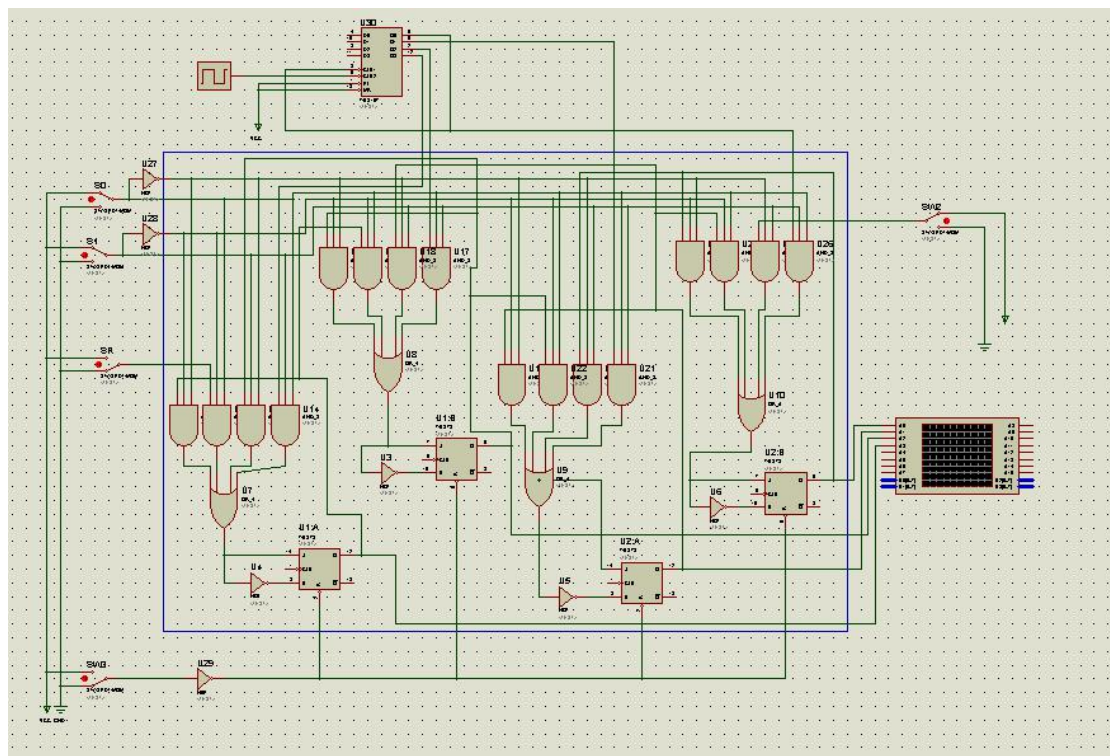


3.用 J-K 触发器和门电路设计一个具有置零，保持，左移，右移，并行送数功能的二进制四位计数器模仿 74LS194 功能。

74LS194 芯片功能表如下：

Cr'	S1	S0	工作状态
0	X	X	置零
1	0	0	保持
1	0	1	右移
1	1	0	左移
1	1	1	并行送数

通过与门将控制端和相应的输入关联，再用或门把所有的选择输入到 j k 触发器的 j k 端



六. 实验心得

这次实验,最大的收获,就是理解了如何通过门电路来将多路选择输入连到一路输入端,通过控制端和输入通过与门相连,达到选择的功能。

其次,对于负责电路,如何简化和抽象成小模块去分析,很重要