

实验五 计数器设计

学号：15331148

姓名：李晗

一、实验目的

熟悉 J-K 触发器的逻辑功能,掌握 J-K 触发器构成异步计数器和同步计数器。

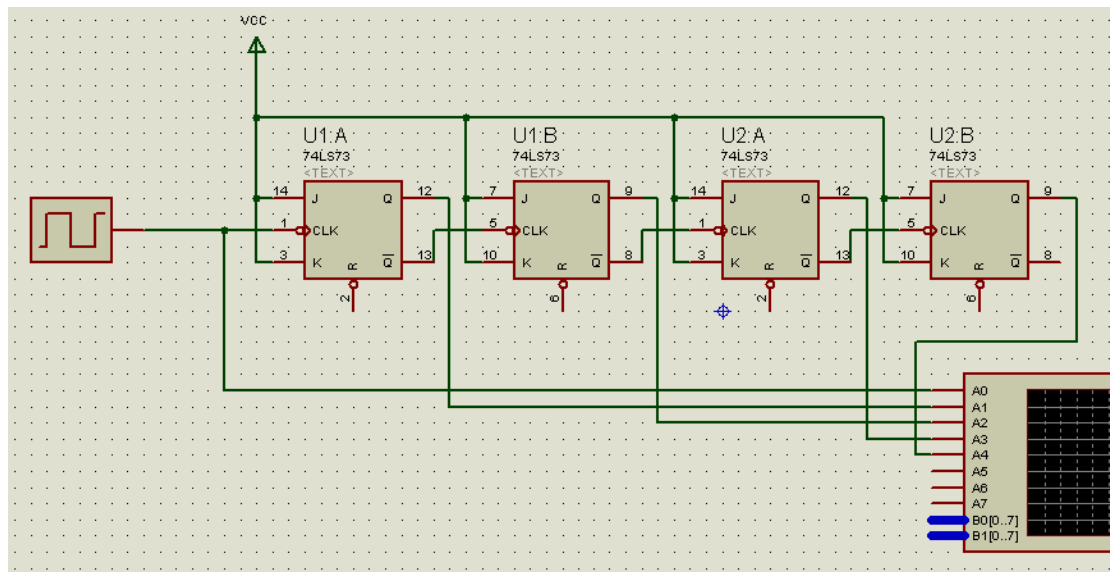
二、实验预习

1. 复习时序逻辑电路设计方法。
2. 按照实验内容设计电路,画出逻辑电路图。

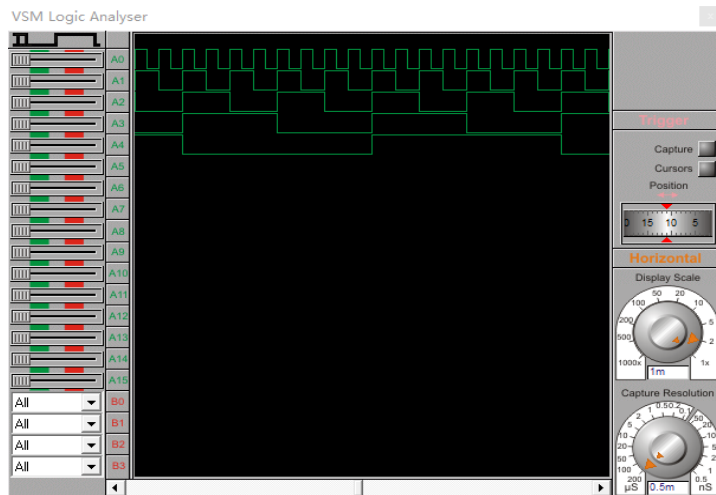
三、实验原理

1. 16 进制异步计数器

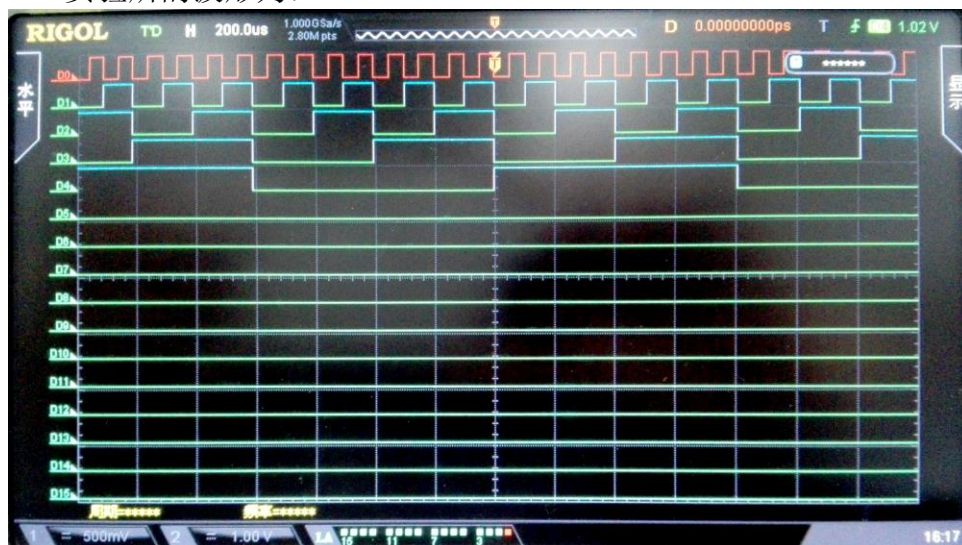
设计原理：除最低级外，每一级触发器用上一级触发器的输出作时钟输入，JK 都接高电平，使得低一级的触发器从 1 变 0 时高一级触发器恰好接收下降沿信号实现输出翻转。



模拟所得波形为：

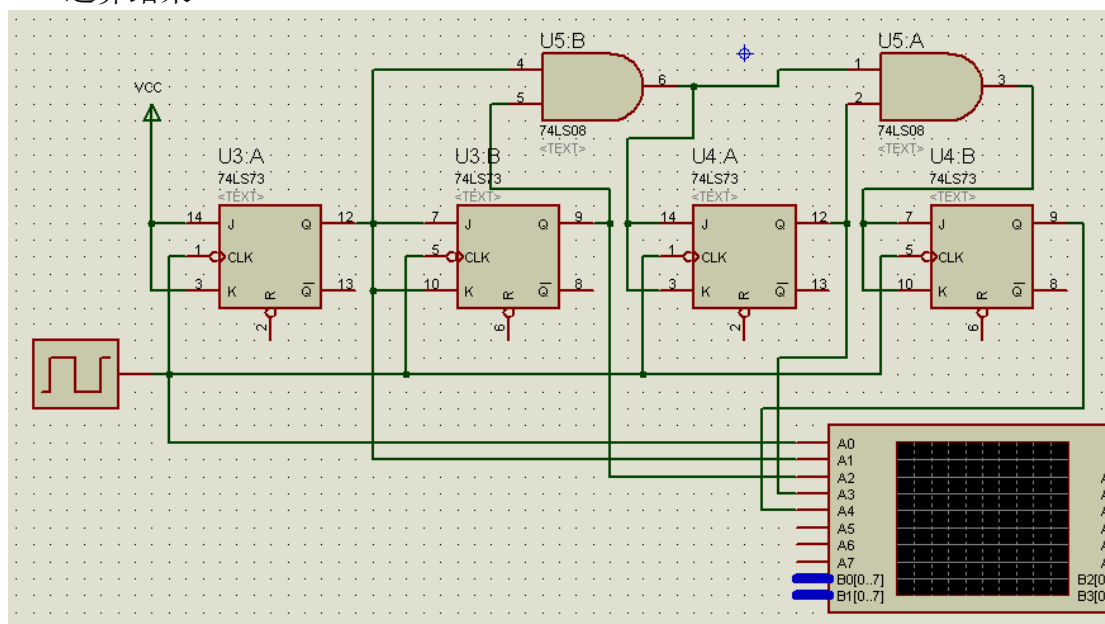


实验所的波形为:

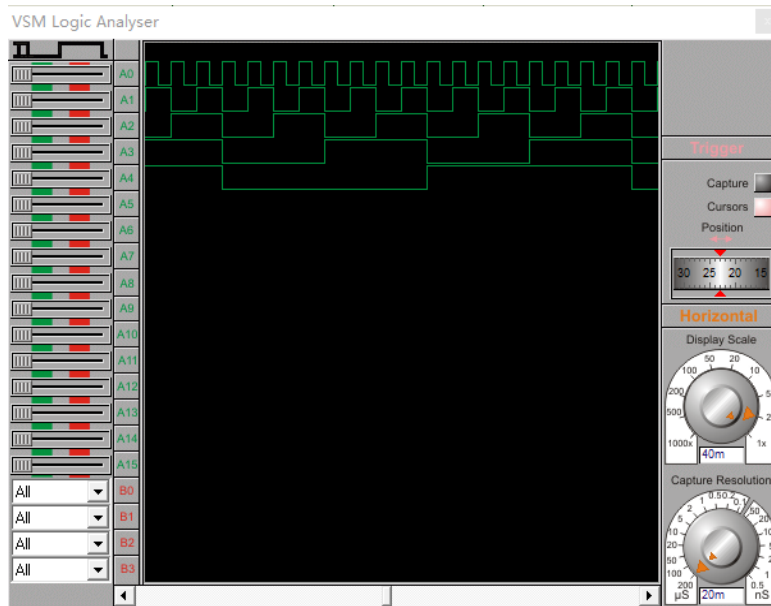


2.16 进制同步计数器

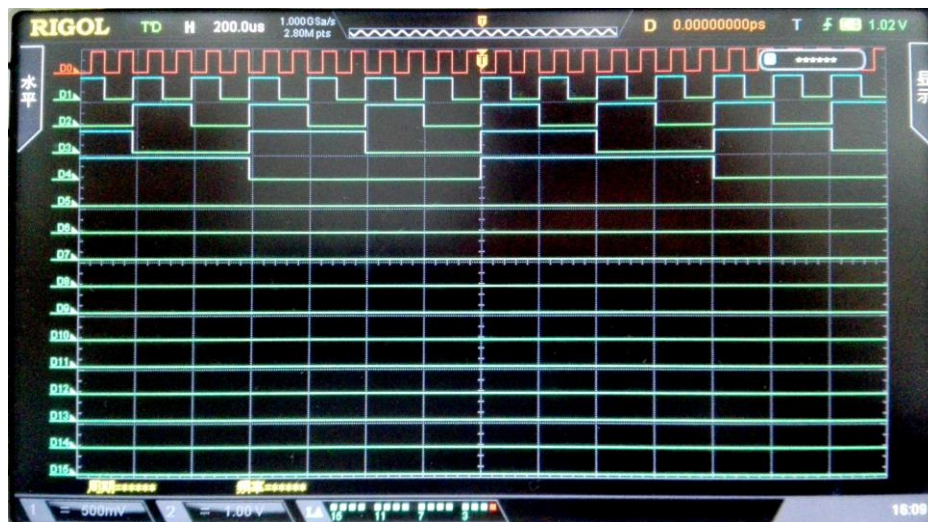
设计原理：除最低级外，每一级的 JK 输入都为所有低级的输出的“与”运算结果



模拟所得波形如下：

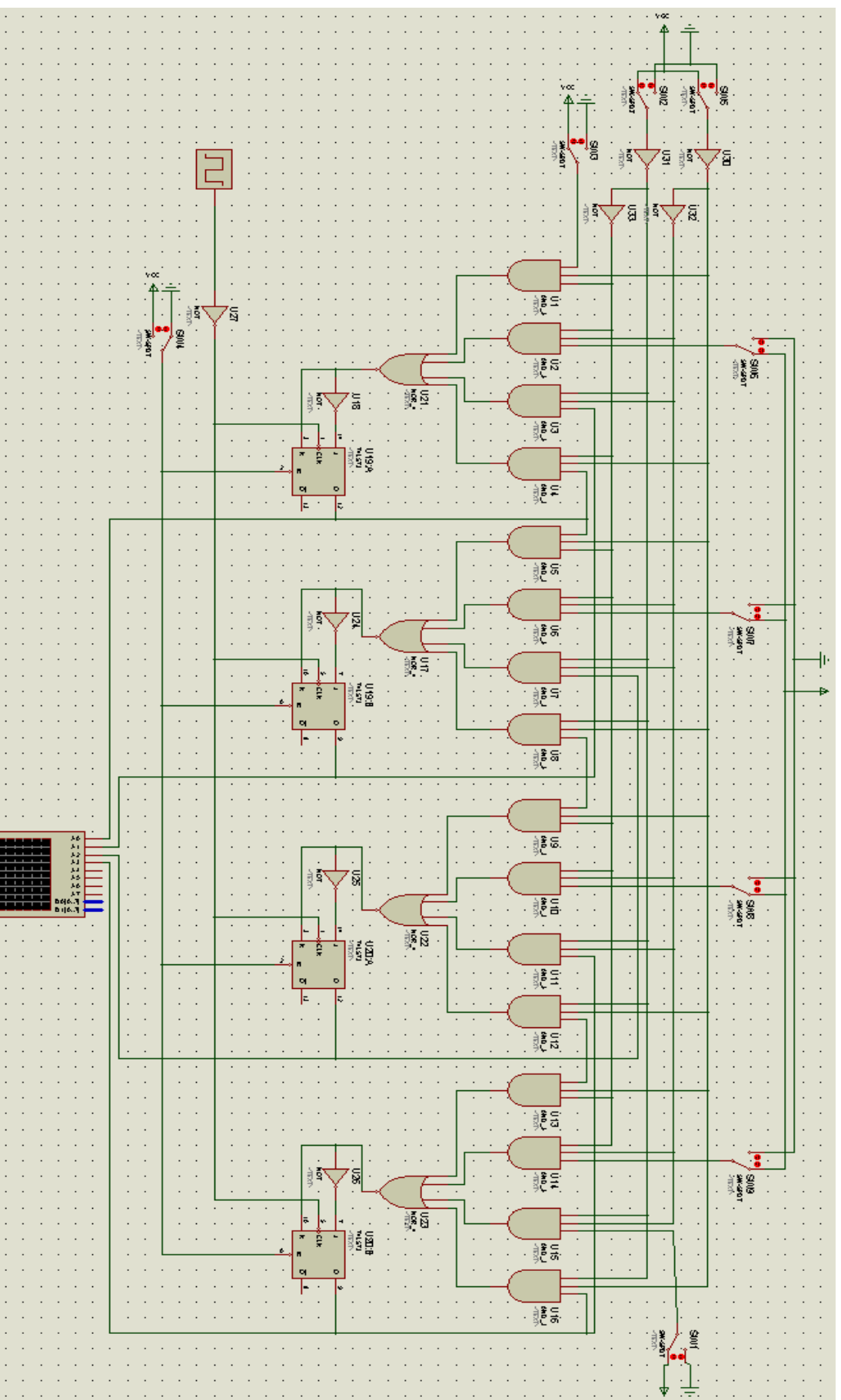


实验所得的波形为：



3. 仿 74LS194

仿真电路图如下：



实验中设计的二位移位寄存器如下：

