# 实验五（1）实验报告

1. 实验目的

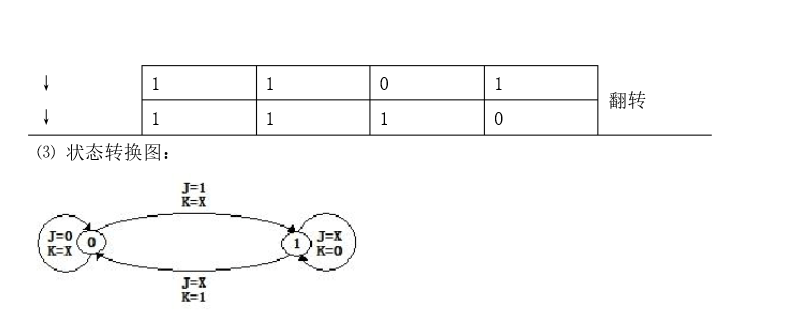
熟悉JK触发器的逻辑功能， 掌握JK触发器构成异步计数器和同步计数器

1. 实验仪器及期间
2. 实验箱、万用表、示波器
3. 74ls73、74ls00、74ls08、74ls20
4. 实验预习
5. 复习时序逻辑电路的设计方法
6. 按实验内容设计逻辑电路画出逻辑图
7. 实验原理

本实验采用集成J-K触发器74ls73构成时序电路， 其外引线图见表



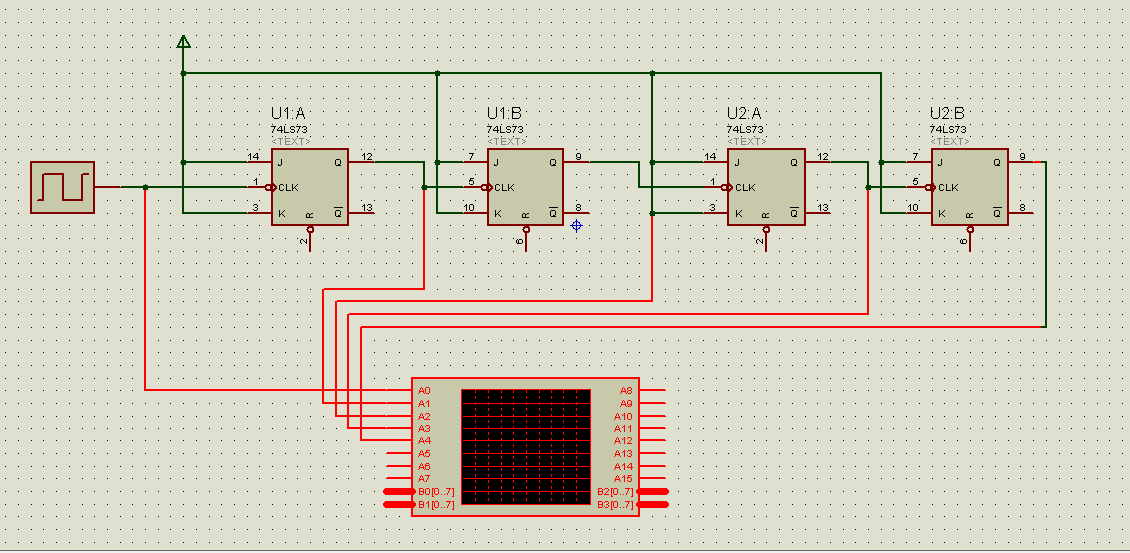


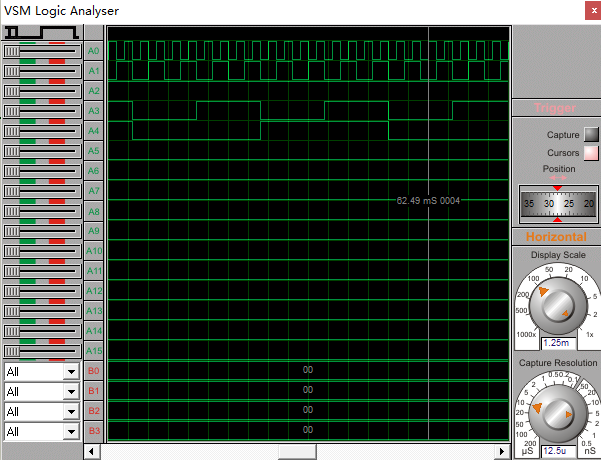


五.实验内容

1使用JK触发器设计一个16进制异步计数器，用逻辑分析仪观察cp和各端的波形

利用 4 个 J-K 触发器分别输出四位二进制数，J-K 触发器不共用同一个时钟信号。 J-K 触发器 74LS73 在时钟下降沿时发生状态改变。所以设计将较低位的输出 Q 作为下一位输入







1. 设计１６进制同步计数器

利用 4 个 J-K 触发器分别输出四位二进制数，4 个 J-K 触发器共用同一个时钟信号。 J-K 触发器 74LS73 在时钟下降沿时发生状态改变。

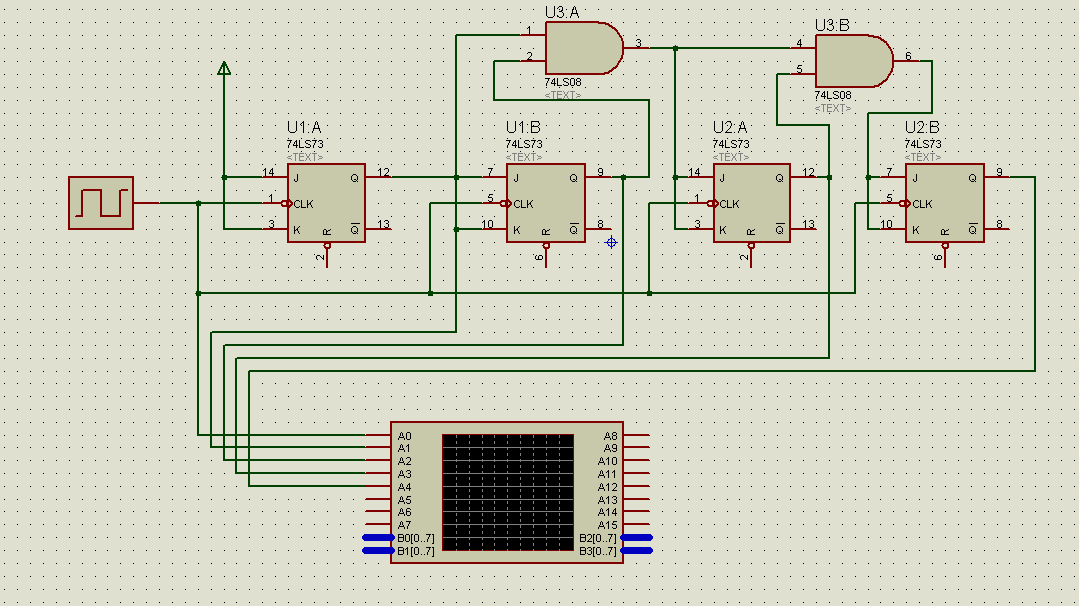
J0 =K0=HIGH;

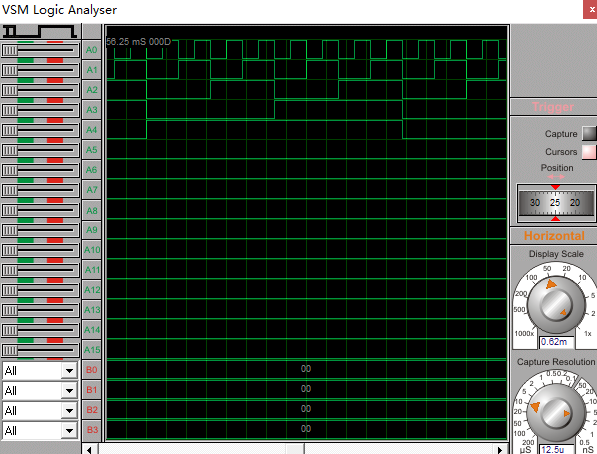
J1=K1=Q0;

J2=K2=Q0Q1;

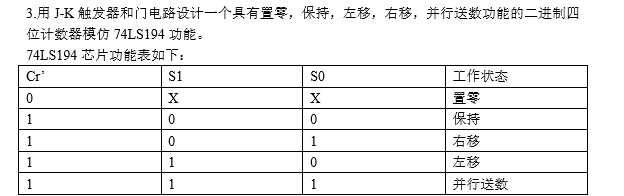
J3=K3=Q0Q1Q2;

仿真实验的电路图如下：

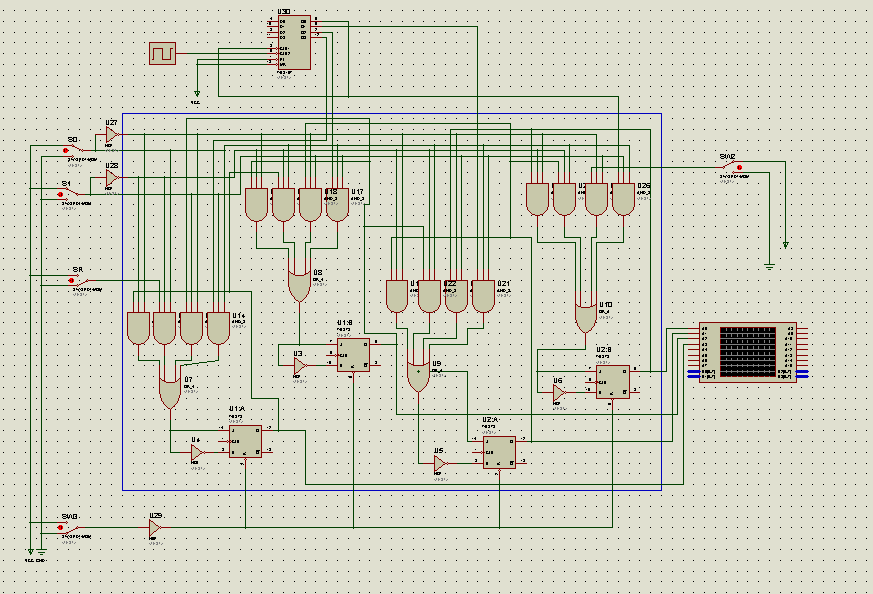






.

通过与门将控制端和相应的输入关联，再用或门把所有的选择输入到ｊｋ触发器的ｊｋ端



1. 实验心得

这次实验，最大的收获，就是理解了如何通过门电路来将多路选择输入连到一路输入端，

通过控制端和输入通过与门相连，达到选择的功能。

其次，对于负责电路，如何简化和抽象成小模块去分析，很重要