

Sinais que devem ser mostrados na simulação/placa:

- Hit/miss, Válido, LRU, Dirty ,Tag, Dado para todos os elementos da cache que sofram alteração
- Dado retornado para a CPU
- Sinal de Write back

Considerar os dados já preenchidos na Cache (na realidade o bloco deveria vir da memória, mas não foi pedida a implementação da memória nesta prática)

Inicialização da cache:

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	0	0	0	100	001	0	0	0		010
1	1	0	1	000	011	0	0	0		100
2	1	1	0	101	101	1	0	1	111	110
3	0					0				

1) Read Miss

TAG	Indice
100	00

Verifica TAG na via 0 e Via 1 -> MISS

Insere bloco na via 0 (Via 0 Dado não é Válido)

Habilita sinal de Miss

Atualiza LRU

Retorna o DADO – 001 para o processador

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	0	0	0		010
1	1	0	1	000	011	0	0	0		100
02	1	1	0	101	101	1	0	1	111	110
3	0					0				

2) Read Miss

TAG	Indice
101	00

Verifica TAG/ validade na via 0 -> Não bate

Verifica TAG/ validade na via 1 -> Miss

Insere na Via 1

Atualiza LRU

Retorna o dado 010 para o processador

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	0	100	001	1	0	1	101	010
1	1	0	1	000	011	0	0	0		100
2	1	1	0	101	101	1	0	1	111	110
3	0					0				

3) Read Hit

TAG	Indice
100	00

Atualiza LRU

Retorna o dado 001

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	1	0	0	101	010
1	1	0	1	000	011	0	0	0		100
2	1	1	0	101	101	1	0	1	111	110
3	0					0				

4) Write hit

TAG	Indice	Dado
000	01	111

Altera Dirty

LRU já está o mais recente

Atualiza DADO

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	1	0	0	101	010
1	1	1	1	000	111	0	0	0		100
2	1	1	0	101	101	1	0	1	111	110
3	0					0				

5) Write Hit

TAG	Indice	Dado
111	10	010

Altera Dirty

LRU já está o mais recente

Atualiza DADO

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	1	0	0	101	010
1	1	1	1	000	111	0	0	0		100
2	1	1	0	101	101	1	1	1	111	010
3	0					0				

6) Write Miss – com write back

TAG	Indice	Dado
110	10	011

Habilita write back, pois terá que retirar o bloco mais antigo e dirty é 1, traz o bloco solicitado e faz a escrita. (Não precisa fazer a busca do bloco, pois não foi solicitada a implementação da memória)

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	1	0	0	101	010
1	1	1	1	000	111	0	0	0		100
2	1	1	1	110	011	1	1	0	111	010
3	0					0				

7) Read Miss – com Write back

TAG	Indice
001	10

Retira bloco mais antigo o da TAG 111, habilita write back.

Atualiza LRU, DIRTY e faz a leitura do bloco.

Retorna 010 para o processador

	Via 0					Via 1				
	Válido	Dirty	LRU	TAG	Dado	Válido	Dirty	LRU	TAG	Dado
0	1	0	1	100	001	1	0	0	101	010
1	1	1	1	000	111	0	0	0		100
2	1	1	0	110	011	1	0	1	001	010
3	0					0				