

CENTRO FEDERAL DE EDUCAÇÃO TECNOLÓGICA DE MINAS GERAIS
DEPARTAMENTO DE ENGENHARIA DA COMPUTAÇÃO

VITOR BRANDÃO RAPOSO
HENRIQUE VIANA GARCIA ALVES

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

Relatório 02

BELO HORIZONTE - MG

2022

1 INTRODUÇÃO

Nesta segunda prática de LAOC II fomos orientados através do livro-texto a desenvolver um processador simples que execute 10 tipos de instruções em Verilog acrescido de uma memória TLB.

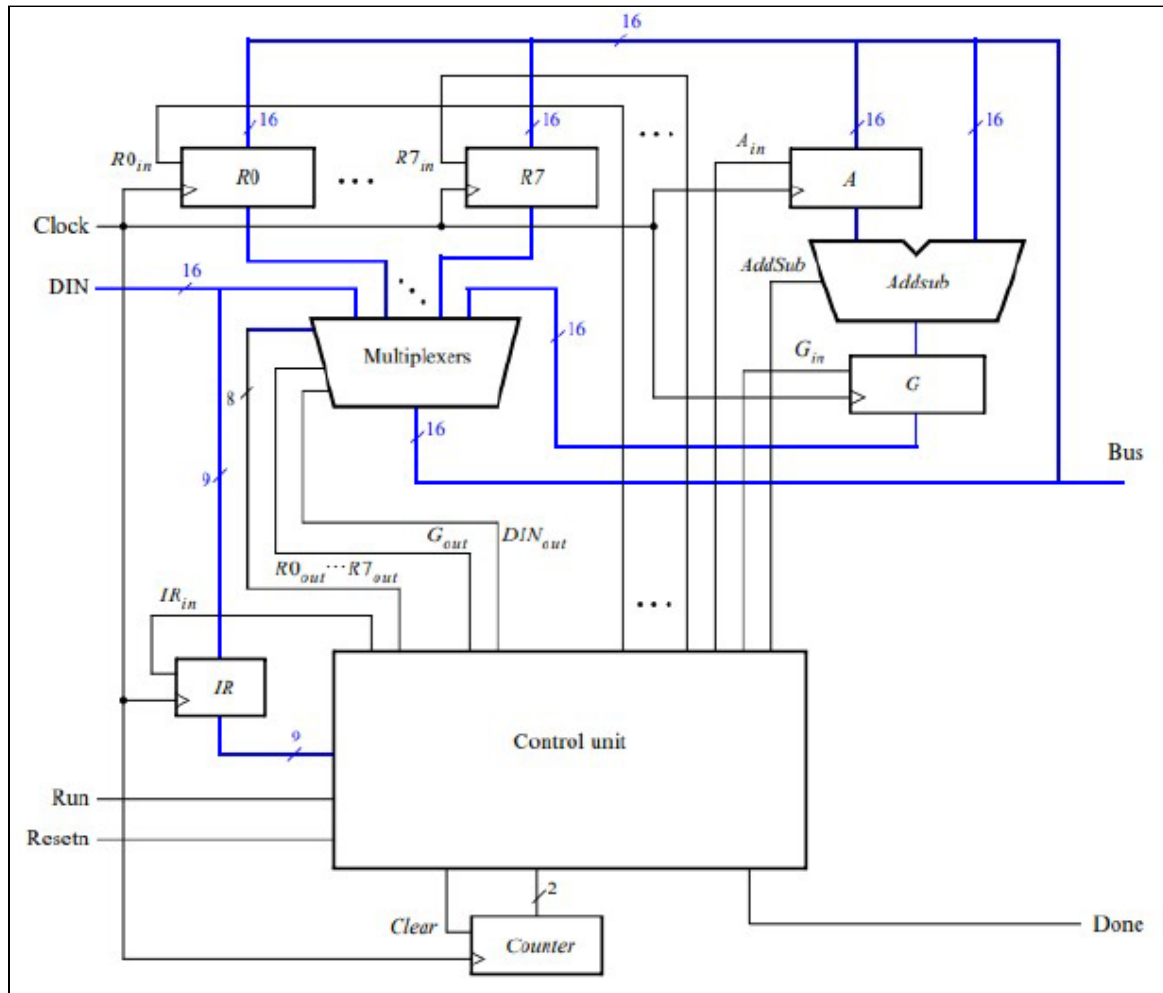
Durante o processo de implementação foram utilizados os softwares Quartus II para a construção do código e o ModelSim para simulação.

Os comandos seguintes foram executados na fase de testes:

Instrução	R0	R1	R2	R3
MVI R0, #2	2	0	0	0
MVI R1, #3	2	3	0	0
ADD R1, R0	2	5	0	0
MVI R2, #6	2	5	6	0
SUB R2, R1	2	5	1	0
MV R3, R2	2	5	1	1
ADD R0, R3	3	5	1	1
OR R1, R0	3	7	1	1
SUB R1, R0	3	4	1	1
ADD R1, R3	3	5	1	1
SLL R1, R3	1	A	1	1
SRL R1, R3	1	5	1	1
MVI R0, #0	0	5	1	1
SLT R0, R1	1	5	1	1
SLT R1, R1	1	0	1	1
MVI R3, #3	1	0	1	3
MVI R1, #5	1	5	1	3
ADD R0, R3	4	5	1	3
MVI R0, #0	0	5	1	3
LD R2, R3	0	5	4	3
ADD R2, R3	0	5	7	3
SD R2, R0	0	5	7	3
LD R0, R0	7	5	7	3
SUB R0, R3	4	5	7	3
MVI R0, #0	0	5	7	3
ADD R0, R0	0	5	7	3
MVNZ R0, R2	0	5	7	3
SUB R1, R3	0	2	7	3
MVNZ R0, R2	7	2	7	3
ADD R0, R1	9	2	7	3

2 ARQUITETURA E PROJETO

A arquitetura pode ser observada na figura 1, a qual apresenta todas as conexões, módulos e número de bits necessários para o funcionamento ideal do processador.



A figura ilustra os registradores, representados por R0 a R7, os quais são responsáveis por armazenar dados e resultados das operações realizadas pelo processador. Ao lado visualizamos os processadores A e G, responsáveis por guardar flags referentes a operações (Exemplo: SLL) e abaixo temos IR, o registrador de instruções responsável por armazenar a instrução a ser executada. A unidade de controle é responsável pela execução, que determina a operação a ser realizada conforme a instrução recebida, algumas operações são realizadas na unidade lógica e aritmética.

Têm-se outros componentes como o contador (auxilia a organizar o passo a passo de execução), multiplexadores que auxiliam na escolha do registrador e uma unidade de soma e subtração auxiliando em operações com os registradores A e G.

As entradas deste sistema são Clock do processador, DIN (Data In) que armazena informações de OPCODE (código da instrução a ser realizada) e dos registradores envolvidos na operação, run que habilita execução e resetn que limpa a fila de execução do processador, por último temos o barramento responsável pela comunicação dos elementos do processador, o “Bus”.

Sobre módulos implementados como, por exemplo, a TLB que recebe uma página virtual contendo o endereço de uma página física. A partir de uma busca totalmente associativa e caso a página virtual seja encontrada na TLB, a mesma retorna a página física.

3 SIMULAÇÕES

A arquitetura pode ser observada na figura 1, a qual apresenta todas as conexões, módulos e número de bits necessários para o funcionamento ideal do processador.

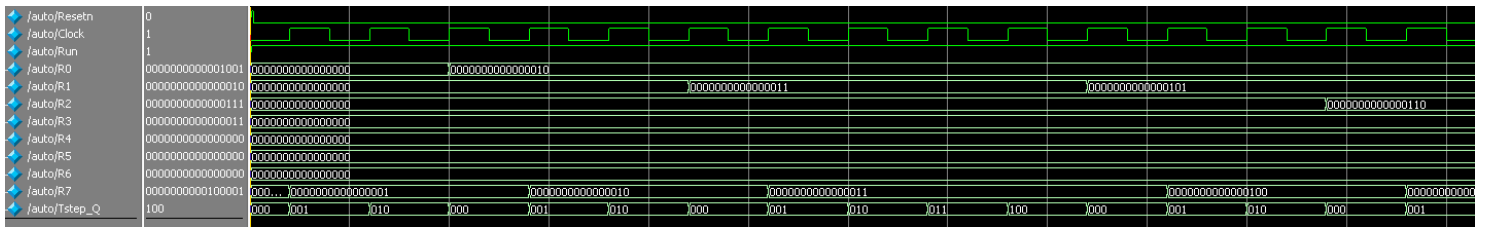
Foram implementadas 10 tipos de instruções nas quais utilizamos 4 bits para determinar o OPCODE (código da operação) e 3 bits para os registradores Rx e Ry.

Exemplo: **Ry Rx OpCode** → 000000|000|000|0000

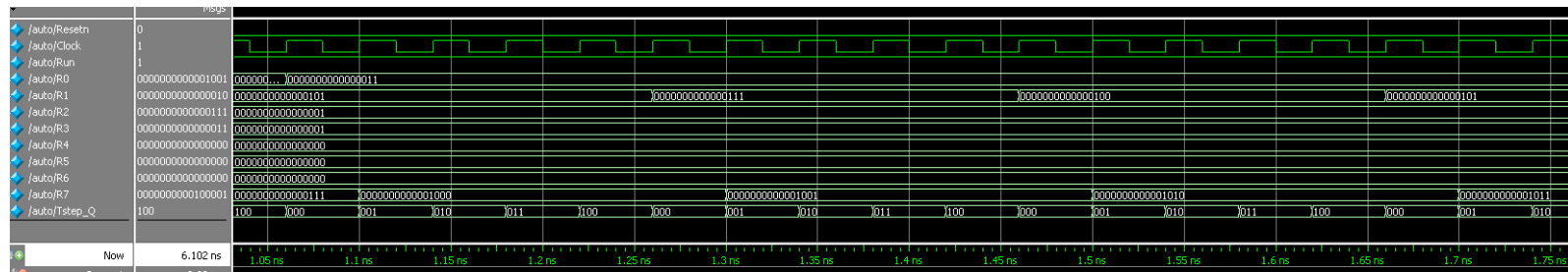
Tabela de instruções:

Instrução	OpCode	Descrição
LD Rx Ry	0000	$Rx \leftarrow [[Ry]]$
ST Rx Ry	0001	$[Ry] \leftarrow [Rx]$
MVNZ Rx Ry	0010	if $G \neq 0$, $Rx \leftarrow [Ry]$
MV Rx Ry	0011	$Rx \leftarrow [Ry]$
MVI Rx #D	0100	$Rx \leftarrow D$
ADD Rx Ry	0101	$Rx \leftarrow [Rx] + [Ry]$
SUB Rx Ry	0110	$Rx \leftarrow [Rx] - [Ry]$
OR Rx Ry	0111	$Rx \leftarrow [Rx] \parallel [Ry]$
SLT Rx Ry	1000	if $Rx < Ry$, $Rx = 1$ else $Rx = 0$
SLL Rx Ry	1001	$Rx \leftarrow [Rx] \ll [Ry]$
SRL Rx Ry	1010	$Rx \leftarrow [Rx] \gg [Ry]$

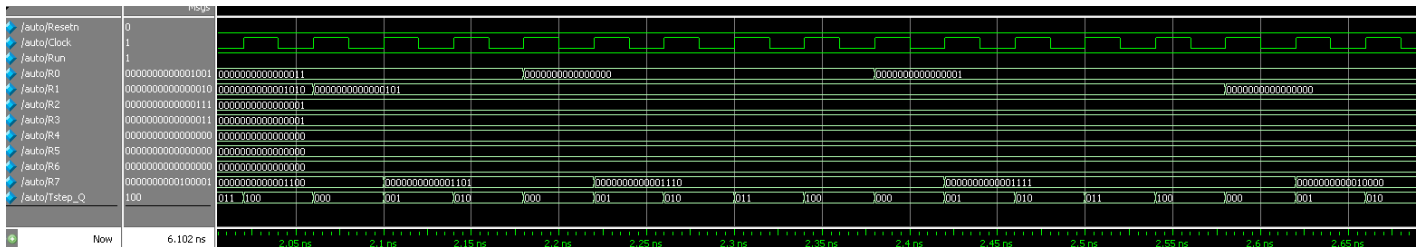
A seguir demonstraremos prints das simulações e seus respectivos significados:



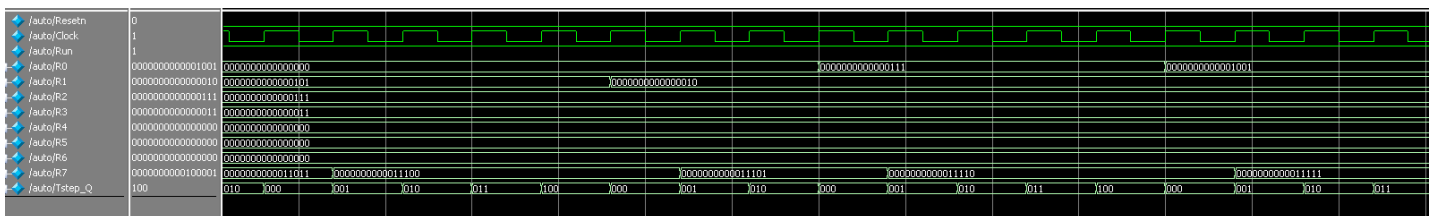
Simulações onde se executam MVI ADD SUB OR:



Simulações onde se executam SUB ADD SLR SLL:



Simulações onde se executam SLT MVI ADD LD:



Simulações onde se executam SD LD MVNZ SLL:

4 CONCLUSÃO

O processador implementado possui extensa complexidade e extensão, portanto concluir a implementação representa uma grande conquista. Julgamos que todos os testes necessários das instruções foram cobertos e comprovados(instruções da tabela e loop), demonstrando a funcionalidade e operabilidade do processador.

A prática foi de grande importância para revermos os conceitos estudados em Arquitetura e Organização de Computadores e aplicar os novos aprendizados, consolidando na prática o conhecimento sobre a dinâmica entre processadores e memória, demonstrando a utilidade e vantagem de componentes como a TLB.