



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ «Информатика и системы управления»

КАФЕДРА _____ «Компьютерные системы и сети (ИУ6)»

НАПРАВЛЕНИЕ ПОДГОТОВКИ _____ «09.03.04 Программная инженерия»

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №4 по курсу «Архитектура ЭВМ»

«Методология разработки и верификации ускорителей
вычислений на платформе Xilinx Alveo»

Студент: ИУ7-53Б _____ М. Д. Маслова
(группа) (подпись, дата) (И. О. Фамилия)

Преподаватель: _____ Е. Н. Дубровин
(подпись, дата) (И. О. Фамилия)

Москва, 2021

Содержание

Введение	3
1 Основные теоретические сведения	4
1.1 Технология разработки ускорителей вычислений на модулях Xilinx Alveo	4
1.2 Описание архитектуры разрабатываемого ускорителя	5
2 Практическая часть	7
2.1 Исходный проект VINC	7
2.1.1 Моделирование	7
2.2 Проект VINC по варианту	8
2.2.1 Моделирование	9
2.2.2 Сборка проекта	10
2.2.3 Тестирование	10
3 Контрольные вопросы	12
Заключение	14
Приложение	15

Введение

Целью данной работы является изучение архитектуры гетерогенных вычислительных систем и технологии разработки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

В ходе лабораторной работы предлагается изучить основные сведения о платформе Xilinx Alveo U200, разработать RTL (Register Transfer Language, язык регистровых передач)) описание ускорителя вычислений по индивидуальному варианту, выполнить генерацию ядра ускорителя, выполнить синтез и сборку бинарного модуля ускорителя, разработать и отладить тестирующее программное обеспечение на серверной хост-платформе, провести тесты работы ускорителя вычислений.

1 Основные теоретические сведения

В данном разделе будут описаны технология разработки ускорителей вычислений на модулях Xilinx Alveo, а также архитектура разрабатываемого ускорителя.

1.1 Технология разработки ускорителей вычислений на модулях Xilinx Alveo

Ускорителями вычислений принято называть специальные аппаратные устройства, способные выполнять ограниченный ряд задач с большей параллельностью и за меньшее время в сравнении с универсальными микропроцессорными ЭВМ. Как правило, ускоритель представляет собой структуру, включающую большое количество примитивных микропроцессорных устройств, объединенных шинами связей.

Создание ускорителей вычислений является трудоемким процессом, так как охватывает не только аппаратную разработку самого устройства, но и предполагает оптимизацию архитектуры ЭВМ для обеспечения наибольшей пропускной способности каналов передачи операндов и результатов, а также минимизации задержек и вычислительных затрат при ожидании работы ускорителей. Можно условно разделить ускорители на два класса: ускорители на основе СБИС и на основе ПЛИС.

В данной лабораторной работе мы изучим технологию создания ускорителей вычислений на основе ПЛИС (ускоритель **Xilinx Alveo U200** на основе ПЛИС xcu200-fsgd2104-2-e архитектуры Xilinx UltraScale).

Для работы с ускорительной платой разработано специальное окружение **XRT** (Xilinx Runtime), включающее компоненты пользовательского пространства и драйвера ядра.

В оборудовании, используемом для проведения лабораторной работы, использована так называемая XDMA сборка XRT, которая предполагает следующий сценарий взаимодействия ускорителя и пользовательского ПО:

1. Пользовательское ПО сканирует и инициализирует доступные ускорительные платы, совместимые с XRT, определяет доступные ресурсы, создает программное окружение пользовательского аппаратного ядра ускорителя

(далее используется термин kernel).

2. Ресурсы локальной памяти ускорительной платы отображаются в пространство памяти хост системы.
3. Инициализируются каналы DMA для прямого доступа к памяти ускорителя.
4. Данные, подлежащие обработке, копируются из ОЗУ в локальную память ускорителя посредством DMA.
5. Ядру ускорителя (или нескольким ядрам) посредством записи управляющих регистров, передаются параметры вычислений. Пользователь может увеличивать количество параметров по своему усмотрению. Типичным случаем является передача указателей на начало буферов исходных операндов и буфера результата, а также количество обрабатываемых значений.
6. Хост-система выдает сигнал Start ядрам ускорителей, после чего начинается обработка внутри платы Xilinx Alveo.
7. По завершении обработки kernel устанавливает флаг DONE, что вызывает прерывание по шине PCIe.
8. Драйвер обрабатывает прерывание и сообщает пользовательскому ПО о завершении обработки.
9. Пользовательское ПО инициализирует DMA передачу результатов из локальной памяти ускорителя в ОЗУ хост-системы.

1.2 Описание архитектуры разрабатываемого ускорителя

В ходе лабораторной работы будет использован базовый шаблон так называемого RTL проекта VINC, который может быть создан в IDE Xilinx Vitis и САПР Xilinx Vivado. Шаблон VINC выполняет попарное сложение чисел исходного массива и сохраняет результаты во втором массиве. Проект VINC включает:

- Проект ПО хоста, выполняющий инициализацию аппаратного ядра и его тестирование через OpenCL вызовы.
- Синтезируемый RTL проект ядра ускорителя на языках Verilog и SystemVerilog.
- Функциональный тест ускорителя VINC на языке SystemVerilog.

Проект VINC представляет собой аппаратное устройство, связанное шиной AXI4 MM (Memory mapped) с DDR[i] памятью, и получающее настроечные параметры по интерфейсу AXI4 Lite от программного обеспечения хоста (рисунок 1.1). В рамках всей системы используется единое 64-х разрядное адресное пространство, в котором формируются адреса на всех AXI4 шинах.

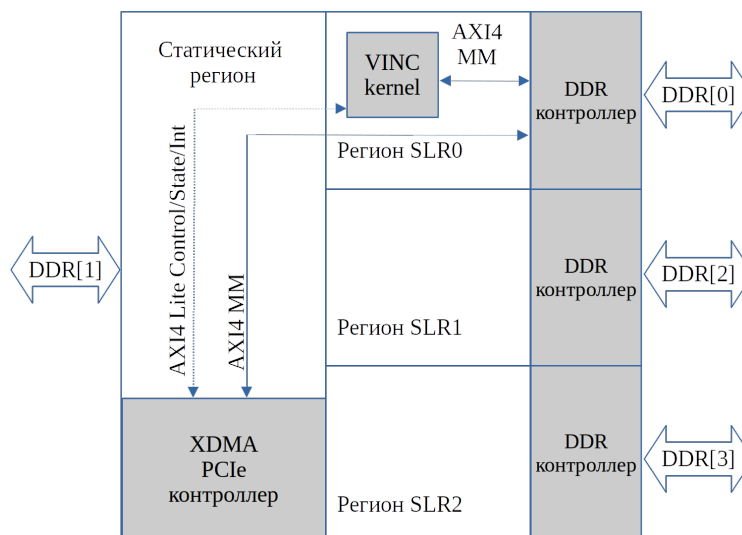


Рисунок 1.1 – Функциональная схема разрабатываемой аппаратной системы

В каждой карте U200 имеется возможность подключить ускоритель к любому DDR[i] контроллеру в том регионе, где будет размещен проект. Всего для пользователя доступны 3 динамических региона: SLR0,1,2, для которых выделены каналы локальной памяти DDR[0], DDR[2], DDR[3] соответственно. Вся подключенная память DDR[0..3] доступна со стороны статического региона, в котором размещена аппаратная часть XRT.

Выбор одного из регионов для размещения проектов осуществляется на этапе так называемой линковки конфигурационного файла при помощи компилятора v++(фактически: компоновки, размещение и трассировки нескольких проектов в единый конфигурационный файл).

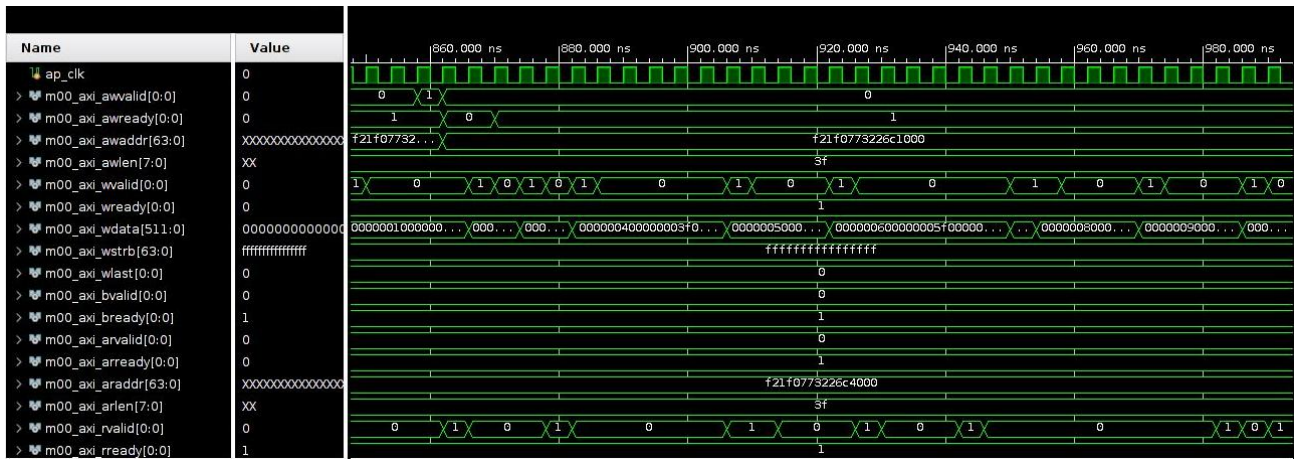


Рисунок 2.3 – Транзакция записи данных на шине AXI4 MM

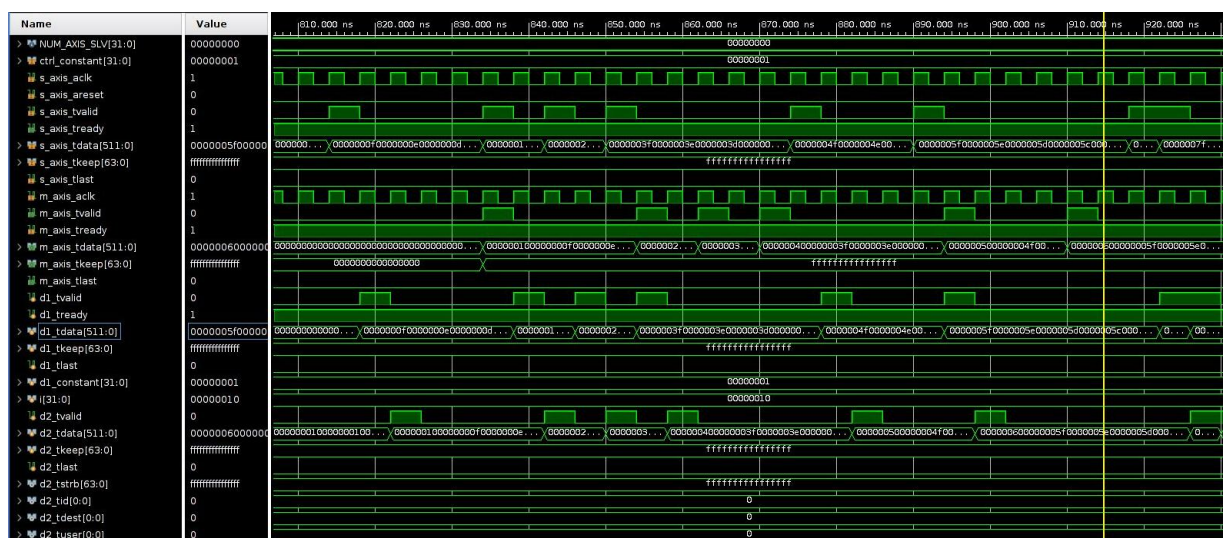


Рисунок 2.4 – Инкремент данных в модуле

2.2 Проект VINC по варианту

В данном подразделе описывается работа с проектом VINC по индивидуальному варианту, код инкремента данных в котором представлен на рисунке 2.5.

```

77 ; // Adder function
78 always @(posedge s_axis_aclk) begin
79     for (i = 0; i < LP_NUM_LOOPS; i = i + 1) begin
80         d2_tdata[i*C_ADDER_BIT_WIDTH+C_ADDER_BIT_WIDTH] <= d1_tdata[C_ADDER_BIT_WIDTH*i+C_ADDER_BIT_WIDTH] & 'h0f0f0f0f0 + 10;
81     end
82 end

```

Рисунок 2.5 – Код инкремента данных

2.2.1 Моделирование

На рисунке 2.6 представлена транзакция чтения данных вектора на шине AXI4 MM из DDR памяти, на рисунке 2.7 – транзакция записи данных, на рисунке 2.8 – инкремент данных в модуле.

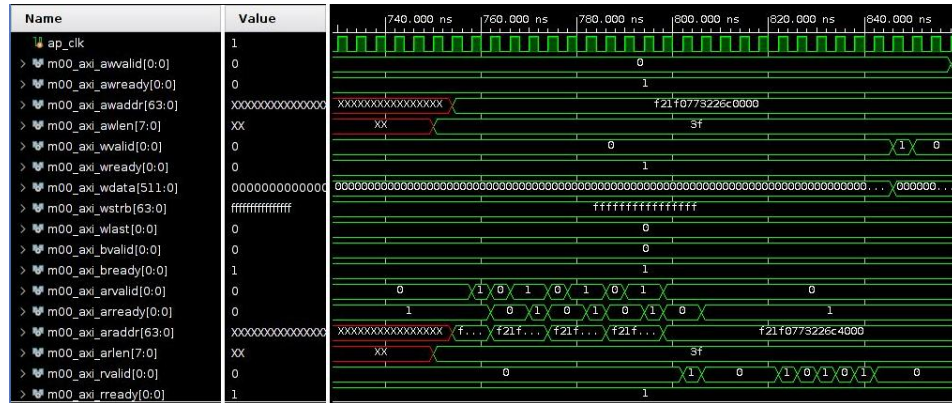


Рисунок 2.6 – Транзакция чтения данных вектора на шине AXI4 MM из DDR
памяти

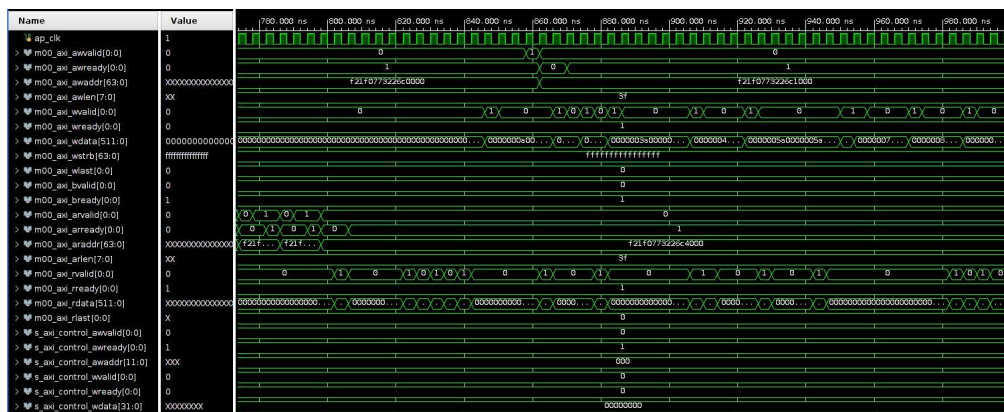


Рисунок 2.7 – Транзакция записи данных на шине AXI4 MM

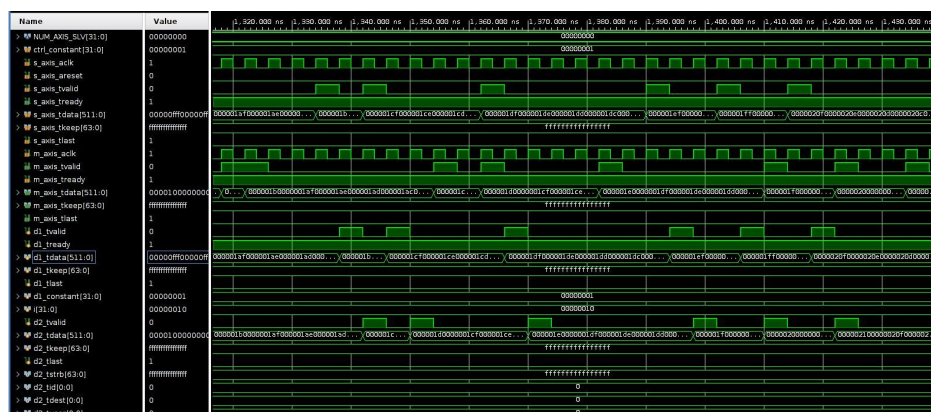


Рисунок 2.8 – Инкремент данных в модуле

2.2.2 Сборка проекта

Для сборки проекта компилятором `v++` используется конфигурационный файл `*.cfg`, который содержит основную информацию для работы компилятора:

- количество и условные имена экземпляров ядер;
- тактовая частота работы ядра;
- для каждого ядра: выбор региона SLR, памяти DDR, высокопроизводительной памяти PLRAM;
- параметры синтеза и оптимизации проекта.

На листинге 2.1 представлен конфигурационный файл использующий в данной работе в соответствии с индивидуальным вариантом.

Листинг 2.1 – Конфигурационный файл

```
1 [connectivity]
2 nk=rtl_kernel_wizard_0:1:vinc0
3 slr=vinc0:SLR2
4 sp=vinc0.m00_axi:DDR[3]
5
6 [vivado]
7 prop=run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
8 prop=run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
9 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
10 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore
11 prop=run.impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
```

В результате компиляции генерируется файл `*.xclbin`, который может быть передан в ускорительную карту, также генерируется лог файл `v++*.log` и файл описания ресурсов `*.xclbin.info`, содержимое которых приведено в приложении.

2.2.3 Тестирование

Для тестирования используется программа, исходный код которой представлен в файле `host_example.cpp`. Цикл проверки результатов работы ускорителя по индивидуальному варианту представлен на листинге 2.2.

Листинг 2.2 – Модифицированный модуль host_example.cpp

```
1   for (cl_uint i = 0; i < number_of_words; i++) {
2       if ((h_data[i] & 0xf0f0f0f0 + 10) != h_axi00_ptr0_output[i]) {
3           printf("ERROR in rtl_kernel_wizard_0::m00_axi - array index %d (host
              addr 0x%03x) - input=%d (0x%x), output=%d (0x%x)\n",
4               i, i*4, h_data[i], h_data[i], h_axi00_ptr0_output[i],
              h_axi00_ptr0_output[i]);
5       }
6   }
```

Результаты тестирования представлены на рисунке 2.9.

```
iu7072@dl580:~/workspace/Alveo_lab1_kernels/vivado_rtl_kernel/rtl_kernel_wizard_0_ex/exports$ xgdb --args rtl_kernel_wizard_
0_host_example.exe /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
GNU gdb (GDB) 9.2
Copyright (C) 2020 Free Software Foundation, Inc.
License GPLv3+: GNU GPL version 3 or later <http://gnu.org/licenses/gpl.html>
This is free software: you are free to change and redistribute it.
There is NO WARRANTY, to the extent permitted by law.
Type "show copying" and "show warranty" for details.
This GDB was configured as "x86_64-pc-linux-gnu".
Type "show configuration" for configuration details.
For bug reporting instructions, please see:
<http://www.gnu.org/software/gdb/bugs/>.
Find the GDB manual and other documentation resources online at:
<http://www.gnu.org/software/gdb/documentation/>.

For help, type "help".
Type "apropos word" to search for commands related to "word"...
Reading symbols from rtl_kernel_wizard_0_host_example.exe...
(gdb) run
Starting program: /iu_home/lu7072/workspace/Alveo_lab1_kernels/vivado_rtl_kernel/rtl_kernel_wizard_0_ex/exports/rtl_kernel_w
izard_0_host_example.exe /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
[Thread debugging using libthread_db enabled]
Using host libthread_db library "/lib/x86_64-linux-gnu/libthread_db.so.1".
[New Thread 0x7ffff5b2f700 (LWP 4483)]
INFO: Found 1 platforms
INFO: Selected platform 0 from Xilinx
INFO: Found 1 devices
CL_DEVICE_NAME xilinx_u200_xdma_201830_2
Selected xilinx_u200_xdma_201830_2 as the target device
INFO: loading xclbin /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
[New Thread 0x7ffff4f2d700 (LWP 4858)]
[New Thread 0x7ffffefff700 (LWP 4859)]
[New Thread 0x7ffffef7fe700 (LWP 4860)]
[New Thread 0x7ffffefffd700 (LWP 4861)]
[New Thread 0x7ffffef7fc700 (LWP 4862)]
[New Thread 0x7ffffefffb700 (LWP 4863)]
INFO: Test completed successfully.
[Thread 0x7ffff4f2d700 (LWP 4858) exited]
[Thread 0x7ffff5b2f700 (LWP 4483) exited]
[Thread 0x7ffffefffb700 (LWP 4863) exited]
[Thread 0x7ffffef7fc700 (LWP 4862) exited]
[Thread 0x7ffffefffd700 (LWP 4861) exited]
[Thread 0x7ffffef7fe700 (LWP 4860) exited]
[Thread 0x7ffffefff700 (LWP 4859) exited]
[Inferior 1 (process 4472) exited normally]
```

Рисунок 2.9 – Результаты тестирования

Таким образом, все тесты были пройдены, и программа на ускорителе работает верно.

3 Контрольные вопросы

В данном разделе представлены ответы на контрольные вопросы.

— **Преимущества и недостатки XDMA и QDMA платформ**

Сборка QDMA, доступная на картах ускорителей Alveo, предоставляет разработчикам прямое потоковое соединение с низкой задержкой между хостом и ядрами. Оболочка QDMA включает высокопроизводительный DMA, который использует несколько очередей, оптимизированных как для передачи данных с высокой пропускной способностью, так и для передачи данных с большим количеством пакетов. Только QDMA позволяет передавать поток данных непосредственно в логику FPGA параллельно с их обработкой.

Оболочка XDMA требует, чтобы данные сначала были полностью перемещены из памяти хоста в память FPGA, прежде чем логика FPGA сможет начать обработку данных, что влияет на задержку на запуске задачи.

Потоковая передача напрямую в работающие ускорительные ядра позволяет быстро и без излишней буферизации передавать операнды и результаты вычислений на хост по потоковому интерфейсу AXI4 Stream. Решение QDMA подходит для приложений, в которых вычисления строятся на передачи сравнительно небольших пакетов, но при этом требуется высокая производительность и минимальная задержка отклика.

— **Последовательность действий, необходимых для инициализации ускорителя со стороны хост-системы**

1. Сканирование и инициализация доступных ускорительных план, совместимых с XRT.
2. Определение доступных ресурсов.
3. Создание программного окружения пользовательского аппаратного ядра ускорителя.
4. Инициализация локальной памяти ускорителя посредством DMA.
5. Передача параметров вычислений ядру ускорителя.
6. Подача сигнала Start для начала обработки внутри платы.
7. Инициализация DMA передачи результатов из локальной памяти ускорителя в ОЗУ хост-системы по окончании обработки.

— **Какова процедура запуска задания на исполнения в ускорительном ядре VINC**

1. Копирование данных из .xclbin и данных, подлежащих обработке, в локальную память ускорителя посредством DMA.
2. Создание исполняемого файла в памяти ускорителя.
3. Получение параметров вычислений.
4. Начало обработки по сигналу Start от хост-системы.
5. Обработка.
6. Установка флага DONE для сообщения хост-системе о завершении обработки.

— **Процесс линковки на основании содержимого файла v++_*.log**

1. Анализ профиля устройства.
2. Анализ конфигурационного файла.
3. Поиск необходимых интерфейсов.
4. Создание графа связности системы.
5. Связывание синтезированных ядер с платформой (FPGA linking synthesized kernels to platform).
6. Оптимизация логики ПЛИС (FPGA logic optimization).
7. Размещение логического блока в динамическом регионе (FPGA logic placement).
8. Маршрутизация ПЛИС (FPGA routing).
9. Генерация файла *.xclbin.

Заключение

В ходе лабораторной работы были изучены архитектуры гетерогенных вычислительных систем и технологии разработки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

Были выполнены следующие задачи:

- изучены основные сведения о платформе Xilinx Alveo U200;
- разработано RTL описание ускорителя вычислений по индивидуальному варианту;
- выполнена генерация ядра ускорителя;
- выполнены синтез и сборка бинарного модуля ускорителя;
- разработано и отлажено тестирующее программное обеспечение на серверной хост-платформе;
- проведены тесты работы ускорителя вычислений.

Таким образом, все поставленные задачи были выполнены, а цель достигнута.

Приложение

Листинги лог файла и файла описания ресурсов

Листинг 1 – Лог файл

```
1 INFO: [v++ 60-1306] Additional information associated with this v++ link can be found at:
2     Reports: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/reports/link
3     Log files: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/logs/link
4 INFO: [v++ 60-1548] Creating build summary session with primary output /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
5     vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin.link_summary, at Mon Dec 20 01:10:55 2021
6 INFO: [v++ 60-1316] Initiating connection to rulecheck server, at Mon Dec 20 01:10:56 2021
7 INFO: [v++ 60-1315] Creating rulecheck session with output '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
8     rtl_kernel_wizard_0/_x/reports/link/v++_link_vinc_guidance.html', at Mon Dec 20 01:11:12 2021
9 INFO: [v++ 60-895] Target platform: /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/xilinx_u200_xdma_201830_2.xpfm
10 INFO: [v++ 60-1578] This platform contains Device Support Archive '/opt/xilinx/platforms/xilinx_u200_xdma_201830_2/hw/
11     xilinx_u200_xdma_201830_2.dsa'
12 INFO: [v++ 74-74] Compiler Version string: 2020.2
13 INFO: [v++ 60-1302] Platform 'xilinx_u200_xdma_201830_2.xpfm' has been explicitly enabled for this release.
14 INFO: [v++ 60-629] Linking for hardware target
15 INFO: [v++ 60-423] Target device: xilinx_u200_xdma_201830_2
16 INFO: [v++ 60-1332] Run 'run_link' status: Not started
17 INFO: [v++ 60-1443] [01:11:52] Run run_link: Step system_link: Started
18 INFO: [v++ 60-1453] Command Line: system_link --xo /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
19     rtl_kernel_wizard_0/rtl_kernel_wizard_0.xo --config /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
20     rtl_kernel_wizard_0/_x/link/int/syslinkConfig.ini --xpfm /opt/xilinx/platforms/xilinx_u200_xdma_201830_2/
21     xilinx_u200_xdma_201830_2.xpfm --target hw --output_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
22     rtl_kernel_wizard_0/_x/link/int --temp_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0
23     /_x/link/sys_link
24 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
25     run_link
26 INFO: [SYSTEM_LINK 60-1316] Initiating connection to rulecheck server, at Mon Dec 20 01:12:02 2021
27 INFO: [SYSTEM_LINK 82-70] Extracting xo v3 file /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/
28     rtl_kernel_wizard_0.xo
29 INFO: [SYSTEM_LINK 82-53] Creating IP database /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/
30     _x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
31 INFO: [SYSTEM_LINK 82-38] [01:12:05] build_xd_ip_db started: /data/Xilinx/Vitis/2020.2/bin/build_xd_ip_db -ip_search 0 -sds-pf /
32     iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/xilinx_u200_xdma_201830_2.
33     hpfm --clkid 0 -ip /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/iprepo/
34     mycompany_com_kernel_rtl_kernel_wizard_0_1_0_rtl_kernel_wizard_0 -o /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
35     vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml
36 INFO: [SYSTEM_LINK 82-37] [01:12:29] build_xd_ip_db finished successfully
37 Time (s): cpu = 00:00:21 ; elapsed = 00:00:25 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical = 10476 ; free virtual =
38     166216
39 INFO: [SYSTEM_LINK 82-51] Create system connectivity graph
40 INFO: [SYSTEM_LINK 82-102] Applying explicit connections to the system connectivity graph: /iu_home/iu7072/workspace/
41     Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml
42 INFO: [SYSTEM_LINK 82-38] [01:12:30] cfgen started: /data/Xilinx/Vitis/2020.2/bin/cfgen -nk rtl_kernel_wizard_0:l:vinc0 -slr vinc0:
43     SLR2 -sp vinc0.m00_axi:DDR[3] -dmclkid 0 -r /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
44     rtl_kernel_wizard_0/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml -o /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
45     vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml
46 INFO: [CFGEN 83-0] Kernel Specs:
47 INFO: [CFGEN 83-0] kernel: rtl_kernel_wizard_0, num: 1 {vinc0}
48 INFO: [CFGEN 83-0] Port Specs:
49 INFO: [CFGEN 83-0] kernel: vinc0, k_port: m00_axi, sptag: DDR[3]
50 INFO: [CFGEN 83-0] SLR Specs:
51 INFO: [CFGEN 83-0] instance: vinc0, SLR: SLR2
52 INFO: [CFGEN 83-2228] Creating mapping for argument vinc0.axi00_ptr0 to DDR[3] for directive vinc0.m00_axi:DDR[3]
53 INFO: [SYSTEM_LINK 82-37] [01:12:48] cfgen finished successfully
54 Time (s): cpu = 00:00:17 ; elapsed = 00:00:18 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical = 9897 ; free virtual =
55     165661
56 INFO: [SYSTEM_LINK 82-52] Create top-level block diagram
57 INFO: [SYSTEM_LINK 82-38] [01:12:48] cf2bd started: /data/Xilinx/Vitis/2020.2/bin/cf2bd --linux --trace_buffer 1024 --input_file /
58     iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml
59     --ip_db /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/_sysl/.cdb/
60     xd_ip_db.xml --cf_name dr --working_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/
61     link/sys_link/_sysl/.xsd --temp_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/
62     link/sys_link --output_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int --
63     target_bd pfm_dynamic.bd
64 INFO: [CF2BD 82-31] Launching cf2xd: cf2xd --linux --trace-buffer 1024 -i /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
65     vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/cfgraph/cfgen_cfgraph.xml -r /iu_home/iu7072/workspace/Alveo_lab1_kernels/
66     src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/_sysl/.cdb/xd_ip_db.xml -o dr.xml
67 INFO: [CF2BD 82-28] cf2xd finished successfully
```

```

39 INFO: [CF2BD 82-31] Launching cf_xsd: cf_xsd --disable-address-gen --bd pfm_dynamic.bd --dn dr --dp /iu_home/iu7072/workspace/
    Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/sys_link/_sysl/.xsd
40 INFO: [CF2BD 82-28] cf_xsd finished successfully
41 INFO: [SYSTEM_LINK 82-37] [01:13:00] cf2bd finished successfully
42 Time (s): cpu = 00:00:08 ; elapsed = 00:00:12 . Memory (MB): peak = 1557.898 ; gain = 0.000 ; free physical = 11761 ; free virtual =
    167528
43 INFO: [v++ 60-1441] [01:13:00] Run run_link: Step system_link: Completed
44 Time (s): cpu = 00:00:59 ; elapsed = 00:01:09 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 11777 ; free virtual =
    167540
45 INFO: [v++ 60-1443] [01:13:00] Run run_link: Step cf2sw: Started
46 INFO: [v++ 60-1453] Command Line: cf2sw --sdsl /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x
    /link/int/sdsl.dat --rtd /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/cf2sw.
    rtd --nofilter /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/cf2sw_full.rtd --
    xclbin /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/xclbin_orig.xml --o /
    iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/xclbin_orig.1.xml
47 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
    run_link
48 INFO: [v++ 60-1441] [01:13:13] Run run_link: Step cf2sw: Completed
49 Time (s): cpu = 00:00:10 ; elapsed = 00:00:13 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 9336 ; free virtual =
    165089
50 INFO: [v++ 60-1443] [01:13:13] Run run_link: Step rtd2_system_diagram: Started
51 INFO: [v++ 60-1453] Command Line: rtd2SystemDiagram
52 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
    run_link
53 INFO: [v++ 60-1441] [01:13:20] Run run_link: Step rtd2_system_diagram: Completed
54 Time (s): cpu = 00:00:00 ; elapsed = 00:00:08 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 8380 ; free virtual =
    164133
55 INFO: [v++ 60-1443] [01:13:20] Run run_link: Step vpl: Started
56 INFO: [v++ 60-1453] Command Line: vpl -t hw -f xilinx_u200_xdma_201830_2 --remote_ip_cache /iu_home/iu7072/workspace/
    Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/.ipcache --output_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/
    src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int --log_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel
    /rtl_kernel_wizard_0/_x/logs/link --report_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/reports/link --config /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/link/int/vplConfig.ini --k /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/link/int/kernel_info.dat --webtalk_flag Vitis --temp_dir /iu_home/iu7072/workspace/Alveo_lab1_kernels/src
    /vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link --no-info --iprepo /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
    vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/so/ip_repo/mycompany_com_kernel_rtl_kernel_wizard_0_1_0 --messageDb /iu_home/
    iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/run_link/vpl.pb /iu_home/iu7072/workspace/
    Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/dr.bd.tcl
57 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
    run_link
58
59 ***** vpl v2020.2 (64-bit)
60 **** SW Build (by xbuild) on 2020-11-18-05:13:29
61 ** Copyright 1986-2020 Xilinx, Inc. All Rights Reserved.
62
63 INFO: [VPL 60-839] Read in kernel information from file '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/link/int/kernel_info.dat'.
64 INFO: [VPL 74-74] Compiler Version string: 2020.2
65 INFO: [VPL 60-423] Target device: xilinx_u200_xdma_201830_2
66 INFO: [VPL 60-1032] Extracting hardware platform to /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/link/vivado/vpl/.local/hw_platform
67 WARNING: /data/Xilinx/Vitis/2020.2/tps/lnx64/jre9.0.4 does not exist.
68 [01:18:24] Run vpl: Step create_project: Started
69 Creating Vivado project.
70 [01:18:51] Run vpl: Step create_project: Completed
71 [01:18:51] Run vpl: Step create_bd: Started
72 [01:20:31] Run vpl: Step create_bd: RUNNING...
73 [01:22:10] Run vpl: Step create_bd: RUNNING...
74 [01:23:53] Run vpl: Step create_bd: RUNNING...
75 [01:25:50] Run vpl: Step create_bd: RUNNING...
76 [01:27:22] Run vpl: Step create_bd: RUNNING...
77 [01:28:07] Run vpl: Step create_bd: Completed
78 [01:28:07] Run vpl: Step update_bd: Started
79 [01:28:09] Run vpl: Step update_bd: Completed
80 [01:28:09] Run vpl: Step generate_target: Started
81 [01:29:53] Run vpl: Step generate_target: RUNNING...
82 [01:31:44] Run vpl: Step generate_target: RUNNING...
83 [01:33:22] Run vpl: Step generate_target: RUNNING...
84 [01:35:13] Run vpl: Step generate_target: RUNNING...
85 [01:37:04] Run vpl: Step generate_target: RUNNING...
86 [01:39:11] Run vpl: Step generate_target: Completed
87 [01:39:11] Run vpl: Step config_hw_runs: Started
88 [01:39:12] Run vpl: Step generate_target: RUNNING...
89 [01:41:00] Run vpl: Step config_hw_runs: Completed
90 [01:41:00] Run vpl: Step synth: Started
91 [01:44:18] Block-level synthesis in progress, 0 of 66 jobs complete, 8 jobs running.
92 [01:45:31] Block-level synthesis in progress, 0 of 66 jobs complete, 8 jobs running.
93 [01:46:48] Block-level synthesis in progress, 0 of 66 jobs complete, 8 jobs running.
94 [01:47:50] Block-level synthesis in progress, 0 of 66 jobs complete, 8 jobs running.
95 [01:48:46] Block-level synthesis in progress, 0 of 66 jobs complete, 8 jobs running.
96 [01:49:28] Block-level synthesis in progress, 1 of 66 jobs complete, 7 jobs running.

```



```

179 [02:50:39] Block-level synthesis in progress, 61 of 66 jobs complete, 2 jobs running.
180 [02:51:25] Block-level synthesis in progress, 61 of 66 jobs complete, 4 jobs running.
181 [02:52:15] Block-level synthesis in progress, 63 of 66 jobs complete, 2 jobs running.
182 [02:53:07] Block-level synthesis in progress, 64 of 66 jobs complete, 1 job running.
183 [02:53:53] Block-level synthesis in progress, 64 of 66 jobs complete, 1 job running.
184 [02:54:39] Block-level synthesis in progress, 64 of 66 jobs complete, 1 job running.
185 [02:55:23] Block-level synthesis in progress, 64 of 66 jobs complete, 1 job running.
186 [02:56:11] Block-level synthesis in progress, 65 of 66 jobs complete, 0 jobs running.
187 [02:56:51] Block-level synthesis in progress, 65 of 66 jobs complete, 0 jobs running.
188 [02:57:39] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
189 [02:58:21] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
190 [02:59:05] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
191 [02:59:51] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
192 [03:00:40] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
193 [03:01:24] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
194 [03:02:27] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
195 [03:03:36] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
196 [03:04:42] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
197 [03:05:36] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
198 [03:06:17] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
199 [03:07:15] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
200 [03:08:00] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
201 [03:09:08] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
202 [03:09:52] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
203 [03:10:41] Block-level synthesis in progress, 65 of 66 jobs complete, 1 job running.
204 [03:11:24] Block-level synthesis in progress, 66 of 66 jobs complete, 0 jobs running.
205 [03:12:04] Block-level synthesis in progress, 66 of 66 jobs complete, 0 jobs running.
206 [03:12:47] Top-level synthesis in progress.
207 [03:13:35] Top-level synthesis in progress.
208 [03:14:16] Top-level synthesis in progress.
209 [03:14:57] Top-level synthesis in progress.
210 [03:15:38] Top-level synthesis in progress.
211 [03:16:24] Top-level synthesis in progress.
212 [03:17:04] Top-level synthesis in progress.
213 [03:17:47] Top-level synthesis in progress.
214 [03:18:29] Top-level synthesis in progress.
215 [03:19:15] Top-level synthesis in progress.
216 [03:19:59] Top-level synthesis in progress.
217 [03:20:41] Top-level synthesis in progress.
218 [03:21:20] Top-level synthesis in progress.
219 [03:22:08] Run vpl: Step synth: Completed
220 [03:22:08] Run vpl: Step impl: Started
221 [04:08:58] Finished 2nd of 6 tasks (FPGA linking synthesized kernels to platform). Elapsed time: 02h 55m 27s
222
223 [04:08:58] Starting logic optimization..
224 [04:14:05] Phase 1 Generate And Synthesize MIG Cores
225 [04:50:07] Phase 2 Generate And Synthesize Debug Cores
226 [05:16:34] Phase 3 Retarget
227 [05:19:23] Phase 4 Constant propagation
228 [05:20:43] Phase 5 Sweep
229 [05:26:54] Phase 6 BUFG optimization
230 [05:29:01] Phase 7 Shift Register Optimization
231 [05:30:27] Phase 8 Post Processing Netlist
232 [05:46:10] Finished 3rd of 6 tasks (FPGA logic optimization). Elapsed time: 01h 37m 12s
233
234 [05:46:10] Starting logic placement..
235 [05:51:27] Phase 1 Placer Initialization
236 [05:51:27] Phase 1.1 Placer Initialization Netlist Sorting
237 [06:05:14] Phase 1.2 IO Placement/ Clock Placement/ Build Placer Device
238 [06:15:29] Phase 1.3 Build Placer Netlist Model
239 [06:27:04] Phase 1.4 Constrain Clocks/Macros
240 [06:28:24] Phase 2 Global Placement
241 [06:28:24] Phase 2.1 Floorplanning
242 [06:31:46] Phase 2.1.1 Partition Driven Placement
243 [06:31:46] Phase 2.1.1.1 PBP: Partition Driven Placement
244 [06:33:54] Phase 2.1.1.2 PBP: Clock Region Placement
245 [06:38:04] Phase 2.1.1.3 PBP: Compute Congestion
246 [06:38:04] Phase 2.1.1.4 PBP: UpdateTiming
247 [06:40:04] Phase 2.1.1.5 PBP: Add part constraints
248 [06:40:44] Phase 2.2 Update Timing before SLR Path Opt
249 [06:41:25] Phase 2.3 Global Placement Core
250 [07:11:56] Phase 2.3.1 Physical Synthesis In Placer
251 [07:23:39] Phase 3 Detail Placement
252 [07:23:39] Phase 3.1 Commit Multi Column Macros
253 [07:24:19] Phase 3.2 Commit Most Macros & LUTRAMs
254 [07:29:05] Phase 3.3 Small Shape DP
255 [07:29:05] Phase 3.3.1 Small Shape Clustering
256 [07:31:10] Phase 3.3.2 Flow Legalize Slice Clusters
257 [07:31:53] Phase 3.3.3 Slice Area Swap
258 [07:36:02] Phase 3.4 Place Remaining
259 [07:36:42] Phase 3.5 Re-assign LUT pins
260 [07:38:02] Phase 3.6 Pipeline Register Optimization

```

```

261 [07:38:02] Phase 3.7 Fast Optimization
262 [07:42:07] Phase 4 Post Placement Optimization and Clean-Up
263 [07:42:07] Phase 4.1 Post Commit Optimization
264 [07:50:21] Phase 4.1.1 Post Placement Optimization
265 [07:51:02] Phase 4.1.1.1 BUFG Insertion
266 [07:51:02] Phase 1 Physical Synthesis Initialization
267 [07:53:46] Phase 4.1.1.2 BUFG Replication
268 [07:57:11] Phase 4.1.1.3 Replication
269 [08:03:31] Phase 4.2 Post Placement Cleanup
270 [08:04:13] Phase 4.3 Placer Reporting
271 [08:04:13] Phase 4.3.1 Print Estimated Congestion
272 [08:05:36] Phase 4.4 Final Placement Cleanup
273 [09:12:03] Finished 4th of 6 tasks (FPGA logic placement). Elapsed time: 03h 25m 53s
274
275 [09:12:03] Starting logic routing..
276 [09:16:57] Phase 1 Build RT Design
277 [09:26:37] Phase 2 Router Initialization
278 [09:26:37] Phase 2.1 Fix Topology Constraints
279 [09:27:19] Phase 2.2 Pre Route Cleanup
280 [09:27:19] Phase 2.3 Global Clock Net Routing
281 [09:29:23] Phase 2.4 Update Timing
282 [09:41:01] Phase 2.5 Update Timing for Bus Skew
283 [09:41:01] Phase 2.5.1 Update Timing
284 [09:45:51] Phase 3 Initial Routing
285 [09:45:51] Phase 3.1 Global Routing
286 [09:50:29] Phase 4 Rip-up And Reroute
287 [09:50:29] Phase 4.1 Global Iteration 0
288 [10:09:43] Phase 4.2 Global Iteration 1
289 [10:15:12] Phase 4.3 Global Iteration 2
290 [10:19:52] Phase 5 Delay and Skew Optimization
291 [10:19:52] Phase 5.1 Delay CleanUp
292 [10:19:52] Phase 5.1.1 Update Timing
293 [10:25:14] Phase 5.2 Clock Skew Optimization
294 [10:25:55] Phase 6 Post Hold Fix
295 [10:25:55] Phase 6.1 Hold Fix Iter
296 [10:25:55] Phase 6.1.1 Update Timing
297 [10:30:36] Phase 7 Route finalize
298 [10:31:18] Phase 8 Verifying routed nets
299 [10:31:58] Phase 9 Depositing Routes
300 [10:36:19] Phase 10 Route finalize
301 [10:37:01] Phase 11 Post Router Timing
302 [10:43:14] Finished 5th of 6 tasks (FPGA routing). Elapsed time: 01h 31m 11s
303
304 [10:43:14] Starting bitstream generation..
305 [12:30:45] Creating bitmap...
306 [13:14:36] Writing bitstream ./pfm_top_i_dynamic_region_my_rm_partial.bit...
307 [13:14:36] Finished 6th of 6 tasks (FPGA bitstream generation). Elapsed time: 02h 31m 22s
308 [13:18:52] Run vpl: Step impl: Completed
309 [13:19:06] Run vpl: FINISHED. Run Status: impl Complete!
310 INFO: [v++ 60-1441] [13:19:40] Run run_link: Step vpl: Completed
311 Time (s): cpu = 00:45:29 ; elapsed = 12:06:20 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 65124 ; free virtual = 167443
312 INFO: [v++ 60-1443] [13:19:40] Run run_link: Step rtdgen: Started
313 INFO: [v++ 60-1453] Command Line: rtdgen
314 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
run_link
315 INFO: [v++ 60-991] clock name 'clkwiz_kernel_clk_out1' (clock ID '0') is being mapped to clock name 'DATA_CLK' in the xclbin
316 INFO: [v++ 60-991] clock name 'clkwiz_kernel2_clk_out1' (clock ID '1') is being mapped to clock name 'KERNEL_CLK' in the xclbin
317 INFO: [v++ 60-1230] The compiler selected the following frequencies for the runtime controllable kernel clock(s) and scalable system
clock(s): Kernel (DATA) clock: clkwiz_kernel_clk_out1 = 300, Kernel (KERNEL) clock: clkwiz_kernel2_clk_out1 = 500
318 INFO: [v++ 60-1453] Command Line: cf2sw -a /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/
link/int/address_map.xml -sdsl /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int
/sdsl.dat -xclbin /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/xclbin_orig.
xml -rtd /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.rtd -o /iu_home/
iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.xml
319 INFO: [v++ 60-1652] Cf2sw returned exit code: 0
320 INFO: [v++ 60-2311] HPISystemDiagram::writeSystemDiagramAfterRunningVivado , rtdInputFilePath: /iu_home/iu7072/workspace/
Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.rtd
321 INFO: [v++ 60-2312] HPISystemDiagram::writeSystemDiagramAfterRunningVivado , systemDiagramOutputFilePath: /iu_home/iu7072/workspace/
Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/systemDiagramModelSIRBaseAddress.json
322 INFO: [v++ 60-1618] Launching
323 INFO: [v++ 60-1441] [13:19:54] Run run_link: Step rtdgen: Completed
324 Time (s): cpu = 00:00:12 ; elapsed = 00:00:14 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 65139 ; free virtual = 167458
325 INFO: [v++ 60-1443] [13:19:54] Run run_link: Step xclbinutil: Started
326 INFO: [v++ 60-1453] Command Line: xclbinutil --add-section DEBUG_IP_LAYOUT:JSON:/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/debug_ip_layout.rtd --add-section BITSTREAM:RAW:/iu_home/iu7072/workspace/
Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/partial.bit --force --target hw --key-value SYS:
dfx_enable:true --add-section :JSON:/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/
link/int/vinc.rtd --append-section :JSON:/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/
_x/link/int/appendSection.rtd --add-section CLOCK_FREQ_TOPOLOGY:JSON:/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/
vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.xml.rtd --add-section BUILD_METADATA:JSON:/iu_home/iu7072/workspace/

```

```

Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc_build.rtd —add-section EMBEDDED_METADATA:RAW:/
iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.xml —add-section
SYSTEM_METADATA:RAW:/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/
systemDiagramModelSlrBaseAddress.json —output /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_0/./vinc.xclbin
327 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
run_link
328 XRT Build Version: 2.8.743 (2020.2)
329 Build Date: 2020-11-16 00:19:11
330 Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
331 Creating a default 'in-memory' xclbin image.
332
333 Section: 'DEBUG_IP_LAYOUT'(9) was successfully added.
334 Size : 440 bytes
335 Format : JSON
336 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/debug_ip_layout.rtd'
337
338 Section: 'BITSTREAM'(0) was successfully added.
339 Size : 42618246 bytes
340 Format : RAW
341 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/partial.bit'
342
343 Section: 'MEM_TOPOLOGY'(6) was successfully added.
344 Format : JSON
345 File : 'mem_topology'
346
347 Section: 'IP_LAYOUT'(8) was successfully added.
348 Format : JSON
349 File : 'ip_layout'
350
351 Section: 'CONNECTIVITY'(7) was successfully added.
352 Format : JSON
353 File : 'connectivity'
354
355 Section: 'CLOCK_FREQ_TOPOLOGY'(11) was successfully added.
356 Size : 274 bytes
357 Format : JSON
358 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.xml.rtd'
359
360 Section: 'BUILD_METADATA'(14) was successfully added.
361 Size : 2912 bytes
362 Format : JSON
363 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc_build.rtd'
364
365 Section: 'EMBEDDED_METADATA'(2) was successfully added.
366 Size : 2754 bytes
367 Format : RAW
368 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/vinc.xml'
369
370 Section: 'SYSTEM_METADATA'(22) was successfully added.
371 Size : 5630 bytes
372 Format : RAW
373 File : '/iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/int/
systemDiagramModelSlrBaseAddress.json'
374
375 Section: 'IP_LAYOUT'(8) was successfully appended to.
376 Format : JSON
377 File : 'ip_layout'
378 Successfully wrote (42640169 bytes) to the output file: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_0/./vinc.xclbin
379 Leaving xclbinutil.
380 INFO: [v++ 60-1441] [13:19:57] Run run_link: Step xclbinutil: Completed
381 Time (s): cpu = 00:00:00.57 ; elapsed = 00:00:03 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 65007 ; free virtual
= 167406
382 INFO: [v++ 60-1443] [13:19:57] Run run_link: Step xclbinutilinfo: Started
383 INFO: [v++ 60-1453] Command Line: xclbinutil —quiet —force —info /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_0/./vinc.xclbin.info —input /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
rtl_kernel_wizard_0/./vinc.xclbin
384 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
run_link
385 INFO: [v++ 60-1441] [13:20:01] Run run_link: Step xclbinutilinfo: Completed
386 Time (s): cpu = 00:00:03 ; elapsed = 00:00:03 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 65067 ; free virtual =
167467
387 INFO: [v++ 60-1443] [13:20:01] Run run_link: Step generate_sc_driver: Started
388 INFO: [v++ 60-1453] Command Line:
389 INFO: [v++ 60-1454] Run Directory: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/link/
run_link
390 INFO: [v++ 60-1441] [13:20:01] Run run_link: Step generate_sc_driver: Completed
391 Time (s): cpu = 00:00:00.01 ; elapsed = 00:00:00.05 . Memory (MB): peak = 1585.129 ; gain = 0.000 ; free physical = 65053 ; free
virtual = 167454
392 INFO: [v++ 60-244] Generating system estimate report...

```

```

393 INFO: [v++ 60-1092] Generated system estimate report: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/
    rtl_kernel_wizard_0/_x/reports/link/system_estimate_vinc.txt
394 INFO: [v++ 60-586] Created /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.ltx
395 INFO: [v++ 60-586] Created ./vinc.xclbin
396 INFO: [v++ 60-1307] Run completed. Additional information can be found in:
397     Guidance: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/reports/link/v++
        _link_vinc_guidance.html
398     Timing Report: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/reports/link/imp/
        impl_1_xilinx_u200_xdma_201830_2_bb_locked_timing_summary_routed.rpt
399     Vivado Log: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/logs/link/vivado.log
400     Steps Log File: /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/_x/logs/link/link.steps.log
401
402 INFO: [v++ 60-2343] Use the vitis_analyzer tool to visualize and navigate the relevant reports. Run the following command.
403     vitis_analyzer /iu_home/iu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin.link_summary
404 INFO: [v++ 60-791] Total elapsed time: 12h 9m 31s
405 INFO: [v++ 60-1653] Closing dispatch client.

```

Листинг 2 – Файл описания ресурсов

```
1 =====
2 XRT Build Version: 2.8.743 (2020.2)
3   Build Date: 2020-11-16 00:19:11
4   Hash ID: 77d5484b5c4daa691a7f78235053fb036829b1e9
5 =====
6 xclbin Information
7 -----
8   Generated by:      v++ (2020.2) on 2020-11-18-05:13:29
9   Version:          2.8.743
10  Kernels:          rtl_kernel_wizard_0
11  Signature:
12  Content:          Bitstream
13  UUID (xclbin):    da62d19b-3c9a-498a-98b6-98b5731a7b87
14  Sections:         DEBUG_IP_LAYOUT, BITSTREAM, MEM_TOPOLOGY, IP_LAYOUT,
15                   CONNECTIVITY, CLOCK_FREQ_TOPOLOGY, BUILD_METADATA,
16                   EMBEDDED_METADATA, SYSTEM_METADATA,
17                   GROUP_CONNECTIVITY, GROUP_TOPOLOGY
18 =====
19 Hardware Platform (Shell) Information
20 -----
21   Vendor:          xilinx
22   Board:           u200
23   Name:            xdma
24   Version:         201830.2
25   Generated Version: Vivado 2018.3 (SW Build: 2568420)
26   Created:         Tue Jun 25 06:55:20 2019
27   FPGA Device:     xcu200
28   Board Vendor:    xilinx.com
29   Board Name:      xilinx.com:au200:1.0
30   Board Part:      xilinx.com:au200:part0:1.0
31   Platform VBNV:   xilinx_u200_xdma_201830_2
32   Static UUID:     c102e7af-b2b8-4381-992b-9a00cc3863eb
33   Feature ROM TimeStamp: 1561465320
34
35 Clocks
36 -----
37   Name:            DATA_CLK
38   Index:           0
39   Type:            DATA
40   Frequency:       300 MHz
41
42   Name:            KERNEL_CLK
43   Index:           1
44   Type:            KERNEL
45   Frequency:       500 MHz
46
47 Memory Configuration
48 -----
49   Name:            bank0
50   Index:           0
51   Type:            MEM_DDR4
52   Base Address:    0x4000000000
53   Address Size:    0x4000000000
54   Bank Used:       No
55
56   Name:            bank1
57   Index:           1
58   Type:            MEM_DDR4
59   Base Address:    0x5000000000
60   Address Size:    0x4000000000
61   Bank Used:       No
62
63   Name:            bank2
64   Index:           2
65   Type:            MEM_DDR4
66   Base Address:    0x6000000000
67   Address Size:    0x4000000000
68   Bank Used:       No
69
70   Name:            bank3
71   Index:           3
72   Type:            MEM_DDR4
73   Base Address:    0x7000000000
74   Address Size:    0x4000000000
75   Bank Used:       Yes
76
77   Name:            PLRAM[0]
78   Index:           4
79   Type:            MEM_DRAM
80   Base Address:    0x3000000000
81   Address Size:    0x20000
```

```

82 Bank Used: No
83
84 Name: PLRAM[1]
85 Index: 5
86 Type: MEM_DRAM
87 Base Address: 0x3000200000
88 Address Size: 0x20000
89 Bank Used: No
90
91 Name: PLRAM[2]
92 Index: 6
93 Type: MEM_DRAM
94 Base Address: 0x3000400000
95 Address Size: 0x20000
96 Bank Used: No
97 =====
98 Kernel: rtl_kernel_wizard_0
99
100 Definition
101 -----
102 Signature: rtl_kernel_wizard_0 (uint num, int* axi00_ptr0)
103
104 Ports
105 -----
106 Port: s_axi_control
107 Mode: slave
108 Range (bytes): 0x1000
109 Data Width: 32 bits
110 Port Type: addressable
111
112 Port: m00_axi
113 Mode: master
114 Range (bytes): 0xFFFFFFFFFFFFFFFF
115 Data Width: 512 bits
116 Port Type: addressable
117
118 -----
119 Instance: vinc0
120 Base Address: 0x1e00000
121
122 Argument: num
123 Register Offset: 0x010
124 Port: s_axi_control
125 Memory: <not applicable>
126
127 Argument: axi00_ptr0
128 Register Offset: 0x018
129 Port: m00_axi
130 Memory: bank3 (MEM_DDR4)
131 =====
132 Generated By
133 -----
134 Command: v++
135 Version: 2020.2 - 2020-11-18-05:13:29 (SW BUILD: 0)
136 Command Line: v++ --config ./rtl_kernel_wizard_0_ex.cfg --connectivity.nk rtl_kernel_wizard_0:1:vinc0 --connectivity.slr vinc0:
SLR2 --connectivity.sp vinc0.m00_axi:DDR[3] --input_files ./rtl_kernel_wizard_0.xo --link --optimize 0 --output ./vinc.xclbin
--platform xilinx_u200_xdma_201830_2 --report_level 0 --target hw --vivado.prop run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=
Explore --vivado.prop run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.
IS_ENABLED=true --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore --vivado.prop run.impl_1.
STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
137 Options: --config ./rtl_kernel_wizard_0_ex.cfg
138 --connectivity.nk rtl_kernel_wizard_0:1:vinc0
139 --connectivity.slr vinc0:SLR2
140 --connectivity.sp vinc0.m00_axi:DDR[3]
141 --input_files ./rtl_kernel_wizard_0.xo
142 --link
143 --optimize 0
144 --output ./vinc.xclbin
145 --platform xilinx_u200_xdma_201830_2
146 --report_level 0
147 --target hw
148 --vivado.prop run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
149 --vivado.prop run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
150 --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
151 --vivado.prop run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore
152 --vivado.prop run.impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
153 =====
154 User Added Key Value Pairs
155 -----
156 <empty>
157 =====

```