



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ «Информатика и системы управления»

КАФЕДРА _____ «Компьютерные системы и сети (ИУ6)»

НАПРАВЛЕНИЕ ПОДГОТОВКИ _____ «09.03.04 Программная инженерия»

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №4 по курсу «Архитектура ЭВМ»

«Методология разработки и верификации ускорителей
вычислений на платформе Xilinx Alveo»

Студент: ИУ7-53Б _____ М. Д. Маслова
(группа) (подпись, дата) (И. О. Фамилия)

Преподаватель: _____ Е. Н. Дубровин
(подпись, дата) (И. О. Фамилия)

Содержание

Введение	3
1 Основные теоретические сведения	4
2 Практическая часть	5
2.1 Исходный проект VINC	5
2.1.1 Моделирование	5
2.2 Проект VINC по варианту	6
2.2.1 Код индивидуального варианта	6
2.2.2 Моделирование	6
2.2.3 Сборка проекта	7
2.2.4 Тестирование	8
3 Контрольные вопросы	9
Заключение	10

Введение

Целью данной работы является изучение архитектуры гетерогенных вычислительных систем и технологии разработки ускорителей вычислений на базе ПЛИС фирмы Xilinx.

1 Основные теоретические сведения

2 Практическая часть

2.1 Исходный проект VINC

2.1.1 Моделирование

```
77 : // Adder function
78 : always @(posedge s_axis_clk) begin
79 :   for (i = 0; i < LP_NUM_LOOPS; i = i + 1) begin
80 :     d2_tdata[i*C_ADDER_BIT_WIDTH+C_ADDER_BIT_WIDTH] <= d1_tdata[C_ADDER_BIT_WIDTH*i+C_ADDER_BIT_WIDTH] + d1_constant;
81 :   end
82 : end
```

Рисунок 2.1 – Код инкремента данных

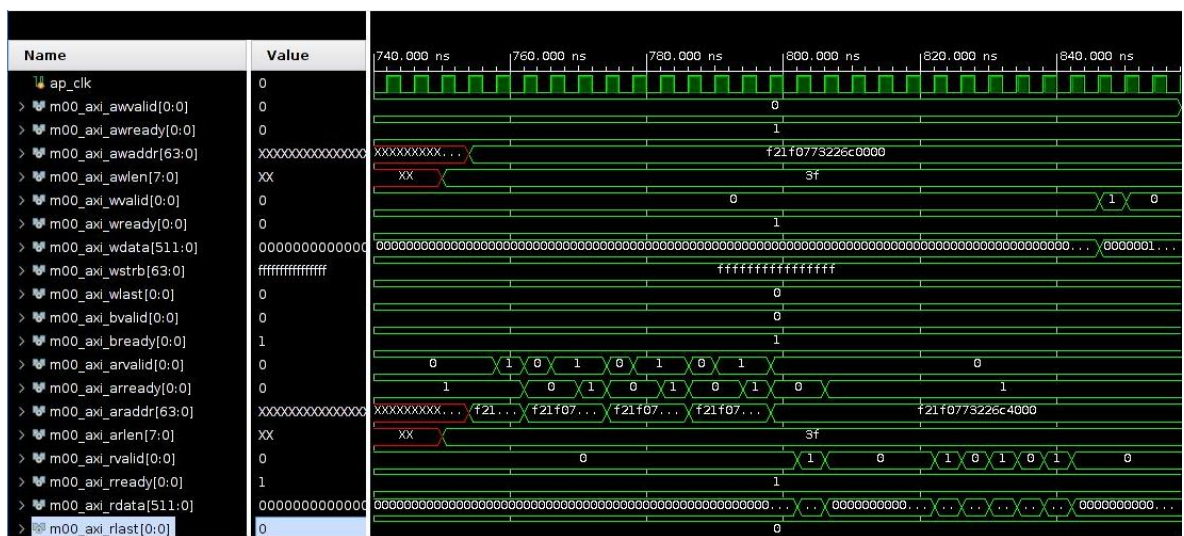


Рисунок 2.2 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

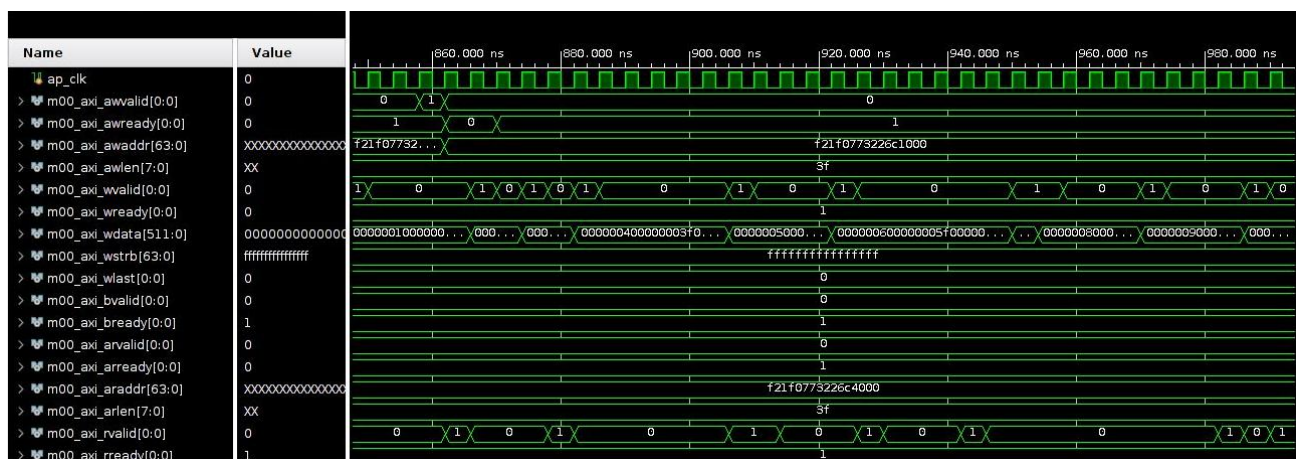


Рисунок 2.3 – Транзакция записи данных на шине AXI4 MM



Рисунок 2.4 – Инкремент данных в модуле

2.2 Проект VINC по варианту

2.2.1 Код индивидуального варианта

```

77 // Adder function
78 always @(posedge s_axis_aclk) begin
79   for (i = 0; i < LP_NUM_LOOPS; i = i + 1) begin
80     d2_tdata[i*C_ADDER_BIT_WIDTH+:C_ADDER_BIT_WIDTH] <= d1_tdata[C_ADDER_BIT_WIDTH*i+:C_ADDER_BIT_WIDTH] & 'hfofofofofo + 10;
81   end
82 end

```

Рисунок 2.5 – Код инкремента данных

2.2.2 Моделирование

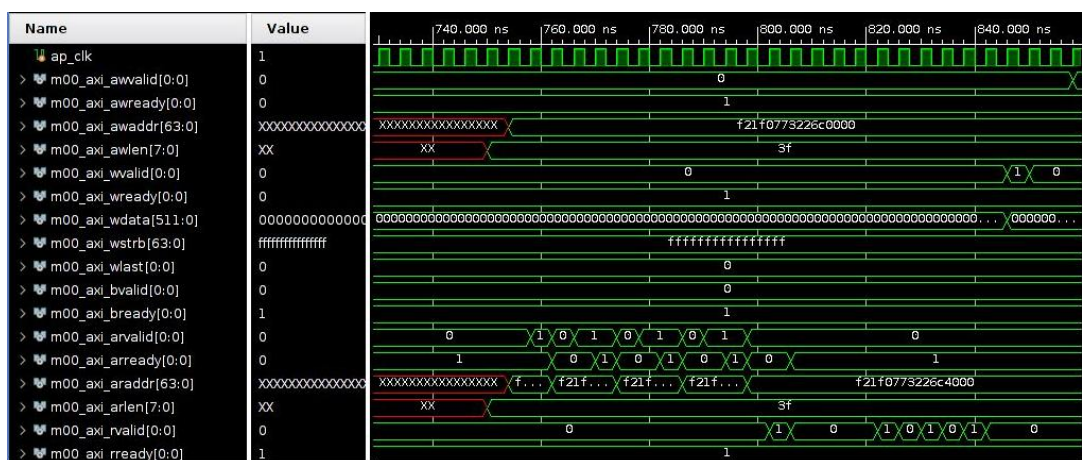


Рисунок 2.6 – Транзакция чтения данных вектора на шине AXI4 MM из DDR памяти

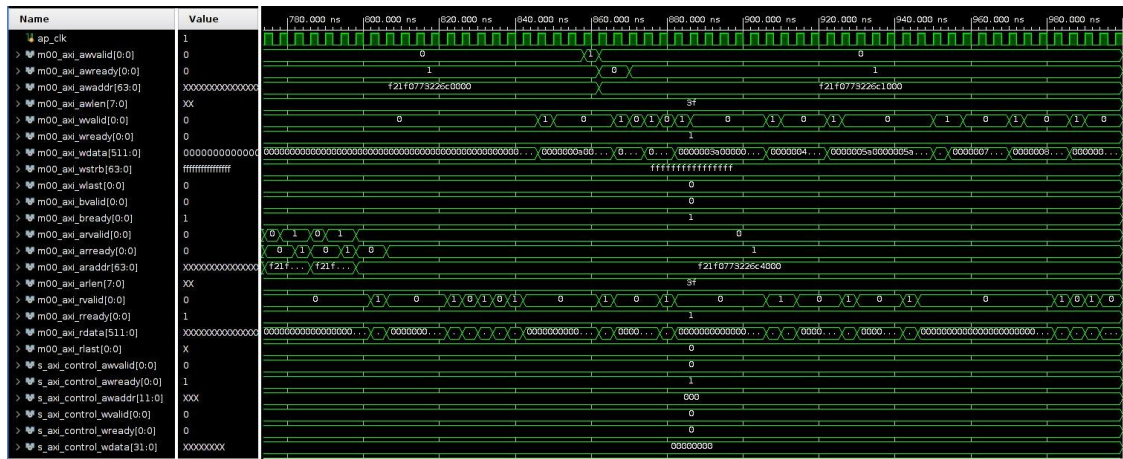


Рисунок 2.7 – Транзакция записи данных на шине AXI4 MM



Рисунок 2.8 – Инкремент данных в модуле

2.2.3 Сборка проекта

Листинг 2.1 – Конфигурационный файл

```
1 [connectivity]
2 nk=rtl_kernel_wizard_0:1:vinc0
3 slr=vinc0:SLR2
4 sp=vinc0.m00_axi:DDR[3]
5
6 [vivado]
7 prop=run.impl_1.STEPS.OPT_DESIGN.ARGS.DIRECTIVE=Explore
8 prop=run.impl_1.STEPS.PLACE_DESIGN.ARGS.DIRECTIVE=Explore
9 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.IS_ENABLED=true
10 prop=run.impl_1.STEPS.PHYS_OPT_DESIGN.ARGS.DIRECTIVE=AggressiveExplore
11 prop=run.impl_1.STEPS.ROUTE_DESIGN.ARGS.DIRECTIVE=Explore
```


2.2.4 Тестирование

Листинг 2.2 – Модифицированный модуль host_example.cpp

```
1   for (cl_uint i = 0; i < number_of_words; i++) {
2       if ((h_data[i] & 0xf0f0f0f0 + 10) != h_axi00_ptr0_output[i]) {
3           printf("ERROR in rtl_kernel_wizard_0::m00_axi - array index %d (host
4               addr 0x%03x) - input=%d (0x%x), output=%d (0x%x)\n",
5                   i, i*4, h_data[i], h_data[i], h_axi00_ptr0_output[i],
6                   h_axi00_ptr0_output[i]);
7       }
8       check_status = 1;
9   }
```

```
iu7072@dl580:~/workspace/Alveo_lab1_kernels/vivado_rtl_kernel/rtl_kernel_wizard_0_ex/exports$ xgdb --args rtl_kernel_wizard_0_host_example.exe /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
GNU gdb (GDB) 9.2
Copyright (C) 2020 Free Software Foundation, Inc.
License GPLv3+: GNU GPL version 3 or later <http://gnu.org/licenses/gpl.html>
This is free software: you are free to change and redistribute it.
There is NO WARRANTY, to the extent permitted by law.
Type "show copying" and "show warranty" for details.
This GDB was configured as "x86_64-pc-linux-gnu".
Type "show configuration" for configuration details.
For bug reporting instructions, please see:
<http://www.gnu.org/software/gdb/bugs/>.
Find the GDB manual and other documentation resources online at:
<http://www.gnu.org/software/gdb/documentation/>.

For help, type "help".
Type "apropos word" to search for commands related to "word"...
Reading symbols from rtl_kernel_wizard_0_host_example.exe...
(gdb) run
Starting program: /iu_home/lu7072/workspace/Alveo_lab1_kernels/vivado_rtl_kernel/rtl_kernel_wizard_0_ex/exports/rtl_kernel_wizard_0_host_example.exe /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
[Thread debugging using libthread_db enabled]
Using host libthread_db library "/lib/x86_64-linux-gnu/libthread_db.so.1".
[New Thread 0x7ffff5b2f700 (LWP 4483)]
INFO: Found 1 platforms
INFO: Selected platform 0 from Xilinx
INFO: Found 1 devices
CL_DEVICE_NAME xilinx_u200_xdma_201830_2
Selected xilinx_u200_xdma_201830_2 as the target device
INFO: loading xclbin /iu_home/lu7072/workspace/Alveo_lab1_kernels/src/vitis_rtl_kernel/rtl_kernel_wizard_0/vinc.xclbin
[New Thread 0x7ffff4f2d700 (LWP 4858)]
[New Thread 0x7ffffe7ff700 (LWP 4859)]
[New Thread 0x7ffffe7fe700 (LWP 4860)]
[New Thread 0x7ffffe7fd700 (LWP 4861)]
[New Thread 0x7ffffe7fc700 (LWP 4862)]
[New Thread 0x7ffffe7fb700 (LWP 4863)]
INFO: Test completed successfully.
[Thread 0x7ffff4f2d700 (LWP 4858) exited]
[Thread 0x7ffff5b2f700 (LWP 4483) exited]
[Thread 0x7ffffe7fb700 (LWP 4863) exited]
[Thread 0x7ffffe7fc700 (LWP 4862) exited]
[Thread 0x7ffffe7fd700 (LWP 4861) exited]
[Thread 0x7ffffe7fe700 (LWP 4860) exited]
[Thread 0x7ffffe7ff700 (LWP 4859) exited]
[Inferior 1 (process 4472) exited normally]
```

Рисунок 2.9 – Результаты тестирования

3 Контрольные вопросы

Заключение