

Міністерство освіти і науки України

Національний університет «Львівська політехніка»

Кафедра ЕОМ



**Звіт**

до лабораторної роботи № 1

з дисципліни: «Моделювання комп'ютерних систем»

«Інсталяція та ознайомлення з середовищем розробки Ознайомлення зі  
стендом. Elbert V2 – Spartan 3A FPGA»

Варіант 3

Виконав:

ст. гр. КІ-201

Волинець М.М.

Прийняв:

Козак Н. Б.

**Львів 2023**

## Завдання

Створення облікового запису на [Xilinx - Adaptable. Intelligent | together we advance](https://www.xilinx.com)

Інсталяція та отримання ліцензії

Побудова дешифратора 3 -> 7 за допомогою ISE WebPack Schematic Capture та моделювання його роботи за допомогою симулятора ISim

Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA

## Виконання:

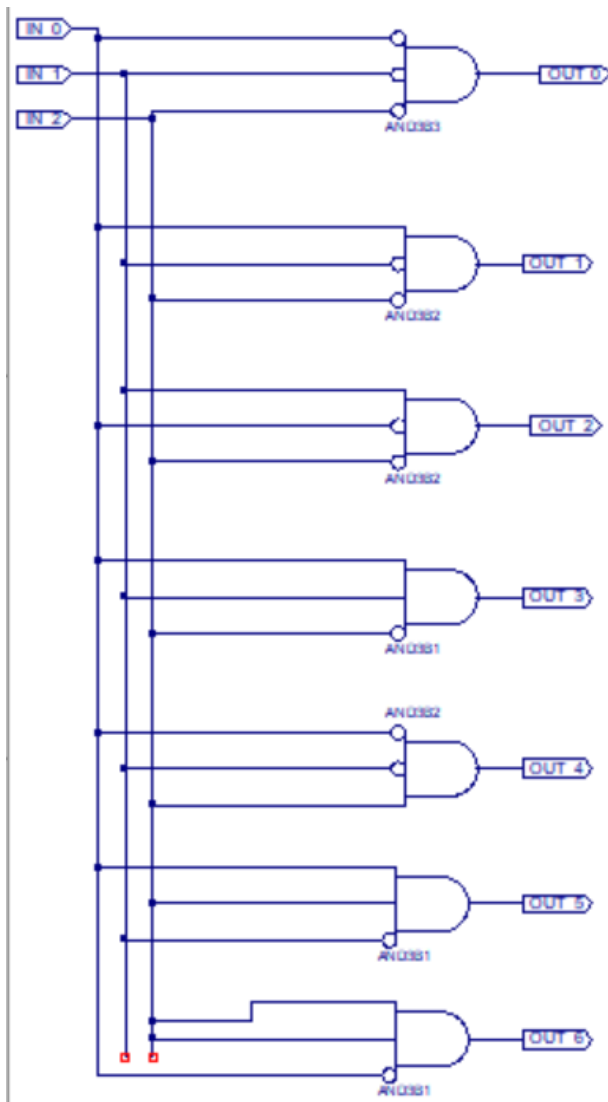


Рис. 1. Схема дешифратора 3 -> 7

## Лістинг програми

```
#++++#
++++#
# This file is a .ucf for ElbertV2 Development Board #
# To use it in your project : #
```

```

# * Remove or comment the lines corresponding to unused pins in the project #

# * Rename the used signals according to the your project #

#+++++
+++++

#####
#####

#
                                UCF for ElbertV2 Development Board                                #

#####
#####

CONFIG VCCAUX = "3.3" ;

# Clock 12 MHz

# NET "Clk"          LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;

#####
####

#
                                LED                                #####
#####

NET "OUT_0"          LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_1"          LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_2"          LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_3"          LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_4"          LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_5"          LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "OUT_6"          LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "LED[7]"       LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#####
####

#
                                DP Switches                                #####
#####

```

```
NET "IN_0"    LOC = P70  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_1"    LOC = P69  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
NET "IN_2"    LOC = P68  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
# NET "DPSwitch[3]"    LOC = P64  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
# NET "DPSwitch[4]"    LOC = P63  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
# NET "DPSwitch[5]"    LOC = P60  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
# NET "DPSwitch[6]"    LOC = P59  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
# NET "DPSwitch[7]"    LOC = P58  | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE =
12;
```

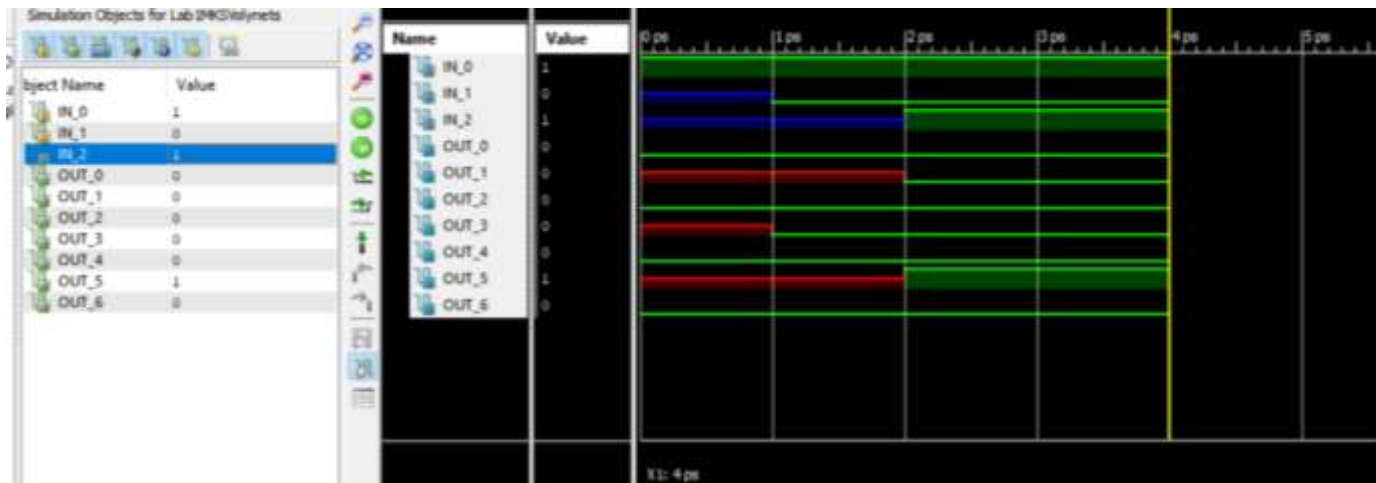


Рис. 2. Скріншот діаграми симуляції

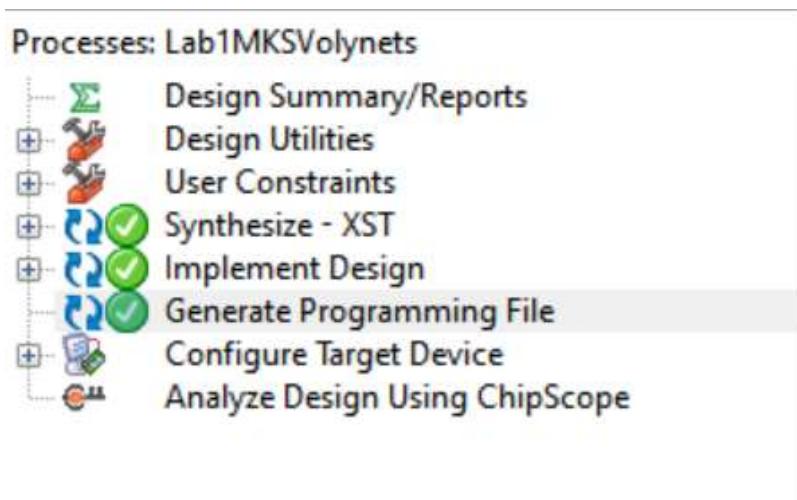


Рис. 3. Успішно виконані процеси

**Висновок:** інсталиював та ознайомився із середовищем для моделювання комп'ютерних систем Xilinx. Зробив та дослідив схему дешифратора 3 -> 7.