		7				
0		CIC to CND IN	SIG to GND IN		DWER ANALOG IN	
+5V signal IN	SIG to GND IN	SIG to GND IN			DUER ANALOG IN STATE OF THE STA	
A0 D2 A1 D1	A0 H1 A1 H3	A0 B9 A1 B10	A0 G3			
A2 D3	A2 H2	A1 B10 A2 C7	A1 G3 A2 A1			
A2 D3 A3						
	A3 G4					
	A4 D7			A2 A1 • • • • •		VCC GND
A5 F6	A5 B7	A5 A2	A5 G8	AO C C C C C C C C C C C C C C C C C C C		SCL SDA
A6 F1	A6 B1	A6 B6	A6 B2			0
A7	A7 B3.2	A7 F2	A7 B5.1	SDA e e e e e e e		RESET O
B0 F7	B0 D8	B0 E2	B0 G6	GND #		A1 A2
B1 D4	B1	B1 B8	B1 B4	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		
B2 F9	B2 D5	B2 C8	B2 B5.2			
B3	B3 D6	B3 C5	B3 G7	5		
B4	B4 G1	B4	B4			1
B5	B5 B3.1	B5 C3	B5			1
B6	B6 F10	B6 F4	B6	• • • • •		
B7	B7 G5	B7 F5	B7	0 0 0 0 0		
				0 0 0 0 0		
4	5	6	7			
SIGNAL OUT	SIGNAL OUT	SIGNAL OUT	SIGNAL OUT	6		
A0 F10L	A0 C7L	A0 G10 L	AO			2
A1	A1 C8L	A1 B2L	A1	0 0 0 0 0		
A2 B7L	A2 B8L	A2 B5L	A2			
A3 B1L	A3 B6L	A3 B4L	A3			
A4 D6L	A4	A4 G12L	A4			
A5 D5L	A5 F4L	A5 G11L	A5	7		
A6 H1L	A6 F5L	A6	A6	0 0 0 0 0		3
A7 G13L	A7 F2L	A7	A7	0 0 0 0 0		
BO G9L	B0 C6L	B0	B0	0		
B1 B3L	B1 B9L	B1	B1			
B2	B2 B10L	B2	B2			
В3	B3 F8L	В3	B3			
B4 D8L	B4 A2L	B4	B4			
B5 D7L	B5 A1L	B5	B5			
B6	B6 C1L	В6	B6			

- Deleted inputs (01.11.18) Added outputs (01.11.18)

