計畫書目錄

壹、申請單位概況 頁碼

一、基本資料 .○○

二、營運及財務狀況 ○○

三、經營團隊與執行能力 ○○

**貳、計畫內容與實施方法**

**一、國內外產業現況、發展趨勢與未來挑戰 ○○**

**二、計畫內容 ○○**

**三、實施方式**

**四、計畫執行時程及查核點 ○○**

**五、競爭分析 ○○**

**六、預期效益與價值創造 .○○**

**七、風險評估與因應對策 ○○**

**八、智慧財產權說明 ○○**

參、研發團隊說明

一、計畫主持人資歷說明 ○○

二、參與計畫人力統計 ○○

三、關鍵人員能力分析表 ○○

四、國際研發人員簡歷表 ○○

五、參與人員簡歷表 ○○

肆、計畫經費需求

一、開發總經費預算表 ○○

二、各科目預算編列表 ○○

三、歲出預算分配表 ○○

伍、附件

附件一、合作契約書參考範本 ○○

附件二、委託研究或驗證/執行計畫書/協議書 ○○

附件三、顧問及國內外專家願任同意書 ○○

附件四、清潔生產指標評估 ○○

附件五、脊椎動物科學應用動物實驗管理小組審議核可文件 ○○

附件六、技術自我評估 ○○

附件七、中英文摘要表(簽約時檢附) ○○

附件八、其他 ○○

## 貳、計畫內容與實施方法

一、國內外產業現況、發展趨勢與未來挑戰

人工智慧 (Artificial Intelligence, AI) 系統開發近年來塊數成長躍進，應用範疇已從過往的軟體工具開發邁向硬體晶片研製，搭配適當的神經網路及巨量資料，使得半導體供應鏈如：ASIC、矽智財IP、記憶體模組及感測器等領域的低功耗與高速運算需求，皆可藉由AI強大的功能具體實現；隨著AI在機器智能學習發展的突破，根據Tractica及Gartner預估，2020 – 2025年AI應用市場規模，將以38%的年複合成長率 (CAGR) 攀升到2,300億美元，就AI所創造的半導體晶片產值，亦將由目前約9億美元的水準，增長至2025年超過700億美元，CAGR高達62%，其中來自車用、深度學習、語音辨識及相關應用記憶體等比重最高(如圖2.1)。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.1 2016-2025 AI半導體產值

然而，AI在機器智能學習機器在學習的過程中，主要是利用神經網路中的「處理晶片」負責數據運算與函數推導，因此，處理晶片的效能技術成為未來相關場域應用重要的勝負關鍵；總觀目前「處理晶片」發展，主要可分為CPU、GPU、FPGA及ASIC四種，依特性與使用目的不同又可區分為雲端運算與邊緣運算，雲端運算因為需要處理龐大數據，加上長時間運作，晶片需求特性為功耗較高，整體效能佳，主要應用在資料中心與超級電腦；雖然雲端運算在深度學習訓練的效能表現相當顯著，然而若要運用到終端產品上，除了功耗與晶片體積的限制，加上雲端運算有數據存取、即時性與安全性的考量，預期將會催生AI晶片向終端的「邊緣運算」邁進，也就是將形成雲端負責「訓練」，終端晶片負責「推理」的情境發生，換句話說，邊緣運算則主要應用在終端裝置，對耗電量與晶片體積有較大限制與要求，目前趨勢是以FPGA與ASIC為邊緣運算主要發展的晶片；ASIC具有低延時、低功耗、高效能與可大規模量產的成本優勢，將使其於未來AI發展扮演關鍵，例如智能監控、自駕車、機器人、無人機、智慧喇叭、虛擬實境、智能家電等應用，都能帶動ASIC晶片出貨；根據研究機構Tractica預估，於 2025年，人工智慧的各式晶片市場規模將超過 US$70B 的規模，其中成長幅度最大就是ASIC及SoC Accelerator晶片，約占整體晶片市場比重近70％(如圖2.2)，本計畫即是以提供 ASIC 及 SoC Accelerator 開發用的關鍵技術平台為主軸，協助國內相關業者邊緣運算場域應用需求。

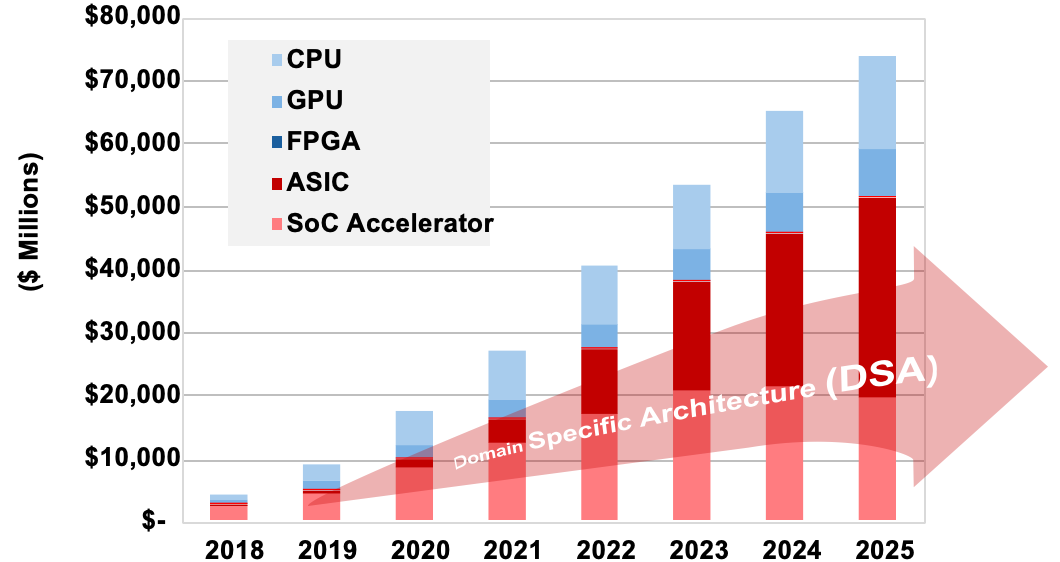


圖2.2 2018-2025 全球AI晶片市場

另一方面，為因應5G時代趨勢，AI邊緣運算及低功耗物聯網 (IoT) 裝置之需求，提升應用於IoT終端裝置AI晶片之開發成本與運算效率，已是今日炙手可熱且極需克服的產業議題；傳統的AI運算的瓶頸在於：資料需要循序處理，即根據范紐曼型架構（Von Neumann architecture），計算機中記憶體和控制單元是分離的，但是在AI運算巨量資料的處理與儲存上，這樣的架構對資料的「讀取—處理—儲存」循環在資料傳送速度與功耗上形成重大挑戰，特別是記憶體本身因讀寫速度及保留時間等的特性差異，從cache、DRAM、NAND flash等形成複雜層層的記憶體層級 (memory hierarchy)，促使資料的處理循環變得更為冗長且更加耗能，換句話說，傳統Von Neumann架構中，由於採中央處理器與記憶體分立原則，造成大量時間花費在兩者之間移動資料，而非處理資料，成為深度學習運算之主要瓶頸，由美國 DARPA 的研究中發現 AI 運算時大部分的時間都耗費在記憶體的存取 (如圖2.3)，成為AI晶片系統廠商急需待解決的問題，因此，當網路的頻寬變大及AI應用對於大數據處理的需求日益提高的前提下，資料讀取/處理/儲存的問題益發值得重視，一種顛覆Von Neumann架構的做法：記憶體內運算 (Computing in memory, CIM)便因應而生，CIM 乃是將記憶體和控制單元合為一體，使記憶體 (目前大都以非揮發性記憶體億阻器 (RRAM) 為標的) 本身就可以做運算，以使資料不必在記憶體與處理器間反覆搬運與遞送，以降低運算功耗及提升運算速度；CIM 技術運用在 AI 晶片設計上時，必須將 MAC 乘加運算功能直接設計在 RRAM 記憶體陣列中，以達到 CIM 功耗降低與速度提升之效能，然而，此類技術目前正在萌芽，大都還是在元件或元件陣列層級進行，尚未達到完整的 AI 運算加速器設計。

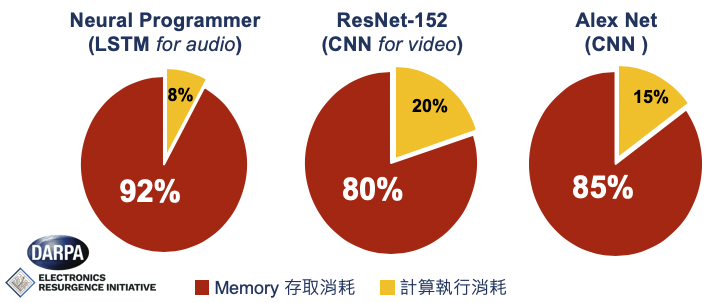


圖2.3 AI運算記憶體存取與計算值行消耗比例

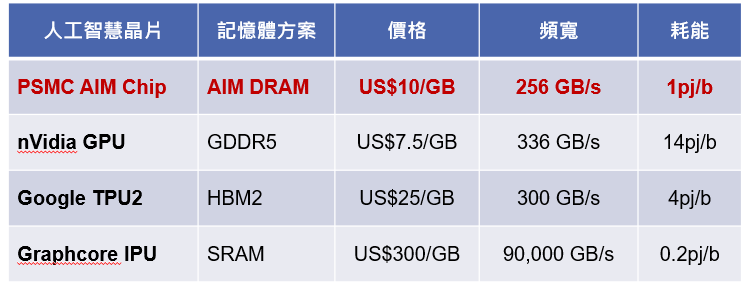
有鑑於此，本計畫將以突破記憶體存取的疆界為基礎，開發整合邏輯元件核心處理器與DRAM 於一體之AI-Compute-In-DRAM (AIM) 晶圓製造創新服務平台，並以先進駕駛輔助系統(Advanced Driver Assistance System, ADAS)為應用載具，提供自駕車場域即時性高速之辨識能力；本公司-力晶積成電子主要以先進記憶體、客製化邏輯積體電路與分離式元件等三大晶圓代工服務為主軸，從事代工技術、設計服務、製造服務及記憶體晶圓測試服務等，針對各類不同客戶之屬性與需求，提供相關的技術服務，然而，為能大幅提升AI運算效能與節能效率的AI加速晶片設計，本公司乃結合旗下力積電、愛普科技、智成電子和智慧記憶科技等之技術能量，從事異質整合的AIM技術平台開發，即利用本公司在動態隨機存取記憶體 (DRAM) 技術研發的優勢，在既有原始 DRAM 製程上，將原本 DRAM Array 的週邊線路部分，直接嵌入邏輯電路來設計製作 AI 運算單元，以解決AI運算晶片需處理大量數據之資料存取問題，相較於nVidia GPU、Google TPU 2及Graphcore IPU等人工智慧記憶體晶片架構，本公司所研發之AIM架構具有高性能、低能耗及低成本等優勢 (如圖2.4及表2.1所示)。

一張含有 螢幕擷取畫面, 文字 的圖片

自動產生的描述

圖2.4 各式人工智慧晶片記憶體架構與AIM架構之比較

表2.1 AIM 晶片與各式人工智慧晶片性能之比較



然而，為了進一步提昇AI運算晶片之運算速度及將低功率消耗，相關的DRAM前後段製程優化技術、邏輯線路最佳化技術及兼具邏輯與DRAM功能的單晶片開發環境等，仍有待持續的研發與精進，因此，為實現AI運算晶片運算/儲存一體化之目的及配合行政院 AI on Chip 示範計畫之中長期規劃，本公司擬結合先進車系統公司 (開曼母公司100%轉投資之台灣子公司)，提出『AIM晶圓製造創新服務平台研發計畫』，以突破人工智慧運算瓶頸為標的，規劃為期二年，整合 DRAM 與邏輯製程於一體，開發具世界領先之記憶體內運算 (In-Memory Computing) 晶圓製造創新服務平台，在AIM 製程平台開發、AIM 基礎矽智財開發、AIM 設計平台開發及AIM 載具驗證等方面，結合產研各界能量，研究開發相關之關鍵核心前瞻技術，以加速先進駕駛輔助系統 (ADAS)、物聯網及5G通訊等邊緣運算之應用需求，具體的計畫規劃如圖 2.5所示：

* AIM 製程平台開發

規劃基於 25-nm DRAM 之製程，優化DRAM 前段製程之元件及後段製程之金屬層，以強化週邊線路電晶體的驅動能力及增加邏輯佈局之效率，同時亦發展 SRAM 位元元件及 DRAM 子陣列，以作為AIM 設計平台發展基礎，提升計畫產出之執行效益。

* AIM 基礎矽智財開發

規劃開發AIM 製程平台上，晶片設計所需各式基礎元件，包含：標準元件庫開發、高頻寬 DRAM 陣列暨模塊開發、SRAM模塊暨編譯器開發與介面暨週邊智財開發等，以因應高頻寬/高速度AIM 晶片之需求，進而促使AIM人工智慧運算引擎，能維持高能效之運作效率。

* AIM 設計平台開發

規劃發展AIM 晶片架構設計自動化與全系統軟硬整合驗證軟體平台，以期快速找出最妥適之AI-Compute-In-DRAM晶片硬體組態，同時建立多位元高精確度之模型量化部署技術與軟體工具鏈，搭載駕駛監測引擎及視訊語意分割引擎，以具體實現AIM 晶片設計平台低功耗高效能之成效。

* AIM 載具驗證

規劃結合 AIM 晶片架構、DSP及ARM等，開發低複雜度之演算法及適用於高能效低成本之整合式軟硬體驗證環境，並以多功能先進駕駛輔助次系統為驗證載具，促使計畫產出能具體落實於 AI 邊緣運算之應用。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.5 AIM晶圓製造創新服務平台研發計畫規劃

二、計畫內容

1. 研發策略

本公司-力晶積成電子為高性能的半導體晶片設計與製造大廠，長期以來聚焦於專業晶圓代工，以先進記憶體、客製化邏輯積體電路與分離式元件等三大晶圓代工服務為主軸，近年來，為因應產業AI化之需求，在希冀克服傳統 AI 運算資料需要循序處理的瓶頸，以期能大幅提升AI運算效能的前提下，本公司致力於AI 晶片與 DRAM 整合到單一晶片上之技術研發，以增加AI運算時之資料傳輸頻寬，並且達到低延遲與低耗電效果，換言之，將AI 晶片與 DRAM 整合一體之AIM技術，將可使記憶體資料可依照需求進行非循序存取，進而提升影像神經網路運算 10 倍處理效率，讓 IC 設計業者能開發出體積更小的單晶片電腦，進而降低 AIoT 應用服務設備開發成本；然而，為了進一步提昇AI運算晶片之運算速度及將低功率消耗，相關的AIM製程平台優化、矽智財開發、設計平台技術研發及載具驗證，仍有待進一步的研發與精進，因此，為實現AI運算晶片運算/儲存一體化之目的及配合行政院 AI on Chip 示範計畫之中長期規劃，本計畫擬結合先進車系統公司之技術研發能量，以突破記憶體存取疆界，整合邏輯與DRAM一體為標的，並以多能 AI ADAS 次系統為AIM應用載具，提供ADAS即時高速的辨識能力 (如圖2.6所示)，在本公司既定的研發佈局策略下，共同開發本計畫所需的關鍵核心技術，以因應 AI 產業化所面臨的技術研發挑戰，進而加速 AI 晶片領域的技術研發與產業鏈的形成。

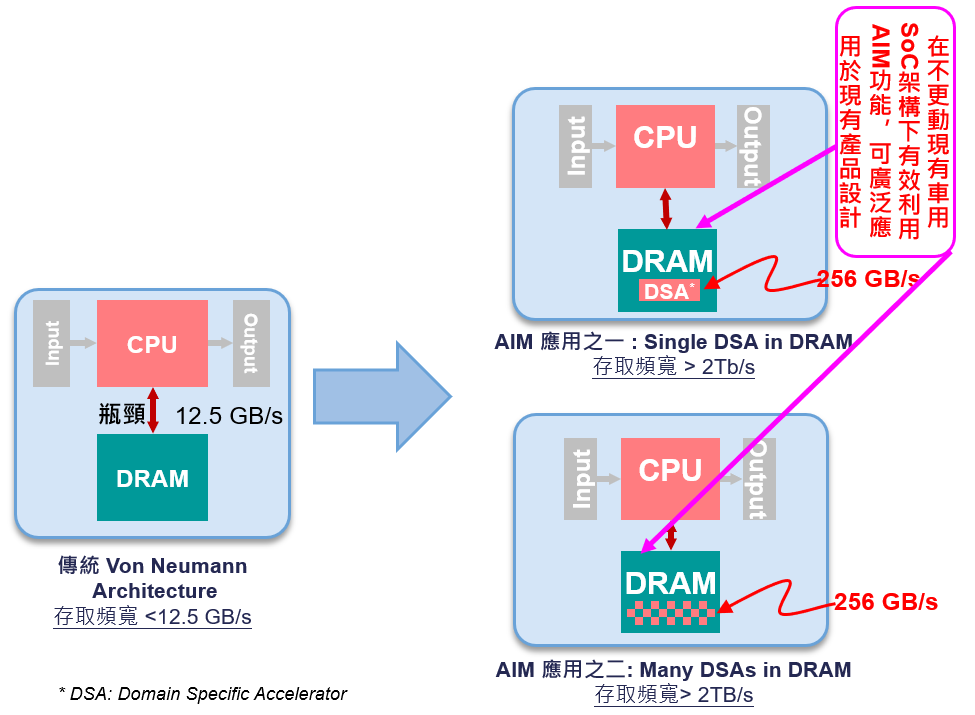


圖2.6 AIM 整合計算與資料存取一體架構

1. 研究標的

本計畫規劃結合先進車汽車安全系統產品設計業者、清華大學資工系研發團隊及工研院法人研究單位之資源與技術能量，共同開發適用AIM 晶圓製造之創新服務平台，藉以嘉惠國內相關產業上中下游供應鏈，在人工智慧應用趨勢的潮流下，持續提升AI晶片設計之產品產值與國際競爭力，整體計畫研究標的與定位如圖 2.7所示，簡述如下：

2.1. AIM 製成優化技術與矽智財開發

* 因應本計畫「AIM 晶圓製造創新服務平台研發計畫」所需，規劃研發DRAM前後段新的製程技術，以縮小AIM晶片設計時，DRAM面積所佔的比例，同時增強DRAM週邊元件之驅動能力。
* 開發基於 25-nm DRAM 製程優化技術，在維持 DRAM 基本性能的同時將邏輯電路及 RF 運用之需求整合入AIM製程平台，並於AIM 製程平台上，完成晶片設計所需各式基礎元件。

2.2. AIM 系統晶片設計與應用載具

* 基於AIM 整合計算與資料存取一體架構之研發策略佈局 (圖 2.8)，研發相關的AIM 晶片架構設計自動化與全系統軟硬整合驗證軟體平台，同時開發適用於駕駛監測引擎及視訊語意分割引擎等技術，以期應用自駕車ADAS系統領域。
* 結合法人工研院資通所之技術能量，研發並實現內嵌 AI 加速器之 AIM 系統單晶片，並整合駕駛監測引擎及視訊語意分割引擎，實際應用於汽車安全駕駛，以提供不同類型應用之運算能力。
* 配合 AI on Chip 示範計畫，加速相關產品設計驗證及導入市場時程，落實政府 AI 產業化之政策。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.7 計畫研究標的與定位

1. 技術能力與技術關聯圖

本計畫規畫研發的AIM 製程平台開發、AIM 基礎矽智財開發、AIM 設計平台開發及AIM 載具驗證等各分項之間的技術能力與技術關聯如圖 2.8所示，計畫規劃之全程計畫產出如表 2.2 所示。

一張含有 文字 的圖片

自動產生的描述

圖2.8 技術能力與技術關聯圖

表2.2 計畫全程產出

|  |  |  |
| --- | --- | --- |
| 總產出物  （技術/平台/產品） | 產出時間 | 規格 |
| AIM製程平台開發 | 2021 | * 開發Hybrid embedded DRAM製程技術平台以提供ASIC及SoC accelerator等AI應用之設計開發 * 新增元件並支援5層Metal等邏輯相容方案，使系統操作能夠達到500 MHz以上之效能 * 支援RF (Blue Tooth)應用 |
| AIM基礎矽智財開發 | 2021 | * 12 track標準元件庫開發 * 高頻寬DRAM 矽智財 – 4096位元 * SRAM模塊及編譯器開發 – 最大容量512 Kb * PCIe 介面及週邊矽智財，提供最大80 Gb/s 之資料傳輸 |
| AIM設計平台開發  ITRI | 2021 | * 開發世界第一顆基於可重組類比 AI 運算技術之屏下大面積光學指紋辨識晶片 * 支援能效 5 TOPS/W 達國際一流水準 |
| AIM載具驗證AutoSys | 2021 | * 將研發之新一代指紋辨識晶片解決方案導入量產，預期可創造新產值新台幣 100 億以上 * 支援行動裝置辨識系統、車用 DMS &自動駕駛、安全監控/安防系統與 IoT 互聯網等領域 * 支援 AI on chip 及產官學研相關計畫 |

1. 技術規格

本計畫各分項之技術規格如表 2.3 所示。

表2.3 技術規格

| 分/子項  計畫名稱 | 技術指標/產品規格/品質指標/服務指標 | 完成 年度 |
| --- | --- | --- |
| 分項 A：AIM製程平台開發 | | |
| DRAM前段製程(FEOL)元件優化 | * 將週邊電路電晶體效能提升，使其驅動電流改善10%以上，降低接觸電阻抗15 %以上(salicide on S/D),以符合較高頻操作需求。 | 109 |
| * 低DRAM Cell 密度e.g. < 40%：對製程會產生負載效應，開發製程條件，達成原有DRAM Cell設計目標。 | 109 |
| DRAM後段製程(BEOL)金屬層優化 | * 微縮現有金屬線寬 15 %以上: 使用邏輯平台後段製程，以滿足線寬的微縮的需求。 | 109 |
| * 新增兩層鋁製程(inter-metal)，滿足AIM邏輯電路高密度和高積集化的需求。 | 109 |
| * 新增MIM製程， 在現有4M和TM 之間生成MIM電容(2F/um^2)，以滿足AIM邏輯電路的需求和應用。 | 109 |
| * 新增最上層金屬層厚度達24kA，藉以建立電感元件(Inductror)，满足AIM 產品不同客製化的應用。 | 109 |
| 記憶體位元元件及子陣列開發 | * SRAM 位元元件 (bit cell) 微縮40 %以上，以提供更微小的電路面積。 | 109 |
| * DRAM子陣列 (array) 因應周邊電晶體驅動能力改變，DRAM子陣列SA與SWD調整設計。 | 110 |
| * DRAM子陣列 (array) 因應寬頻需求以及新增兩層鋁佈線空間，重新設計子陣列架構及佈局連線。 | 110 |
| * 將作為用於DRAM陣列修補的Laser Fuse由原本的1M改至4M | 109 |
| 新元件開發 | * 開發高阻值 Poly(500ohm/sq 以上) ，以滿足AIM邏輯電路的需求   與應用周邊。 | 109 |
| * 開發Native NMOS (Vt~0V)以滿足AIM邏輯電路的需求和應用。 | 109 |
| * OTP (efuse) IP以DRAM Cell的修補需求。 | 109 |
| * RF IP以滿足AIM邏輯電路的需求和應用。 | 109 |
| 分項 B：AIM基礎矽智財開發 | | |
| 標準元件庫開發 | * 開發12 track標準元件庫，增強數位邏輯閘驅動能力，使設計達到應用速度要求 | 109 |
| 高頻寬DRAM陣列及模塊開發 | * 開發2048位元之DRAM基礎陣列，提高模塊佈局設計面積效率 | 110 |
| * 橫向並聯DRAM基礎陣列，設計每2ns可同時讀寫512位元之1Gb DRAM基礎模塊，可供給持續0.5Tbps資料流給人工智慧引擎。 | 110 |
| SRAM模塊及編譯器開發 | * 針對計畫中人工智慧引擎緩衝器之需求，開發各式大小SRAM模塊，並以此作為編譯器之基礎，目前設計以最大容量512Kb為規格。 | 109 |
| * 開發SRAM編譯器，靈活提供各式大小SRAM模塊，節省不同容量SRAM模塊之開發時間。 | 110 |
| 介面及周邊智財開發 | * 週邊智財: 如I2C、SPI、UAR，及相關I/O等供給一般之傳輸介面，I/O驅動能力至少達8mA，ESD可達Human body mode: 2KV, Machine mode: 200V, Current Discharge mode: 500V | 109 |
| * 開發高速介面智財，如：PCIe GenII (5Gb/s)，以提供高頻寬通道與主晶片進行資料傳輸 | 110 |
| 分項 C：AIM設計平台開發 ITRI | | |
| AIM軟硬體開發工具 ITRI |  | 109 |
| 駕駛監控引擎與模型設計  ITRI |  | 109 |
| 視訊語意分割引擎與模型 | * 基於深度學習-卷積神經網絡 U-shaped 架構，研發影像語義分割模型 (Semantic Segmentation Network U-HarDNet)，使其在NVIDIA GPU (250W) 上處理 1024x2048 影像能達到 Real-Time 水準 (30 fps)，同時於 Cityscapes benchmark 達 75% 以上的State-of-the-art準確度。 | 109 |
| * 技術引進之AIM U-HarDNet Engine能夠在單晶片上執行前述影像語義分割模型時量化誤差 < 2 % ，功耗 < 8W。 | 110 |
| AIM SoC 晶片設計與實現  CT | * 整合 RISC-V CPU、DMS 與分割引擎，運算能力可達2.1 TOPs @ 266MHz * 開發高頻寬高效能DMA、DRAM控制器，並整合讀寫各512-bit DRAM之設計，二、四通道內部記憶體頻寬可達68、136GB/s @ 266MHz | 109 |
| * ?? | 110 |
| 分項 D：AIM載具驗證 | | |
| 車規電路板平台軟硬體設計 | * 開發軟硬體平台，以DDRx標準介面，整合4核心Cortex A53與AIM DLA，移植NXP 32V Board Support Package。 | 109 |
| * AIM DLA介面軟體、驅動程式、異質核心溝通機制設計開發。 | 109 |
| 汽車安全應用後處理開發 | * 結合AIM DLA，開發深度估測、車道線偵測演算法，完成車道偏移與前方防撞警示功能，效能達30FPS。 | 109 |
| * 結合AIM DLA，開發駕駛者注意力、抽煙、看手機辨識演算法，完成駕駛者監控功能，效能達5FPS。 | 109 |
| * 開發車輛決策演算法，效能達 33ms。 | 110 |
| 載具實車驗證與產品系統測試 | * 基於車輛決策演算法，於S3 EV車款實現車輛控制。 * 完成AEB整車測試，於車速30Km/H條件下，無追撞行人、於車速40Km/H條件下，無追撞靜止車輛。 * 完成LKA整車測試，於車速30Km/H條件下，自動將車輛保持在偵測車道內，於車速30Km/H以上，主動反向控制方向盤，並通知駕駛介入。 * 完成DMS整車測試，於全速域條件下，提醒駕駛專注開車。 | 110 |

1. 國內外技術領先指標圖

本計畫各分項相關之國內外技術領先指標如表 2.4 所示。

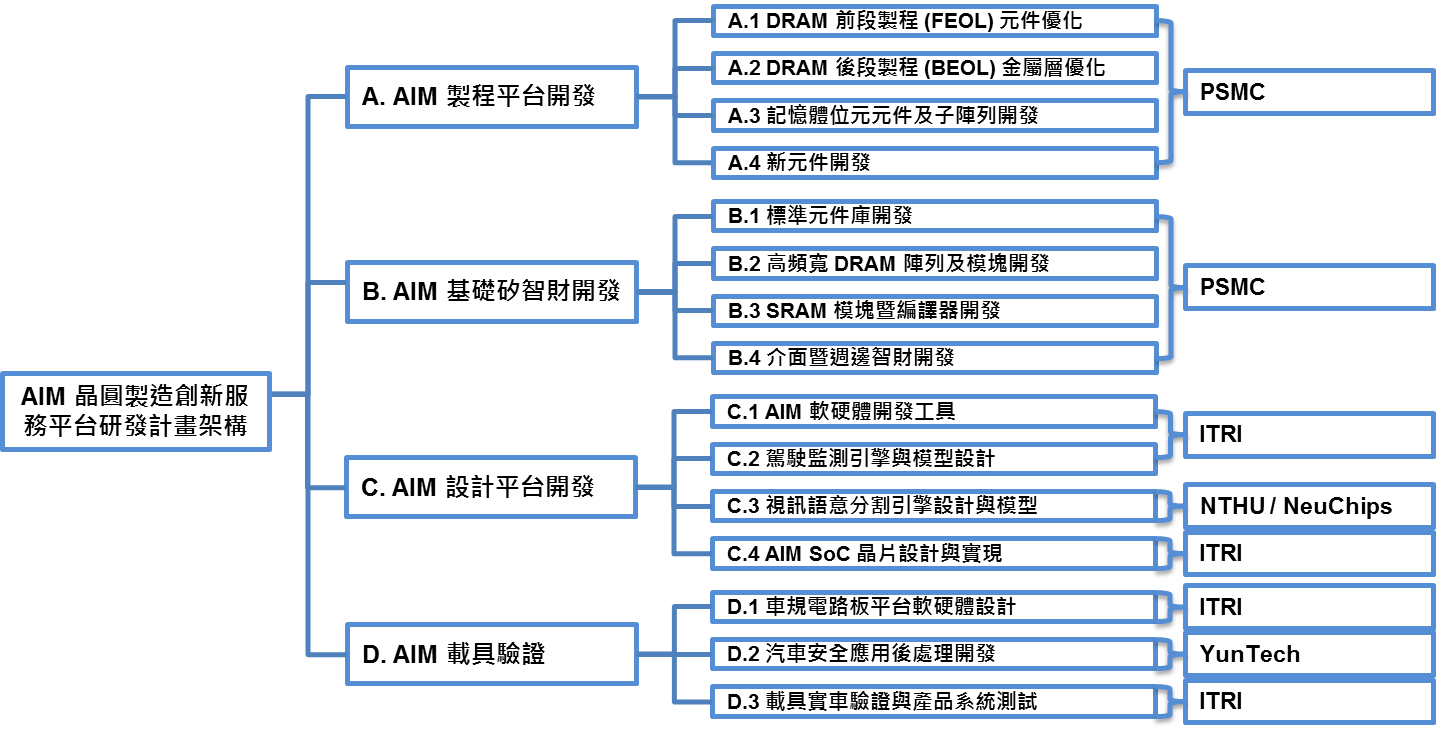
表2.4 國內外技術領先指標

| 發展項目 | 技術突破點與技術指標 (2021) | Benchmark |
| --- | --- | --- |
| 分項 A：AIM製程平台開發 | | |
| DRAM前段製程(FEOL)元件優化 | * 由於DRAM製程本質旨在降低漏電電流，但這也使得DRAM週邊電路電晶體驅動能力較弱。為達到如同一般邏輯製程般，符合較高頻操作需求，特此將電晶體效能提升。 * 低DRAM Cell佔比(<<40%)：對原本DRAM製程會產生不同負載效應，所以需開發新製程條件，以達成原有DRAM Cell 設計目標。 | * 較既有DRAM 2x/1xnm製程週邊電路電晶體，改善其驅動電流10%以上。 * DRAM 2x/1xnm製程標準產品，DRAM Cell佔比50%以上，邏輯電路占比較低。 |
| DRAM後段製程(BEOL)金屬層優化 | * 傳統DRAM製程為降低成本，僅採用三層金屬層完成電路佈線；且因DRAM陣列相對較為規律，金屬層線寬也無需太緊密。然而，針對邏輯設計，電路相對較為複雜，需要更多金屬層、更緊密線寬，以提供更多佈線資源，方能完成電路設計。所以計畫中將微縮現有金屬線寬，並新增兩層鋁製程，共五層鋁製程。 | * 相較既有DRAM 2xnm製程， Al金屬層由三層擴展至五層。金屬層線寬縮減15%。 |
| 記憶體位元元件及子陣列開發 | * 傳統DRAM電路設計中，僅少量採用SRAM，是以不會針對SRAM位元元件 (bit cell) 進行最佳化。然而於一般邏輯線路設計中，經常用SRAM作為資料緩衝，所以需將SRAM 位元元件微縮，以使電路面積較小、速度較快。 * 傳統DRAM電路設計中，以低成本而非寬頻為導向。因應寬頻應用需求，以及善用新增兩層金屬層佈線空間，重新設計DRAM子陣列 (sub array) 架構，做為未來模塊設計的基礎陣列單元。 | * 相較既有DRAM 2xnm製程中之SRAM，SRAM位元元件 (bit cell) 微縮40 %以上。 * 相較既有DRAM 2xnm製程中之DRAM子陣列 (sub array) 提供更多接口。 |
| 新元件開發 | * 在既有DRAM 2xnm製程上添加各式新元件，如：高阻值Poly、Native NMOS、eFuse IP (DRAM修補)、RF IP等，以因應不同邏輯電路需求和應用。 | * 在既有DRAM 2xnm製程中不具這些HiR Poly、Native NMOS、OTP IP、RF IP元件。 |
| 分項 B：AIM基礎矽智財開發 | | |
| 標準元件庫開發 | * 由於DRAM製程特性，元件驅動能力較弱，為達到一般邏輯製程般的運作效率，DRAM標準元件庫之設計較一般邏輯標準元件庫困難許多。因DRAM製程最底層之金屬層是鎢，鎢阻抗較一般邏輯製程高出許多，故於佈局方面也較邏輯製程複雜許多。 | * 由於業界並沒有以DRAM製程來從事邏輯產品代工，所以也無DRAM專屬標準元件庫。過去所謂嵌入式DRAM製程，也是於一般邏輯製程上設法開發DRAM元件。 |
| 高頻寬DRAM陣列及模塊開發 | * 本計畫之DRAM基礎陣列及模塊為因應高頻寛應用而設計(陣列輸出入寬度為2048位元，模塊頻寬為0.5Tbps)，頻寬較一般DRAM方案高出許多。 | * 本案DRAM矽智財設計，為業界首創，過去並無DRAM相關矽智財之範例。 |
| SRAM模塊及編譯器開發 | * DRAM製程之SRAM位元元件 (bit cell) 設計較一般邏輯製程不易達成，如同DRAM標準元件庫所遇到的挑戰，因底層金屬阻抗高，要達到晶片所要求之速度也較為困難。 | * 由於業界並沒有以DRAM製程來從事邏輯產品代工，所以也無專屬DRAM製程之SRAM模塊及編譯器。 |
| 介面及周邊智財開發 | * PCIe在一般邏輯製程平台屬於必備之高速介面智財，然考量DRAM製程平台之元件特殊性，設計也較為困難，速度不易達到新一代PCIe之規格(如：Gen3)。 | * PCIe規格與業界相容，為求得速度，面積預期會比業界相同規格大，但漏電會比業界同規格小。 |
| 分項 C：AIM設計平台開發 ITRI | | |
| AIM軟硬體開發工具  ITRI |  |  |
| 駕駛監控引擎與模型設計  ITRI |  |  |
| 視訊語意分割引擎與模型 | * 相較於現有影像語義分割模型，本計畫目標期能超越全球State-of-the-art，打造高速、高解析度、高準確度的U-HarDNet model * 本應用需高容量高頻寬On-Chip記憶體平台，才能達 Real-Time標準，本計畫所技術引進的U-HarDNet Engine善用AIM 平台所提供的高頻寬，並以低功耗、低誤差值，達 U-HarDNet model 的技術標準。 | 現存影像語義分割模型大都以 高解析度之Cityscapes benchmark 評估效能，其提供的 dataset 主要以城市街景為主，並使用intersection-over-union (IoU) 為衡量準確度指標。 |
| AIM SoC 晶片設計與實現 | * 整合 RISC-V CPU、DMS 與分割引擎，2.1 TOPs @ 266MHz運算能力，耗能1pj/b * 開發高頻寬高能效晶片架構，並整合2+4通道頻寬204 GB/s @ 266 MHz之記憶體 | Google TPU2採用HBM2記憶體，頻寬300 GB/s、耗能4pj/b |
| 分項 D：AIM載具驗證 AutoSys | | |
| 車規電路板平台軟硬體設計  AutoSys | 以DDRx標準介面，完成整合AIM SoC。 | NXP公板平台人工智慧效能表現。 |
| 汽車安全應用後處理開發  AutoSys | 開發低複雜度之演算法，設計適合結合 AIM 晶片之實現架構，達到高效能低成本 | S32V SoC性價比表現 |
| 載具實車驗證與產品系統測試  AutoSys | 自主化感知、決策、控制之主動式ADAS次系統整合測試 | * 日本JADA之商用車DMS功能規範 * 台灣商用車AEB規格 |

三、實施方式

1. 計畫架構

本計畫「AIM 晶圓製造創新服務平台研發計畫」整體計畫規劃 4 大分項與 15子項，整體計畫架構與分工如圖 2.9所示。

圖2.9 計畫架構與分工

1. 具體實施策略與方式
2. AIM 製程平台開發

• **引言**

近年來人工智慧(Artificial Intelligence, AI)應用層出不窮，帶動大數據(Big Data)分析、雲端運算(Cloud Computing)服務及物聯網(Internet of Things, IoT)的科技升級，快速滲透到金融、零售、醫療、交通、保全、娛樂及製造等各式各樣產業。但是，迎接AI時代來臨，具備完善的大數據分析、雲端服務及資料運算平台，似乎不足以展現在AI領域的最大綜效，另一項融合新科技的創新能量─「邊際運算(Edge Computing)」已經悄悄在蔓延發燒。

隨著晶片能力的提升，邊緣運算平台變至成熟，開始可賦予現場端裝置、閘道器擁有較為初階的AI能力，數據資料能在Edge端便進行更快的篩選、分類、彙整及分析，並且利用這些數據資料來不斷修正與優化模型。於此，意味著不上雲端、在斷網的情況下，裝置還是能做到圖像識別、自然語言處理、語音驗證、將語音轉換成文字、對應複雜資訊和資料做出智慧建議等AI工作。得以讓智慧音箱、無人機、無人車、機器人等創新應用，能做到更快速的反應。為了能達成上面所述邊際運算的目標，In Memory Computing (IMC)成為晶片能力提升主要的設計組成概念 - 將資料存放在記憶體中以加快處理的速度、透過壓縮技術減少資料量、減少資料的移動，僅搬移運算後的結果，而非搬移資料去運算、利用多核心的處理器，提高處理效率。

IMC晶片製作可透過embedded memory製程或先進封裝技術達成，相比之下，前者提供一個成本較低且效能合理之選擇。至於記憶體，DRAM在單位成本及存取速度之合併考量下，相對優於SRAM與FLASH (見圖2.10a)。基於以上考量，本專案之AIM製程平台開發乃以25nm DRAM前段製程技術為基礎，維持DRAM基本性能，提升周邊電晶體的驅動電流、新增元件(如低壓介面用的Native NMOS、高阻值正溫度係數的Poly-Si、RF及OTP IPs等)，並支援5層Metal、記憶體位元單元及子陣列 (SRAM & DRAM bit cell & Macro)以相容於邏輯電路/系統之需求，整合而成Hybrid embedded DRAM製程技術(如圖2.10b所示)，作為IMC晶片之設計開發平台，以提供AI相關應用。



圖2.10a、DRAM, SRAM and Flash比較

(資料來源： The introduction of Memory Devices by 李明道, Nano Communication Vol. 22, No. 4)

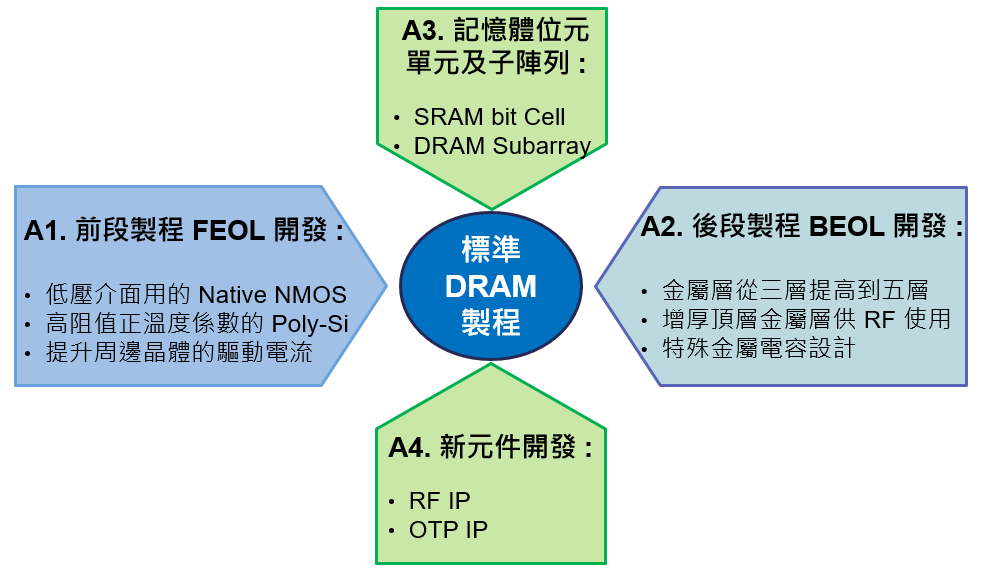


圖2.10b AIM製程平台之基本結構

• **技術挑戰**

首先，相較於Logic base技術方案，DRAM base的技術具製程單純、記憶單元小、低漏電等優點[1]；但將Logic電路整合於DRAM base製程，array density會因Logic 面積增加而減小，進而延伸出製程問題，影響到IC功能及良率。如何克服或改善這些延伸出的製程問題，將是本平台開發的一大挑戰。

[1]. Embedded DRAM Technologies : Comparisons and Design Tradeoffs, by Chung S. Wang, TSMC article for EDN

接著，BEOL的金屬層較少，電路繞線相對地佔用較大的面積，致使小記憶單元的好處無法全部展現。本案提供(Layout Rule) pitch較小之5層金屬層結構，取代原3層金屬層結構，以呼應Logic電路設計的需求。但如何同時滿足製程及電性需求是另一挑戰。除此之外，目前DRAM之雷射修補電路設計在M1層，將來使用5層金屬層結構會因金屬層厚度增加而延伸出DRAM修補(cell repair)問題，這也是必需克服的一個難題。

再者，DRAM週邊元件因其高溫製程及低漏電的條件需求，元件無法提供像Logic base一樣的驅動電流，致使IC之速度功能表現較差。所以，如何提升DRAM週邊元件驅動電流也是本案執行重點；最後，DRAM代工平台沒有cell library、SRAM/DRAM macros & compilers、efuse等IPs，需要從頭設計及驗證；同時，因為IP的設計需求，必需增加新的元件(e.g. poly resistor, native NMOS, MIM and RF components)，並經此製程產生，而不能影響原本DRAM的功能表現。因此，如何產出符合設計需求規格的新元件，也是重要的工作。

**解決方式**

對於解決方案，則陳述如下。

解決Array density (or DRAM陣列佔晶片比例)降低延生的製程問題

依過往實驗結果及FMEA分析，AD降低會造晶圓環境變異而延生製程問題。這問題，特別好發於Thin Film，ETCH及CMP等模組站點。綜合而言，解決方案分為製程的調整及進階機台的使用，並陳述如下。

(1). Design rule (DR)及OPC調整與最佳化

(2). 爐管製程調整與控制

(3). 蝕刻製程調整與控制

(4). 化學機械平坦化製程調整與控制

(5). 強化模擬軟體運用，縮短研發時間及費用

BEOL的金屬層問題(本案提供5層金屬層，取代原3層金屬層)。

首先，Layout Rule之pitch較小，以呼應Logic的需求，所以OPC調整及最佳化是必要過程。再者，電性因製程而變異，但為維持DRAM基本功能，BEOL的製程條件調整需與晶片設計需求整合考量。因此採取以下手段做確認：

(1). 設計測試鍵以確認design rule及可靠度(如IMD之Breakdown、EM、SM等)。

(2). 與晶片設計者合作最佳化晶片面積及RC延遲。

除此之外，5層金屬層結構會因金屬層厚度增加而延伸出DRAM修補問題則提議以下列方案解決：

(1). 設計並驗證Laser Fuse電路於M3層。

(2). 委外設計efuse IP並驗證於本製程技術中。

提升DRAM週邊元件驅動電流

DRAM週邊元件驅動電流的改善分下列幾個方案著手，

(1). 閘極工程 - 降低oxide的厚度並調整沿通道的雜質濃度(e.g. channel, LDD and/or pocket I/I)，使驅動電流提升且漏電可得控制，並符合TDDB、BTI及HCI等可靠度規範。

(2). 降低接觸電阻，由於DRAM retention的限制，常用於Logic的salicide製程，無法完全應用在DRAM製程中。因此，接觸電阻的改善則著眼在形成局部salicide contact及提升接觸面積的(e.g. square contact 轉變為 slot contact)。另外，S/D雜質濃度的提升對降低接觸電阻亦有幫助。

DRAM代工平台IPs，則委外設計開發，詳細陳述於 section B－AIM 基礎矽智財開發。至於RF IP設計需求之新元件，則是以增加光罩、離子佈植及/或變更金屬層製程(MIM電容)、厚度(Inductor)，經原製程產生，而不去影響DRAM的原本功能表現。並配合以下手段來達成：

(1). 設計測試鍵以確認符合需求規範及可靠度。

(2). 改善軟/硬體基礎建置 for RF 元件量測、模型製作。

(3). 透過廠商或學術機構咨詢合作加速進度。

基於以上陳述，我們將本案可能之挑戰及解決方式整理如下表(表2.5)：

然而，欲達成AIM製程平台開發之規劃，仍有些技術門檻之挑戰必須突破 (如表 2.5 所示)，因此，本分項計畫規劃DRAM前段製程(FEOL)元件優化、DRAM後段製程(BEOL)金屬層優化、記憶體位元元件及子陣列開發與新元件開發等四大解決方案，以克服Array density (or DRAM陣列佔晶片比例) 降低延生的製程問題、BEOL金屬層不足的問題及DRAM週邊元件驅動電流等問題，具體作法簡述如下：

表2.5 AIM製程平台開發之挑戰與解決方案

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

A.1 DRAM前段製程 (FEOL)元件優化

DRAM前段製程 (FEOL) 元件優化的重點在於週邊線路電晶體驅動能力之強化，以及解決低DRAM陣列比例形成的負載效應問題，週邊線路電晶體驅動電流的改善可分下列兩個方案著手：閘極工程與降低接觸電阻。

A.1.1 閘極工程

在製程中，降低閘極氧化層厚度強化閘極對通道的調控，以克服短通道效應。但PMOS閘極多晶矽需使用硼作為摻雜物，當閘極絕緣層厚度降低，易產生硼穿過氧化層/矽介面，進入基材而產生臨界電壓偏移現象。為解以上問題，文獻上及/或實用上是在形成閘極氧化層後採用氮化製程，來抑制P+ Poly內的摻雜硼原子對閘極氧化層的穿透與擴散至基底。然而，薄化的閘極氧化層加上氮化製程之高溫，在氮濃度增加時，因氮原子仍有機會擴散到SiO2/Si介面，導致元件特性退化以及衍生的元件可靠度壽命問題，如TDDB及NBTI壽命降低。

本案使用先進之電漿氮化製程(RPN)，擁有低溫，高氮化濃度以及高生產力等優點，希望藉氮濃度提升而降低閘極氧化層厚度，並排除硼穿透產生之臨界電壓偏移以及氮原子擴散 (到SiO2/Si介面) 造成之可靠度壽命問題。實際操作上，因閘極氧化層厚度依氮濃度而變化，所以需經由氧化層氮濃度分割實驗獲得其相關趨勢，經電性分析及驗證(VBD、IOFF、TDDB及NBTI)，調整而得最佳化條件。此外，調整離子植入條件以符合原DRAM需求是必要的(如VTH及IOFF)。

另一方面，S/D雜質濃度的提升對降低接觸電阻亦有幫助。最後，透過乾蝕刻方法調整閘極側面形狀，從現行角度(稍反”T形”)調整成較為垂直形狀(88 degree expected)，亦是本案評估提升驅動電流方案之一。

於此，我們先預定閘極氧化層厚度降低在10~15%之間，配合離子植入調整，S/D雜質濃度的提升，及/或閘極側面形狀調整，元件之驅動電流應可增加7~8%。

A.1.2 降低接觸電阻

DRAM的接觸電阻通常是Logic的數倍到數十倍，其原因是logic使用的salicide製程無法複製於DRAM製程中，因為形成salicide的金屬原子，很容易擴散而影響DRAM的retention，造成可靠性問題，因此，DRAM使用一種localized salicide製程結構 (如圖2.11所示)，然而，這種區域性salicide，因current crowding效應而無法達到Logic那般低的電阻，因此，本計畫提出下列作法以改善接觸電阻，以slot contact 取代square contact (如圖2.11(c)所示)，增加接觸面積，減緩current crowding效應以降低阻值，如此的變化，挑戰在於重新設定、驗證設計規則(design rule)，並重新定義OPC，以符合電路設計者任意尺寸元件之使用，本計畫設計規則設定之基本需求是接觸面積佔比，WCON/WSD >= 70% (WCON是接觸電阻的總寬度；而WSD是S/D AA寬度)，接著必需先設計新的測試鍵，經由製程及電性測試來確認，此項改善，預期降低接觸接電阻抗15%以上(Salicide on Source/Drain)，使驅動電流可提升約3~5%。

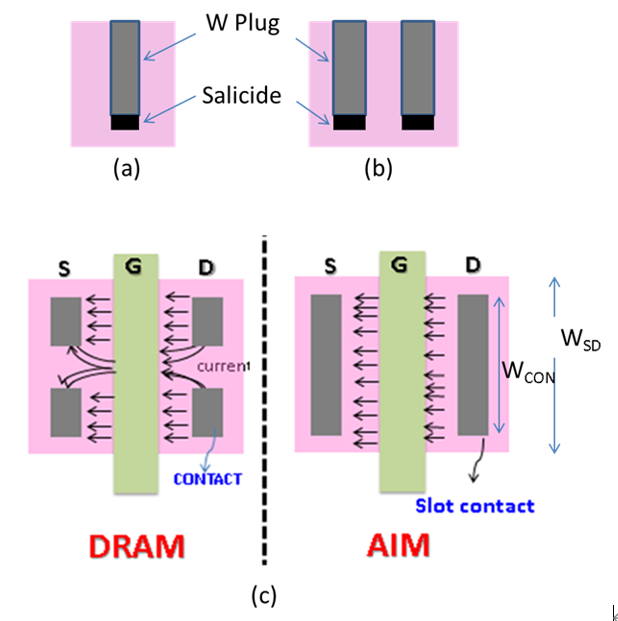


圖2.11 (a) 接觸電阻x-方向剖面圖 (b)接觸電阻y-方向剖面圖

(c) 本計畫之解決方法與原DRAM結構之比較。

另一方面，針對微縮目前SRAM cell 40%以上，以提供更微小的電路面積方面：目前SRAM cell部份是用週邊電路的製程最小規定 (mini. rule) 來實現。如圖2.12所示，實踐微縮版的部分是採用DRAM array 區的製程最小規定，可分垂直方向(X-direction) 以及水平方向 (Y-direction) 來進行微縮，垂直方向部分主要採用縮短contact到電晶體閘極的距離，其他相關rule也需要微調整,使得整體垂直方向的主動區的長度可以微縮進20% ；而水平方向主要是利用array 區的well isolation的製程最小規定來設計以及較小的電晶體channel width來微縮20%。

根據上述，本計畫在 DRAM前段製程 (FEOL)元件優化設計技術之規劃，具有下述各項特點：

* 強化周邊線路電晶體的驅動能力
* 透過在閘極工程改善及接觸電阻阻接，計畫改善元件驅動電流 10% 以上，以強化AI應用之需求。

一張含有 物件 的圖片

自動產生的描述一張含有 物件 的圖片

自動產生的描述

1. (b)

圖2.12 (a) x-方向：縮短contact到電晶體到閘極間之距離

(b) 利用array 區的well isolation 的志成最小

A.2 DRAM後段製程(BEOL) 金屬層優化

如圖2.13所示，本案提供一種五層金屬層結構，以滿足Logic的設計需求。如圖中，第一層金屬層M1，邏輯電路通常拿它當元件間局部連接(local interconnect)使用，需要更小的線寬。第二、三層金屬層M2及M3，則用於満足邏輯電路高積集化需求。第四層金屬層M4，除與M2/M3一樣的功能外，它也是形成MIM電容的底電層。第五層金屬層TM，有兩種厚度製程(1um和2.4um)，分別提供一般電路及RF電感之製作需求。另外，本結構於M4及TM之間，增加一光罩定義產生MIM電容，提供邏輯電路使用。

目前，先以公司內可能可以使用的後段製程，進行評估。依據其結構(線寛、IMD厚度、金屬厚度等)、設計規則及電性等特性，配合可能的製程變化需求，經由模擬及/或計算的資料比對，選擇出適合的後段製程。當然，選定的後段製程需要經由實際的晶圓製程來確認。

依據以上程序，相對於原DRAM製程，M1線寬微縮15%，而M2~M4線寬微縮 ~22%。未來在TEG中，經由製作過程，測試鍵設計可以用以確定是否符合以上之設定。

另外，製程中OPC的修正是重要的，尤其是M1層將使用ArF dry Photo機台至為重要。再者，後段製程RC的重新校正，對維持DRAM功能是必需的。最後，此5層金屬層結構因金屬層厚度增加而延伸出DRAM修補問題則有以下列方案解決：

(1). 設計並驗證Laser Fuse電路於M3層 (已排定、設計中)。

(2). 委外設計efuse IP並驗證於本製程技術中(建議使用eMemory OTP IP，已於其他DRAM製程驗證中；製程技術不同需重新設計、驗證。)

縱觀上述，本計畫在 DRAM後段製程 (BEOL) 金屬層優化設計技術之規劃，具有下述各項特點：

* 導入五層鋁金屬程製程，以增加邏輯佈局效率
* 透過鋁金層導線線寬微縮 15%以上，能維持 DRAM 功能，並滿足AIM邏輯電路高密度及高積集化的需求
* 在 M4 和 TM 間增加一光罩定義產生 MIM 電容; 並透 TM 厚度的調整，建立相關電感元件，將藍芽功能整合到 AIM 產品

小結

綜觀上述之規劃，本計畫後段製程(BEOL)金屬層優化具有下述之特性：

. 標準 25nm DRAM僅三層金屬層，導入五層鋁金屬程製程增加邏輯佈局效率。

. 透過鋁金層導線線寬微縮15%以上，能維持DRAM功能，並滿足AIM邏輯電路高密度及高積集化的需求。

. 在M4和TM間增加一光罩定義產生MIM電容; 並透TM厚度的調整，建立相關電感元件，將藍芽功能整合到AIM產品。

一張含有 文字 的圖片

自動產生的描述

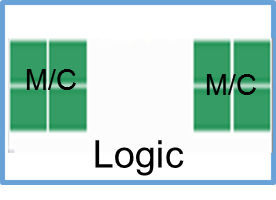
圖2.13 本計畫所規畫之五層金屬層結構

A.3 記憶體位元元件及子陣列開發 (PSMC)

* AIM產品會具有較現有25nm DRAM產品密度較低陣列比特性(e.g. AD <40%, DRAM>50%)，在DRAM記憶體元件製程上容易形成負載效應， (1)薄膜/爐管化學氣相沈積，受到低陣列比影響，導致膜厚出現偏差；(2) 蝕刻因DRAM記憶體元件面積小導致製程端點偵訊(EPD)訊號偏小，造成蝕刻製程無法有效控制蝕刻量，形成圖案蝕刻異常(e.g. 如memory cell active area damage); (3)化學機械研磨(CMP)在logic 區因嚴重碟盤效應(dish effect)，導致BEOL金屬層黃光圖形定義異常。
* 在AIM產品中，針對薄膜/爐管化學氣相沈積製程調整與控製。
* 在AIM產品中之DRAM元件區需使用新的蝕刻製程或進階機台來調整與控制，藉以達到25nm DRAM Memory Cell設計規格，同時也滿足在週邊元件圖案大小及避免切割道上黃光對準圖案產生異常。
* 在AIM產品中之化學機械平坦化，透過前製程的調整改善，讓化學機研磨於logic 區之碟盤效應最小化，因而改善後段金屬層之平坦度，使得後段金屬層可以被有效定義。
* 因應邏輯線路設計中，需要大量各式大小 SRAM 模塊。需將 SRAM 位元元件專屬設計與佈局連線，以求於不同大小、速度、能耗的需求條件下，達成最佳設計。
* 因應周邊元件驅動能力之提昇與改善，子陣列 (SA 與 SWD) 需要調整設計或增加少數光罩做單獨隔離製程調整.
* 五層鋁製程導入，DRAM子陣列需重新設計及佈局連線，重新整合開發設計套件 (Design rules 微縮、 OPC、 Auto-Generation)

小結

綜觀上述之規劃，本計畫具有下述之特性：優化現有25nm DRAM 前段製程技術，改善負載效應所造成之影響，並搭配發展 SRAM 位元元件及 DRAM 子陣列，以作為AIM 設計平台發展基礎。



低Array density (AD) 示意圖

A.3記憶體位元元件及子陣列開發

因應邏輯線路設計中，需要大量各式大小 SRAM 記憶體模塊，因此，需將 SRAM 位元元件專屬設計與佈局連線，以求於不同大小、速度、能耗的需求條件下，達成最佳設計，另一方面，因應周邊元件驅動能力之提昇與改善，子陣列 (SA 與 SWD) 需要調整設計或增加少數光罩做單獨隔離製程調整；

五層鋁製程導入，DRAM子陣列需重新設計及佈局連線，重新開發設計套件 (Design rules 微縮、 OPC、 Auto-Generation) ???

小結

綜觀上述之規劃，本計畫具有下述之特性：依現有技術 25nm DRAM 製程發展 SRAM 位元元件及 DRAM 子陣列，以作為AIM 設計平台發展基礎

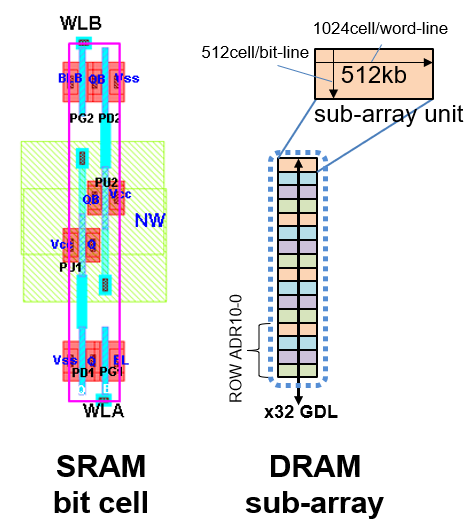


圖2.16 ??

A.4 新元件開發 (PSMC)

一張含有 螢幕擷取畫面 的圖片

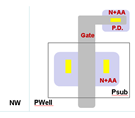
自動產生的描述

圖2.17 ??

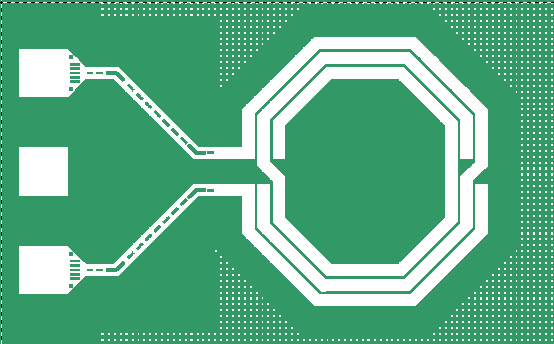
* **RF** AA Difussion uniformality positive sensitive to temporatureexpect to negative coefficient定義高阻抗Poly(500ohm/sq 以上):在DRAM位元線(Bit-line)和週邊電路邏輯閘圖案形成前,透過一光罩設計和黃光定義一區域，透過乾蝕刻將此區域上方金層移除後留下高阻抗poly，接續在下一道光罩中同時定義DRAM位元線和週邊電路邏輯閘和不同線寬(阻抗)之高阻抗poly。



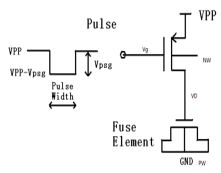
* Native NMOS(Vth~0V): 在p-Sub上定義主動元件區，接續定義閘極，確認源/汲極離子植入條件，量測NMOS特性，以滿足AIM邏輯電路的需求和應用。
* Amplifier Vt low turn-on very fast amplify very multiple I/o switching fast.



* 開發RF IP以滿足AIM邏輯電路的在藍芽功能的需求和應用。
* Top thick metal inductance model



* 開發OTP(efuse) IP以满足在五層金屬層DRAM Cell的備用修補需求.



1. AIM 基礎矽智財開發

AIM 基礎矽智財開發主要目的在於AIM平台上，提供邏輯線路設計所需各式基礎矽智財元件，目前DRAM原生製程上，欠缺完整矽智財可供邏輯線路設計使用，欲使其成為AIM代工平台，以從事各式邏輯線路設計，本計畫將進行相關基礎矽智財的開發 (圖2.18所示)，如：提供邏輯電路基礎單元之標準元件庫、提供高頻記憶體模塊之DRAM陣列、提供邏輯電路緩衝器之SRAM陣列及提供與晶片外部進行資料傳輸之週邊及介面IP等。

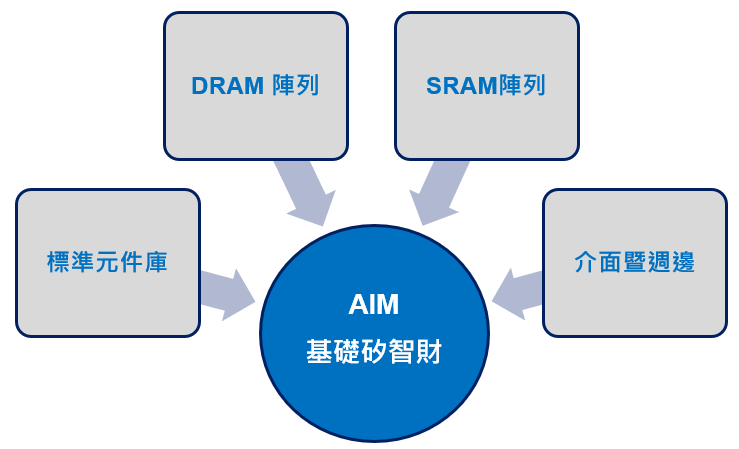


圖2.18 AIM基礎矽智財開發規畫

因應AIM基礎矽智財開發所面臨的技術門檻挑戰及其相對應的解決方式 (如表 2.6 所示)，本分項計畫規劃：標準元件庫開發、高頻寬 DRAM 陣列及模塊開發、SRAM模塊暨編譯器開發及介面暨週邊智財開發等四大子項，具體作法簡述如下：

表2.6 AIM製程平台開發之挑戰與解決方案

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

B.1 標準元件庫開發

標準元件庫(Standard Cell Library)是邏輯電路設計基礎單元，其中包含了如AND閘及OR閘等邏輯運算基礎單元，或是 Flip-Flop、Latch 等記憶基礎單元，一般Standard Cell可因其驅動能力或速度要求不同，會有不同高度，高度以可通過金屬線(Track)之數目來描述，Standard Cell高度越高，可通過金屬線越多，Standard Cell的驅動力也就越高、速度也越快，但所需容納單元面積也越大，以圖2.19為例，十個track的驅動能力要比八個track元件驅動力較為強，可提昇邏輯設計的速度。因DRAM製程先天特性，其電晶體驅動力相對較弱，因此，本子項計畫進行標準元件庫開發時，採用十二 個track高金屬線數設計，藉以增強邏輯單元驅動能力，以達到本計畫目標應用之速度要求。

補充 ??

綜觀上述之規劃，本子項計畫DRAM製程標準元件庫，具有下述之特性：

* 完全相容於原生DRAM製程
* 以較大單元面積來取得單元速度

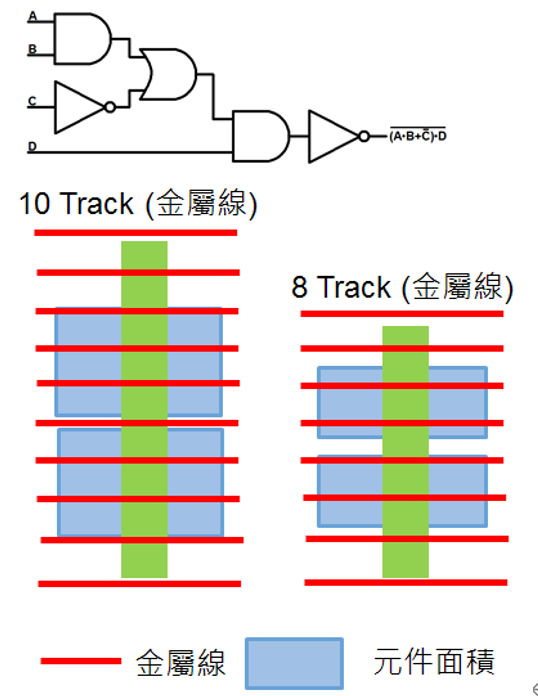


圖2.19 AIM基礎矽智財開發規劃

B.2 高頻寬 DRAM 陣列及模塊開發

傳統DRAM應用中，DRAM接口往往受限，大多為16、32位元或最多1,024位元，然而，在深度神經網路應用運行時，需要處理大量資料，而上述有限接口，往往成為系統瓶頸，阻礙邏輯運算線路運行效率，因此，本子項計畫旨在開發專屬DRAM基礎陣列單元 (Basic Array Unit)，每一DRAM基礎陣列單元大小為8Mb，輸出為32位元，於實際應用中，可依不同應用頻寬需求，將DRAM基礎陣列單元橫向並聯，組成具有超寬接口的 DRAM 模塊，如圖2.20所示，本計畫應用中，規劃特組成具有4,096位元的超寬接口DRAM 模塊，如此方可持續供給資料流(2Tbps)給人工智慧引擎，以維持引擎高檔運行效率 (utilization rate)。

補充 ??

綜觀上述之規劃，本計畫DRAM基礎陣列及模塊之開發，具有下述之特性：

* 具有高頻寬資料傳輸之能力
* 可與邏輯線路設計充分結合，供人工智慧引擎於晶片內



圖2.20 高頻寬 DRAM 陣列及模塊開發規劃

B.3 SRAM模塊暨編譯器開發

邏輯線路設計中，需要各式大小SRAM陣列以作為邏輯電路中資料緩衝之用，本計畫中，除根據計畫中之引擎設計需求，提供不同之SRAM陣列外，也並行開發SRAM Compiler，以滿足未來各式SRAM陣列規格需求，所以於計畫初期，會先以SRAM模塊設計並進行晶片驗証，經再校正後，會進行編譯器的植入。

補充 ??

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.21 ??

綜觀上述之規劃，本子項計畫SRAM於編譯器支持依據不同字節與位元組合，生成各式SRAM 陣列 IP 實例，並提供於 SOC 設計中，可針對速度、能耗、成本等因素，靈活優化設計

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.22 ??

B.4 介面暨週邊智財開發

因應邏輯晶片設計，需要相關週邊智財以作為晶片與晶片間之傳輸橋梁，如 I2C、SPI 、 UART 等相關智財，本子項計畫之週邊智財乃依據業界標準規格進行建立，並於透過相關測試軟體，於計畫中之晶片設計進行驗証，另外本子項計畫也會進行I/O buffer之關發，給相關SOC晶片之設計使用。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.23 ??

另外為應付更高頻寬需求，需由高速介面負責AIM晶片與系統主晶片間之傳輸。考慮製程相容性與元件特性，本子項計畫評PCIe GenII (5 Gb/s) 為高頻介面智財選項，開發時考量應用高頻寬需求，可採16頻道設計，如此整體頻寬將可達80Gbps。

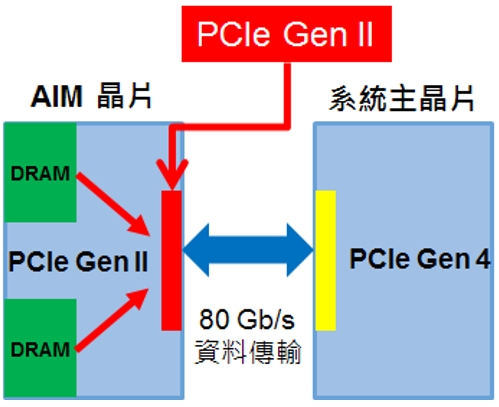


圖2.24 ??

綜觀上述之規劃，計畫規劃之介面暨週邊智財開發，具有下述之特性：

* 提供多樣性週邊矽智財，以供AIM晶片對外溝通之用
* 在特定高速應用中，PCIe高速介面可為人工智慧引擎提供80Gbps之頻寬介面，以維持晶片之高效率運作

1. AIM 設計平台開發

2012年所提出的AlexNet 演算法因大幅提升了圖形辨識準確度而並開啟了人工智慧的浪潮，導致VGG16、ResNet、GoogleNet等相關的演算法如雨後春筍冒出，圖2.25所示為不同DNN網路的TOP 1 準確度(Accuracy)、運算量(Operation)與參數量之比較圖，由圖2.25可以得知：AlexNet網路的TOP 1 準確度為57.1%，所需要的參數量為60 M，NASNet-A-Large 網路的TOP 1 準確度則可可達到82.7%，所需要之參數量與運算量分別高達為88.9 M與23.8 G-FLOPs；雖然，NASNet-A-Large網路的TOP 1 準確度遠優於AlexNet網路並高達25.6%，但卻付出了大量的運算量與參數量才得到的，因此，為了加速提升需大量運算之DNN網路的運算速度與效率，如TPU 人工智慧加速器般的油然而生，然而，以往在設計硬體時通常有明確的規格與介面，但在這一波人工智慧的發展中，軟體系統應用與DNN網路的演進非常迅速，因此，若想研發真正具高度AI運算效率的人工智慧加速器，必須由應用的角度切入來解決問題，另外，人工智慧之運用範疇非常廣泛，從計算量需求較小的物聯網 (Internet of Things, IoT）到計算量較大的自動駕駛，其運算量差異可以非常大，因此，設計不同應用需求之人工智慧加速處理器，並以高效能與低耗能為目標，便是非常挑戰的設計。有鑑於此本計畫在AIM 設計平台開發分項計畫中，規劃：AIM 軟硬體開發工具、駕駛監測 (DMS) 引擎神經網路模型與RTL設計、視訊語意分割引擎及AIM SoC 晶片設計與實現等四大方案 (如圖2.25所示)，建立AIM SoC設計自動化工具，發展AI軟硬協同設計優化流程並實現AIM晶片快速開發，以解決AIM 設計平台開發之技術挑戰 (如表2.7所示)

一張含有 地圖 的圖片

自動產生的描述

圖2.25 AIM 設計平台開發規劃

表2.7 AIM製程平台開發之挑戰與解決方案

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

C.1 AIM 軟硬體開發工具

為了加速AIM 晶片之設計，『AIM軟硬體開發工具』子項將開發AIM 晶片架構設計自動化與全系統軟硬整合驗證軟體平台，以期能快速找出最妥適之AIM晶片硬體組態並建立多位元高精確度之模型量化部署技術與軟體工具鏈，包含：

* AIM架構性能評估工具，以提供硬體設計者針對AIM硬體架構在不同NN演算法與DRAM記憶體頻寬和硬體運算單元個數等不同硬體參數下之系統效能評估 (如圖2.26所示)。補充具體作法 ??
* AIM功能模型驗證軟體平台，以提供硬體設計者與軟體開發者協同開發環境並協助硬體開發者在RTL驗證時提供驗證資料 (如圖2.26所示)。補充具體作法 ??

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.26 AIM 架構設計工具與驗證軟體平台

* AIM 晶片硬體開發Hardware-aware Quantization Re-Training (HQRT) 模型量化技術 (如圖2.27所示)。補充具體作法 ??
* AIM 晶片硬體開發相對應之軟體工具鏈 (如圖2.2所示)。補充具體作法 ??

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.27 HQRT 模型量化技術與其軟體工具鍊

綜觀上述之規劃，本計畫『AIM軟硬體開發工具』子項之規劃作法，具有下述之特性：

* 相較於傳統虛擬平台模擬分析，針對AIM架構中AI加速器之效能分析速度可加速達100X
* 相較於傳統之Re-Training Quantization技術， HQRT技術將AI加速器之硬體特性考慮進Re-Training Quantization內，以提高Quantization後之DNN模型在硬體上執行之準確度。

C.2 駕駛監測 (DMS) 引擎神經網路模型與RTL設計

C.3 視訊語意分割引擎

如圖2.28所示，『視訊語義分割引擎與模型』子項將規劃完成視訊語義分割神經網路模型U-HarDNet 設計，及技術引進之AIM U-HarDNet 引擎，以確保能在單晶片上執行視訊語義分割模型時，達到低功耗、低誤差範圍視訊語義分割軟體模型之技術標準。補充說明 HarDNet ??

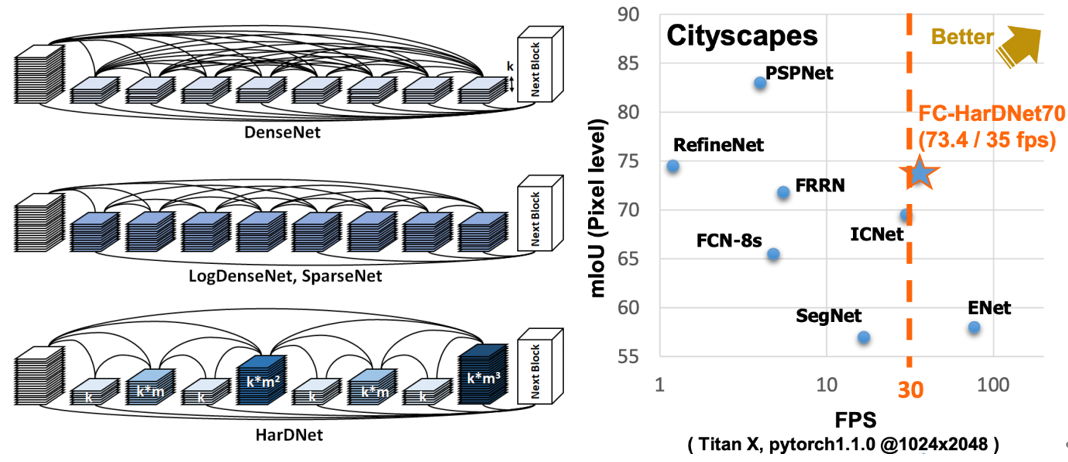


圖2.28 HarDNet-Based 高性能類神經網路設計

如圖2.29所示，本子項計畫所規劃的視訊語義分割神經網路模型 U-HarDNet，期能以Real-Time速度處理高解析度影像(1024x2048)之語義分割應用 (Semantic Segmentation)，為達成此目標初期工作為瞭解此領域的 State-of-the-art ，透過文獻探討協助構思模型設計與優化方向，再以清大團隊在ICCV’19提出的HarDNet CNN 骨幹模型為基礎，打造適合硬體實現的語義分割模型，其設計上需全盤考量模型大小、所需運算量與DRAM 存取量，藉由模型中調整Layers、Width、Depth與連接方式，尋求高準確度，以突破現存技術，U-HarDNet模型也將與硬體結構一同設計，調整為對於硬體平台友善，藉此調高 U-HarDNet Engine 中運算陣列於不同工作 (7x7, 5x5, 3x3, 1x1, etc) 之Utilization，同時需分析模型內的參數分佈，藉此探討 reduced bitwidth 議題，以減少 U-HarDNet Engine 所需資源與功耗，並提高運算速度，模型將使用國研院國網中心 TWCC GPU設備，以 Cityscapes dataset 進行模型訓練，其提供 5,000 張街景圖，2,975張為 Training set，500張提供為Validation set，1,525 張則為 Testing set，並以衡量標準 (Mean IoU) 評估效能與優化效果。

一張含有 文字 的圖片

自動產生的描述

圖2.29 U-HarDNet視訊語義分割神經網路模型

綜觀上述之規劃，本子項『視訊語義分割引擎與模型』包括U-HarDNet 神經網路模型與U-HarDNet硬體引擎，定位於視訊語意分割應用，並以高解析度 1024x2048影像達Real-Time 30 fps為目標，打造低功耗 U-HarDNet 引擎，同時其設計能體現 AIM DRAM Macro 優勢於高解析度影像應用之影響與重要性。

C.4 AIM SoC 晶片設計與實現

本計畫在『AIM SoC晶片設計與實現』子項上肢規劃，將完成內嵌 AI 加速器之 AIM 單晶片開發，預計將整合對人臉辨識等圖像應用高度優化的駕駛監測系統 (DMS，Driver Monitor System) 引擎及物件與語義分割 (Instance and Sematic Segmentation) 引擎，對於汽車安全監測助理等應用中，能提供不同類型應用的運算能力，以確保即時運算、同時與多工、節能省電、高效率與高正確性；如圖2.30所示，為了達成上述既定規劃目標於一身的晶片，本子項將進行包括外部介面與緩衝、多引擎核心、晶片內部匯流排、數據流排程器與直接存取、與數據存取方式優化的高頻寬DRAM記憶體控制器、核心主控中央處理單元、相關測試介面與電路等智財整合開發與驗證測試，並以力積電DRAM 25nm 製程技術進行DRAM cell 並同時嵌入邏輯電路與晶片開發設計。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.30 AIM SoC 晶片設計架構

圖2.30 AIM SoC之架構設計中，在外部介面與緩衝方面，外部將界接如恩智浦 NXP 公司的 S32V234 作為汽車安全相關應用的主控 CPU，因此，與其溝通介面將為標準的 DDR DRAM 介面，對主控 CPU 而言，它所看到的是一塊記憶體位置，並以標準的 DDR DRAM 進行存取與控制，這可加速未來推廣並可簡化與之溝通通訊協定，甚至未來將以標準 DDR DRAM 顆粒推出，設計初期將以 32-bit LPDDR2/DDR3/DDR3L 為目標；在DDR DRAM時脈 533 MHz 下，資料傳輸率最高為 1066 MT/s，約為 4.3 GB/s，以圖像的應用而言約可以傳收每秒 514 張 FHD 圖像或影片(1066M\*4/1920/1080/4=0.514K)，其中每圖元以 4-Byte 表示；另一方面，晶片內部整合核心主控中央處理單元 RISC-V 與相關測試介面與電路等智財，能針對不同應用與測試進行相關彈性且高效能的運作。控制匯流排為 APB 32-bit，提供RISC-V 控制與設定不同智財之用。

為了不同領域應用訴求的高效能運算能力，本子項計畫所規劃的AIM SoC晶片將整合 DMS 與圖像分割雙核心引擎，可以在同一時間執行多種圖像辨識偵測分類分割應用，其中DMS與分割引擎各提供約1000與3000個運算單元，在引擎時脈266下，可提供2.1 TOPs運算能力，不同應用資料或操作命令將分流至各應用處理單元，在 DDR DRAM 介面處將設計基於循環定址與絕對定址的嵌入式 SRAM 與暫存檔 (register file) 之簡易記憶體管理單元，先一步區分資料平面 (data plane) 與控制平面 (control plane) 放入相對應的資料雙緩衝 (4~32KB)，再由資料位址、數量、型態與優先度啟動直接存取真正的 DRAM 內容。在考量主控 CPU 與晶片內部控制器 RISC-V 或匯流排權限擁有者對於讀寫權限與優先順序衝突性，另增加位址讀寫管理機制協定，確保同一時間同一位址只有單一 master 能對其修改，並通知其餘 master 等待；晶片內部主要AXI 4匯流排為 128-bit，在匯流排時脈 266MHz 情形下能以理想約 4.3GB/s 點對點主從傳收資料，記憶體直接存取單元受控制器 RISC-V 管理，即時搬移相關大量資料，並以優先權順序將緊急資料優先排程送出。內部記憶體頻寬方面，單一記憶體顆粒傳送與接收寬度皆為 512-bit，能同時進行傳收處理，大小為 128MB。DMS引擎將整合雙通道顆粒，記憶體時脈 266MHz下，內部頻寬傳收各68GB/s (266\*512\*2\*2/8=68)；分割引擎將整合四通道顆粒，則可達 136GB/s，提供滿足不同類神經網路應用加速器對於資料頻寬的需求。(需力積電確認 266MHz 對DRAM 頻寬是否需要 double rate，若是則內部頻寬為 136 GB/s與272 GB/s。計算方式為 266MHz\*1024-bit\*2-ch/8=68GB/s)

綜觀上述之規劃，本計畫在『AIM SoC 晶片設計與實現』子項之規劃作法，具有下述之特性：

* 整合具備2.1 TOPs @ 266MHz運算能力之DMS 與分割引擎
* 高頻寬高效能的記憶體頻寬4通道可達136GB/s @ 266 MHZ
* 可供不同人工智慧類型應用

1. AIM載具驗證

前言 見構想審 slides

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.31 AIM 載具應用規劃

表2.8 AIM載具驗證之挑戰與解決方案

D.1車規電路板平台軟硬體設計　（蘇老師確認）

本子項計畫將基於NXP S32V SoC進行AIM DLA開發整合，促使以高CP值之商售車規SoC能夠同時執行兩個深度學習模型 (Semantic Segmentation與Face Recognition)，以達到AEB、LKA、DMS AI-DAS功能，結合毫米波雷達，結合AIM AI主力運算，DSP 後處理，ARM NEON輔助運算，以高效能Edge-Computing分散式架構，逐步建構Level 2、Level 3、Level 4自動駕駛所需之感知次系統。NXP S32V主要有4核心Cortex-A53、1核心Cortex-M4、2個APEX加速器、8路MIPI CSI Video Input、2個DRAM Controller等，如圖2.32所示。本子項計畫AIM DLA是以標準DDRx介面，作為與主SoC的通訊界面，其設計除應用於 NXP S32V外，亦可拓展應用於其它商售車規SoC，為了達到此功能，必須依據BSP(Board Support Package) 的源碼進行 “AIM DLA DDRx Interface軟體設計開發” ，包含 “Memory Controller設定” 與 “Memory Mapping”，並且設計開發 “AIM DLA Driver”，以利系統平台提供System Call予應用程式呼叫應用。

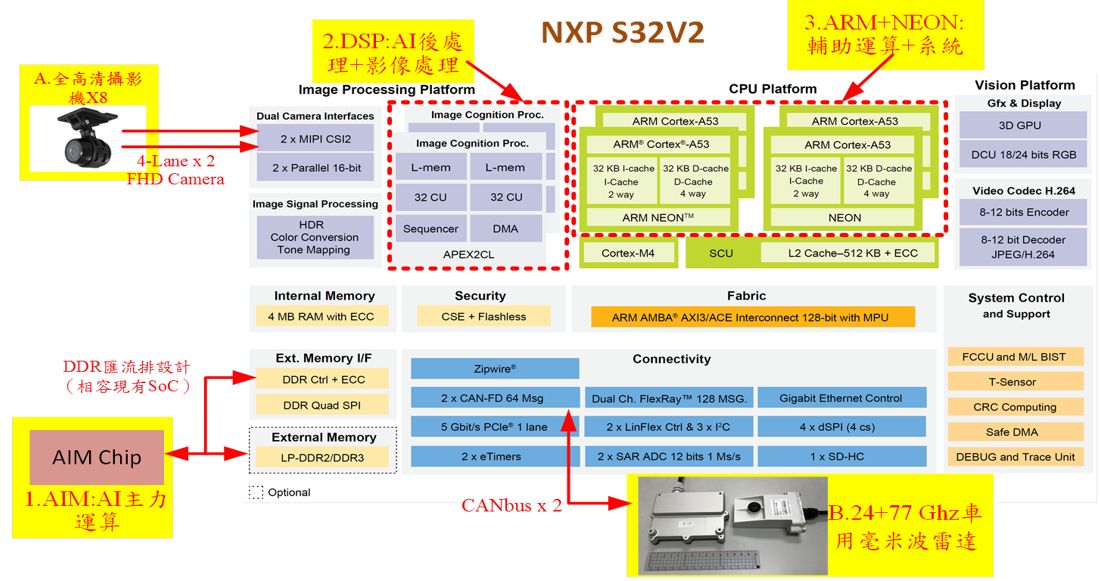


圖2.32 NXP SoC 方塊圖

圖2.32中，源碼之Memory Controller有兩個，一個為CPU專用，另一個為GPU專用，本子項計畫所開發之平台，目標為AI-DAS Edge-Computing，規畫透過GPU專用之Memory Controller來進行修改介接，其原本組態為32 bits模式，打件2個16 bits 記憶體顆粒，同時本子項計畫將維持Memory Controller為32 bits模式，但是，原本的2個16 bits記憶體顆粒將以AIM DLA取代，NXP S32V將以虛擬化標準32 bits記憶體顆粒來對AIM DLA進行存取，如圖2.33所示；然而，由於平台尚有作業系統，上述方法，僅可以達到主SoC與AIM DLA的溝通傳輸，未能確保該虛擬記憶體定址空間不為作業系統存取，因此，亦必需修改Memory Mapping，使作業系統無法存取此定址空間，完成AIM DLA DDRx Interface軟體設計開發。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.33 Memory Controller設定修改策略

另一方面，由於基於作業系統之任何應用，皆操作於虛擬定址空間，並為確保該位置只能予AIM DLA使用，因此，開發設計AIM DLA的驅動程式是必要的，此驅動程式須達到Virtual to Physical/ Physical to Virtual功能，以提供System Call予應用程式開發，再結合NXP SoC and AIM DLA 溝通機制設計開發，該設計將以Double Buffer概念實現，一個NXP SoC存取而另一個為AIM DLA存取，促使兩個Master Device可同時運作，而溝通方式是以控制佔存器完成Hand Shaking機制，如圖2.34所示，完成上述技術開發後，即可正確操作AIM DLA，達到利用AIM DLA加速的目標。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.34 Hand Shaking 機制

D.2 汽車安全應用後處理開發　（蘇老師確認）

D.2子項計畫將基於AIM DLA之Semantic Segmentation之結果進行3項即時影像後處理術開發，包含：深度估測、車道偵測與車輛決策演算法；深度估測之方法有許多種，包含雙鏡頭、單鏡頭與感測融合方式，基於可靠度問題，本子項計畫規畫於單眼鏡頭亦須得知物件深度值，主要考量是要將所偵測到的物件與車道線從影像座標系轉換至世界座標系，策略與方法為設計棋盤格並鋪至於地面，進而得到角點位置，而每個角點於世界座標系的X與Y之公尺距離已知，可做為Ground Truth，再設計Neurons架構進行訓練，輸入為棋盤格之影像座標後，訓練輸出之轉換矩陣即可從Pixel轉換至公尺，反應出距離參數，如圖2.35所示；然而，必須注意的是：Semantic Segmentation為Pixel層級之辨識分類，通常會有許多雜點，因此，必須透過後處理加以優化結果，包含Lane Selector、Point-Wise Cluster、Cluster Filtering及Polynomial Regression等，Lane Selector須從Segmentation Map中選出屬於車道線的分類像素，並經過Point-Wise Cluster將同一個Lane視為同一條線，但是，其中將會有許多雜訊，以Stop Line為例，如圖2.36所示，必須透過面積大小與斜率等關係式進行濾除，才可得到正確之車道線像素點，最終進行Polynomial Regression得到車道線之方程式，以利得到更精準平滑之車道線。

一張含有 地圖 的圖片

自動產生的描述

圖2.35 影像座標角點 (像素) 與世界座標系 (公尺) 之轉換

一張含有 路面, 建築物, 文字, 室外 的圖片

自動產生的描述

圖2.36 Semantic Segmentation濾雜訊示意圖

本子項計畫實車整合功能包含AEB與LKA，AEB功能為將本車車輛停止於前方，而LKA是當本車車輛偏離車道時，將車輛保持於車道內，其決策參數包含本車速度、物件距離、車道線距離、煞車G值、方向盤角度，並參考車輛控制限制，基於Fuzzy Logic方法，進行路徑規畫、煞車、油門、轉向之決策，本子項計畫將以華創車電S3 EV為載具，於車輛控制限制部分，將俱備足夠資訊加以決策，並同時於模擬器中初步驗證決策演算法正確性，以提升實車整合的安全性與效率，AEB與LKA功能示意圖如圖2.37所示。綜觀上述之規劃，本子項計畫汽車安全應用後處理開發，開發低複雜度之演算法，並設計適合結合 AIM 晶片之實現架構，以解決車用AI之演算法層級須加快與高度平行化實現之挑戰，如圖2.38所示，以達到高效能低成本，多功能 AI ADAS 次系統驗證載具目標。

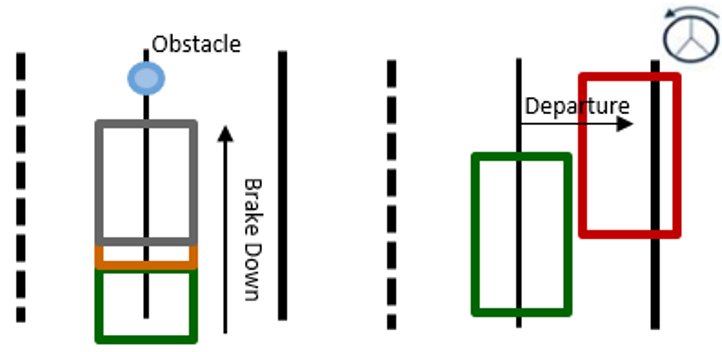


圖2.37 AEB與LKA示意圖

綜觀上述之規劃，本子項計畫汽車安全應用後處理開發，開發低複雜度之演算法，並設計適合結合 AIM 晶片之實現架構，以解決車用AI之演算法層級須加快與高度平行化實現之挑戰 (如圖2.38所示)，以達到高效能低成本，多功能 AI ADAS 次系統驗證載具目標。

一張含有 文字, 地圖 的圖片

自動產生的描述

圖2.38 車用AI之挑戰

D.3 載具實車驗證與產品系統測試（蘇老師確認）

根據上述技術開發，已可得知物件距離與決策策略，後續必須轉譯為車輛之控制指令，針對高階決策指令，本子項計畫將實作以華創車電S3 EV 135控制指令實現之，首先先透過模擬器完成HiL (Hardware in the Loop)，驗證測試感知與決策是否能夠應對AEB與LKA之情境，如圖2.39所示；通過HiL (Hardware in the Loop)測試之後，結合毫米波雷達與影像感測器，將決策演算法實現於ECU平台，並透過CAN Interface與S3 EV Getway介接，進而操控車輛之煞車、油門、轉向，整合系統方塊圖如圖2.40所示。

一張含有 天空, 室外, 路, 景色 的圖片

自動產生的描述

圖2.39 HiL 示意圖

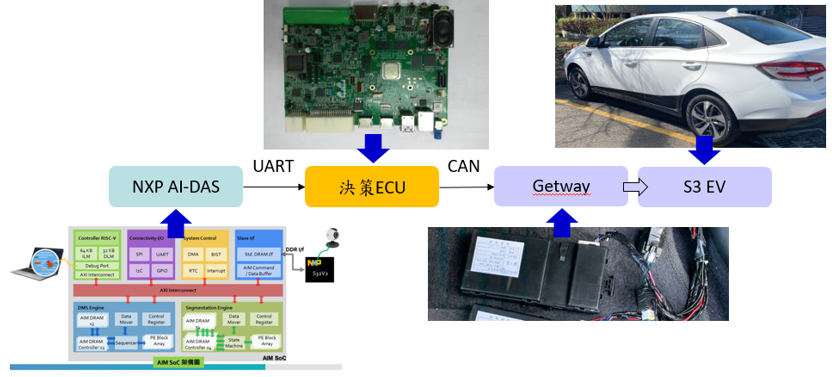
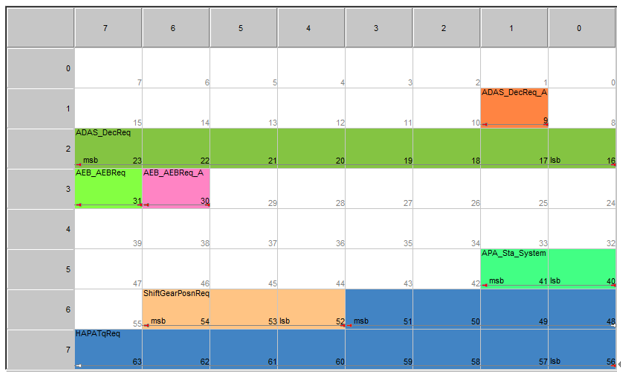


圖2.40 系統整合方塊圖

S3 EV透過Gateway總共有135個指令可使用，其中從決策ECU送出給S3 EV的控制指令為10個，其餘皆為從S3 EV回傳之回授訊號，其從決策ECU送出之控制指令整合並於CAN Bus表示之資料結構有2組結構體 (如圖2.41所示)，進而操控此2組CAN Bus ID，進而達成控制煞車、油門、檔位、方向盤轉向等4個訊號，CAN Bus結構體 0x201與0x200的控制Flow chart如圖2.42所示，在決策ECU中將以更新頻率為20毫秒與10毫秒更新一次，由NXP AI-DAS平台計算前方障礙物距離或車道線的實際距離後，偵測結果透過UART方式傳輸於決策ECU，決策ECU中決策演算法將透過偵測結果與當前車體的回授訊號進行判斷，計算後依據控制Flow chart的流程透過CAN Interface的方式操控車體進行相對應的動作。

一張含有 櫃子 的圖片

自動產生的描述

1. (b)

圖2.41 (a) 煞車、油門、檔位等訊號 (b) 方向盤轉向訊號

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.42 煞車、油門、檔位、方向盤角度之控制遊程圖

綜觀上述之規劃，本子項計畫載具實車驗證與產品系統測試，具有下述之特性：

* 完成主動式先進駕駛輔助系統之實車應用功能開發
* 具備自主化感知、決策、控制之主動式ADAS次系統整合測試能力。

1. 技術來源

如圖 2.7 所示，本計畫規劃結合工研院所與清華大學資源與能量，共同開發設計平台，相關的技術引進、委託研究及委託研究單位基本資料如 表 2.9、表 2.10、表 2.11 及表 2.12 所示。

表2.9 技術引進

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 對象 | 分/子項名稱 | 內容 | 經費  (單位：千元) | 起迄期間 |
| 工業技術研究院 Neuchips | 晶片系統架構設計技術 | 晶片系統探索技術 (含專利)系統層級模擬技術 (含專利)晶片核心軟體技術 (含專利)AI 晶片資料排程技術 (含專利) | 25,000 | 108.10.01~110.09.30 |

表2.10 委託研究

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 對象 | 分/子項名稱 | 內容 | 經費  (單位：千元) | 起迄期間 |
| 工研院 ＮＴＨＵ  YunTech | 類比 AI 軟體設計工具 | 類比 AI 架構設計流程開發類比 AI 晶片軟體環境建置深度學習神經網路模型校調類比 AI 晶片軟硬整合模擬驗證類比 AI 晶片效能評估與優化 | 35,000 | 108.10.01~110.09.30 |

表2.11 委託研究 – 工研院單位基本資料一覽表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 委託研究單位 | 工業技術研究單位資通所 | | | | 統一編號 | | 02750963 |
| 企業經營項目 | 自然及工程科學研究發展服務 | | | | | | |
| 企業近五年來  主要相關業務 | * 工業技術資訊與諮詢服務 * 積體電路設計製作有關業務 * 光電資訊與電子零組件及系統設計、製造有關業務 * 電子資訊產業整合服務 * 醫療器材、設備及其相關產品組件、設計、製造相關業務 * 機械類顧問服務、機動車輛檢驗與各種機械及其零件之製造、設計 * 能源政策、能源節約、替代及再生能源、冷凍空調、通風、機電、自動控制、交通號誌、照明、能源轉換、燃燒系統、工業用爐、保溫保冷等工程及相關技術服務 * 地質、土木、水利、結構、大地、測量、水保、鑽探、鑿井、海事等工程、都市計畫、土地開發、環境影響評估、地下水及土壤汙染防治、資源再生、礦產土石採取、土石方資源、防蝕及靜電防護、水處理、海域探測、遙測等相關技術服務 * 材料與化工諮詢服務、製程技術及加工技術服務、檢定服務、講習及訓練服務 * 提供儀器檢校技術服務、建立全國檢校追溯體系並接受各界委託研究計畫 * 建立及維持全國最高量測標準實驗室 * 產業及工業科技各領域人才培訓 * 環境技術研發設計與推廣、環境策略、環境管理、環境工程、水汙染、空氣汙染、廢棄物與毒性化學物質清理及處置、環境檢驗測定、環境相關教育訓練及電子商務 * 安全衛生與消防技術及設備之研發、設計、工程、推廣，以及檢驗測定、管理、輔導、教育、職業訓練與電子商務 * 電腦與通訊產品設計及應用技術業務 * 網際網路、無線通訊及寬頻有線通訊之系統技術開發與整合 * 策略性工業輔導、系統產品整合及品質保證技術服務 * 航空與太空技術研發與服務 * 智慧財產權之加值與服務，及有關業務之投資 * 其他工業技術之研究與服務 | | | | | | |
| 企業近3年資本額及營業額  (千元) | 年度別 | 106年度 | 105年度 | 104年度 | | 備註 | |
| 資本額 | 467,967 | 467,967 | 467,967 | | 員工人數：6,243人 (請載明未含生產線之員工人數) | |
| 營業額 | 22,033,730 | 21,364,007 | 19,997,314 | |

表2.12 委託研究 – 清華大學單位基本資料一覽表

**ITRI, NTHU、創鑫 Neuchips、雲科大、?? (圖 2.9)**

四、計畫執行時程及查核

本計畫之預定進度表及預訂查核點如表2.13與表2.14所示。

表2.13 預定進度表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 月份  進度  工作項目 | 第1年度 (FY109) | | | | | | | | | | | | | | | | | | | | | | 第2年度 (FY110) | | | | | | | | | | | | | |
| 第1季 | | | | | | 第2季 | | | | 第3季 | | | | | | 第4季 | | | | | | 第1季 | | | | | 第2季 | | | 第3季 | | | 第4季 | | |
| 1 | | 2 | | 3 | | 4 | | 5 | 6 | 7 | | 8 | | 9 | | 10 | | 11 | | 12 | | 1 | | 2 | | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 |
| 分項A、AIM製程平台 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| A.1 DRAM前段製程(FEOL)元件優化 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | | A  1.1 | |  | |  | |  | A 1.2 |  |  |  |  |  |  |  |  |
| A.2 DRAM後段製程(BEOL)金屬層優化 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | | A  2.1 | |  | |  | |  |  |  |  |  |  | A  2.2 |  |  |  |
| A.3 記憶體位元元件 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | | A  3.1 | |  | A  3.2 |  |  |  |  |  |  |  |  |
| A.4子陣列開發與新元件開發 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | | A  4.1 | |  | |  | |  |  |  |  |  |  |  | A  4.2 |  |  |
| 進度百分比％ | 5% | | | | | | 10% | | | | 20% | | | | | | 30% | | | | | | 35% | | | | | 40% | | | 50% | | | 60% | | |
| 分項B、AIM基礎矽智財 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| B.1標準元件庫開發 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | | B  1.1 | |  | |  | |  |  |  |  | B  1.2 |  |  |  |  |  |
| B.2高頻寬 DRAM 陣列及模塊開發 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | | B  2.1 | |  |  |  |  | B  2.2 |  |  |  | B  2.3 |  |
| B.3 SRAM模塊暨編譯器開發 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | | B  3.1 | |  |  |  |  | B  3.2 |  |  |  | B  3.3 |  |
| B.4介面暨週邊智財開發 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | | B  4.1 | |  |  |  |  | B  4.2 |  |  |  | B  4.3 |  |
| 進度百分比％ | 5% | | | | | | 10% | | | | 20% | | | | | | 30% | | | | | | 35% | | | | | 40% | | | 50% | | | 60% | | |
| 分項C、AIM設計平台 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| C.1 AIM 軟硬體開發工具 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | C  1.1 |  |  | C  1.2 |  |  |  | C  1.3 |
| C.2駕駛監測 (DMS) 引擎神經網路模型與RTL設計 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |  |  |  |  | C  2.1 |  |  | C  2.2 |
| C.3視訊語意分割引擎 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |  |  |  |  | C  3.1 |  |  | C  3.2 |
| C.4 AIM SoC 晶片設計與實現 |  | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  |  | C  4.1 |  |  |  |  |  |  |
| 進度百分比％ | 5% | | | | | | 10% | | | | 15% | | | | | | 20% | | | | | | 30% | | | | | 40% | | | 50% | | | 60% | | |
| 分項D、AIM載具應用 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| D.1車規電路板平台軟硬體設計 | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | D  1.1 |  |  |  |  |  | D  1.2 |  |  |
| D.2汽車安全應用後處理開發 | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | D  2.1 |  |  |  |  |  | D  2.2 |  |  |
| D.3載具實車驗證與產品系統測試 | |  | |  | |  | |  |  |  | |  | |  | |  | |  | |  | |  | |  | |  |  | D  3.1 |  |  |  |  |  | D  3.2 |  |  |
| 進度百分比％ | | 5% | | | | | | 10% | | | | 15% | | | | | | 20% | | | | | | 30% | | | | 40% | | | 50% | | | 60% | | |

表2.14 預定查核點說明(請補充具體說明與量化數據)

|  |  |  |
| --- | --- | --- |
| 編號 | 預定完成時間 | 查核點內容(技術指標及規格) |
| A1.1 | 109年4月 | * 元件電流改善3% |
| A1.2 | 109年8月 | * 元件電流改善5% |
| A1.3 | 109年12月 | * 元件電流改善10% |
| A2.1 | 109年4月 | * 五層金屬層 Rs/Rc 符合EDR * MIM 電容符合EDR. |
| A2.2 | 109年8月 | * BEOL製程凍結，完成可靠度驗證 |
| A2.3 | 109年12月 | * BEOL設計套件完成 |
| A3.1 | 109年4月 | * 負載效應改善, 4GDDR4 test chip typical function 良率>30%. |
| A3.2 | 109年8月 | * 負載效應改善, 4GDDR4 test chip typical function 良率>50%. |
| A3.3 | 109年12月 | * 負載效應改善, 4GDDR4 test chip良率>50%. * SRAM PDK ready。 |
| A4.1 | 109年4月 | * 新元件圖形試作確認。 * Native NMOS 光罩和離子條件定義. |
| A4.2 | 109年8月 | * 新元件電性確認 * 高阻抗poly Rs 500ohm/sq以上。 * Native NMOS spice model. * RF,OTP相關IP 完成 |
| A4.3 | 109年12月 | * 新元件設計套件完成 |
| B1.1 | 109年6月 | * 將此12 track標準元件庫，放入本計畫之晶片中，確認用此標準元件庫之設計達到 533MHz，另利用標準元件庫之測試晶片進行功能驗証 |
| B1.2 | 110年3月 | * 測試標準元件庫晶片之功能正確 |
| B2.1 | 109年6月 | * 完成 DRAM 基礎陣列及模快設計達 1066 MHz，並進行晶片驗証 |
| B2.2 | 110年3月 | * 晶片測試達到 1066 MHz，符合 DRAM 相關之規格 |
| B3.1 | 109年6月 | * 完成 SRAM 模塊，並將模塊於晶片上進行驗証 |
| B3.2 | 110年3月 | * 完成 SRAM 模塊測，確認模塊相關功能完全正常運作 |
| B3.3 | 110年5月 | * 根據測試結果，進行 SRAM 模塊之再校正工程 |
| B3.4 | 110年12月 | * 將再校正之 SRAM 模塊，植入編譯器中，完成編譯器之設計 |
| B4.1 | 109年6月 | * 週邊矽智財透過相關設計軟體完成驗証 |
| B4.2 | 109年10月 | * 完成 PCIe 設計，頻寬可達單一通道 5Gb/s，並將 PCIe 放入晶片中進行驗証 |
| B4.3 | 110年6月 | * 測試晶片之速度達到 B4.1 之規格 |
| B4.4 | 110年12月 | * 完成所有特性之校正，並完成 PCIe 之相關模型，IP 化提供給 AIM 平台客戶使用 |
| C1.1 | 109年2月 | * 完成 55nm NVM Test chip Cell Array 晶片設計報告一份，讀取電流控制精確度達 4bits，晶片讀取電流消耗 < 8mA。 |
| C1.2 | 109年7月 | * 完成 55nm NVM Test chip　硬體驗証並產出特性驗證報告一份，讀取電流控制精確度達 4bits，晶片讀取電流消耗 < 8mA。 |
| C1.3 | 109年11月 | * 完成 55nm NVM Test chip 優化設計定案並產出　Test chip GDS　與模擬結果報告一份. 讀取電流控制精確度達 4bits。 晶片讀取電流消耗 < 8mA。 |
| C2.1 | 110年1月 | * 完成 55nm cell array 整合在 SOC 的設計定案並產出 IP GDS 與模擬結果報告一份，讀取電流控制精確度達 4bits。 |
| C2.2 | 110年7月 | * 完成 55nm Test chip 硬體驗証並產出特性驗證報告一份。讀取電流控制精確度達 4bits。 |
| C2.3 | 110年9月 | * 完成 Analog NVM 可靠度認証. 認證標準參照 JEDEC 之文件 JESD22-A117(E), JESD47(K)和 JESD22-A108F 執行 Endurance測試, Retention 測試和HTOL 測試。 |
| C3.1 | 109年6月 | * 確立影像語義分割模型 (U-HarDNet)，使其處理 1024x2048 影像能超越現有 Real-Time 水準 (30 fps)，同時於 Cityscapes benchmark 達 75% 以上的準確度。 |
| C3.2 | 109年12月 | * AIM U-HarDNet Engine 結構設計與建置驗證環境，使其能完成Cityscapes dataset 之Function Simulation 與Performance Evaluation。 |
| C3.3 | 110年6月 | * U-HarDNet Engine 於 FPGA 上進行驗證與評估其 於 Cityscapes dataset 之效能。 |
| C3.4 | 110年12月 | * U-HarDNet Engine 整合於 AIM SoC，同時驗證其於 Cityscapes dataset 達高精準度、高速、高解析度與低功耗產品。 |
| C4.1 | 109年8月 | * 完成內部匯流排與架構流程設計 |
| C4.2 | 109年12月 | * 整合 CPU、AI 引擎與 DRAM 之晶片下線 |
| C4.3 | 110年8月 | * 完成晶片軟硬體整合測試 |
| D1.1 | 109年6月 | * 完成AIM SoC之DDRx介面整合之軟體測試驗證報告與程式碼。 |
| D1.2 | 109年12月 | * 完成電路板平台之軟硬體設計與實作報告、電路圖、程式碼。 |
| D2.1 | 109年9月 | * 完成後處理開發設計報告書。 |
| D2.2 | 110年3月 | * 完成後處理實作，物件偵測速度達30FPS，駕駛監控達5FPS，車輛決策達33ms。 |
| D3.1 | 110年6月 | * 完成HiL環境建置設計報告與程式碼。 |
| D3.2 | 110年12月 | * 完成LKA、AEB、DMS實車整合測試，AEB於車速30Km/H條件下，無追撞行人、於車速40Km/H條件下，無追撞靜止車輛; LKA於車速30Km/H條件下，自動將車輛保持在偵測車道內，於車速30Km/H以上，主動反向控制方向盤，並通知駕駛介入;DMS於全速域條件下，提醒駕駛專注開車。 |

註：1.查核點應按時間先後與計畫順序依序填註，查核內容應係具體完成事項且可評估分析者，產出物並應有具體指標及規格並須量化。

2.請配合預定進度表填註。

3.最後結案日應註明查核工作項目。

五、競爭分析

當網路頻寬的需求變大、人工智慧 (AI) 應用對於大數據處理的需求日益提高時，在目前海量資料的處理與儲存上，計算機中記憶體和控制單元是分離的，如此的架構對資料的「讀取—處理—儲存」循環在資料傳送速度、功耗上形成重大挑戰；欲克服此一問題，利用新興記憶體如：PCM、RRAM、MRAM等整合記憶體朝向統一記憶體的方向走，但仍屬萌芽階段，運用CPU與記憶體單晶堆疊的異質整合是另一方案，此方案乃是將二者以晶片製造、異質封裝的方法同時提升資料傳遞速度、減少功耗；最有效的方式則是記憶體本身就可以做運算，即：記憶體和控制單元合為一體 (記憶體內運算)，如此一來，資料自然不必在記憶體與處理器間反覆搬運、遞送，能耗自然低，速度也快，目前國內有志於AI晶片開發之IC設計公司，都尚未有記憶體內運算之研發，國外業者如：nVidia GPU、Google TPU 2及Graphcore IPU等人工智慧記憶體晶片架構，亦無記憶體內運算之設計，有鑑於此，本計畫將以突破記憶體存取的疆界為基礎，開發整合邏輯元件核心處理器與DRAM 於一體之AIM 晶圓製造創新服務平台，並以先進駕駛輔助系統 (ADAS) 為應用載具，提供自駕車場域即時性高速之辨識能力，計畫的產出，預期將可提升我國AI晶片相關產業之國際競爭力，計畫具體的競爭優勢分析分述如下：

5.1 本公司在記憶體內運算上之AI晶片研發已深根多年

本公司乃結合旗下力積電、愛普科技、智成電子和智慧記憶科技等之技術能量，從事異質整合的AIM技術平台開發，即利用本公司在動態隨機存取記憶體 (DRAM) 技術研發的優勢，在既有原始 DRAM 製程上，將原本 DRAM Array 的週邊線路部分，直接嵌入邏輯電路來設計製作 AI 運算單元，以解決AI運算晶片需處理大量數據之資料存取問題，整體技術研發，以整合CPU、DRAM與無線網路為主要技術核心架構，規劃以服務AI人工智慧物聯網、運算電腦晶片設計業及系統整合業等；基於本公司記憶體內運算既定的研發策略規劃下，本公司擬結合先進車系統公司，提出『AIM晶圓製造創新服務平台研發計畫』，以進一步實現邏輯與記憶體晶片整合概念及產品，進而提升AI晶片20倍運算效能及10倍節能效率，此項全球首創的革命性技術，預其將以顯著的效益在人工智慧、物聯網與大數據雲端伺服器等應用領域引領風潮，並為台灣IT產業鏈增添創新動能。

5.2計畫參與公司/法人擁有堅強技術研發團隊

本計畫規劃結合先進車系統公司之ADAS技術、清華大學資工系AI視訊語意分割技術及工研院資通所嵌入式系統與晶片設計組之 AI 軟體技術，開發應用於記憶體內運算之AIM SoC設計平台，相關研發團隊簡述如下：(Please, refer to ITRI)

工研院資通所嵌入式系統與晶片設計組以智慧聯網裝置軟硬體設計為核心技術，著重於嵌入式系統之整合應用；技術能量含系統架構設計、系統軟硬體開發、軟硬體協同設計及系統整合驗證與應用，其中系統架構設計乃是以應用於多核心處理器、行動記憶體及人工智慧之系統架構探索與設計為主軸，參與本計畫之執行，將以開發 AI 軟體工具鍊為標的，以確保計畫產出能在既定的功能規格上順利運作。

* 先進車系統公司

工研院資通所嵌入式系統與晶片設計組以智慧聯網裝置軟硬體設計為核心技術，著重於嵌入式系統之整合應用；技術能量含系統架構設計、系統軟硬體開發、軟硬體協同設計及系統整合驗證與應用，其中系統架構設計乃是以應用於多核心處理器、行動記憶體及人工智慧之系統架構探索與設計為主軸，參與本計畫之執行，將以開發 AI 軟體工具鍊為標的，以確保計畫產出能在既定的功能規格上順利運作。

* NeuChips

工研院資通所嵌入式系統與晶片設計組以智慧聯網裝置軟硬體設計為核心技術，著重於嵌入式系統之整合應用；技術能量含系統架構設計、系統軟硬體開發、軟硬體協同設計及系統整合驗證與應用，其中系統架構設計乃是以應用於多核心處理器、行動記憶體及人工智慧之系統架構探索與設計為主軸，參與本計畫之執行，將以開發 AI 軟體工具鍊為標的，以確保計畫產出能在既定的功能規格上順利運作。

* 清華大學資訊工程系

工研院資通所嵌入式系統與晶片設計組以智慧聯網裝置軟硬體設計為核心技術，著重於嵌入式系統之整合應用；技術能量含系統架構設計、系統軟硬體開發、軟硬體協同設計及系統整合驗證與應用，其中系統架構設計乃是以應用於多核心處理器、行動記憶體及人工智慧之系統架構探索與設計為主軸，參與本計畫之執行，將以開發 AI 軟體工具鍊為標的，以確保計畫產出能在既定的功能規格上順利運作。

* 工研院資通所嵌入式系統與晶片設計組

工研院資通所嵌入式系統與晶片設計組以智慧聯網裝置軟硬體設計為核心技術，著重於嵌入式系統之整合應用；技術能量含系統架構設計、系統軟硬體開發、軟硬體協同設計及系統整合驗證與應用，其中系統架構設計乃是以應用於多核心處理器、行動記憶體及人工智慧之系統架構探索與設計為主軸，參與本計畫之執行，將以開發 AI 軟體工具鍊為標的，以確保計畫產出能在既定的功能規格上順利運作。

5.3 本計畫切合當前台灣技術升級與產業發展所需

因應當前半導體製程微縮與 AI 產業化所面臨的技術研發挑戰，同時配合行政院 AI on Chip 示範計畫之規劃，本計畫所提出各項解決方案，可具體協助台灣AI晶片設計技術升級與相關產業發展，即本計畫之產出，不僅可符合當前產業環境與經濟發展的需求，也可深化台灣在人工智慧物聯網 (AIoT) 領域的領先地位。

六、預期效益與價值創造

1. 產業質化效益

6.1.1短期質化效益

* 推動 AI 晶片記憶體內運算之技術研發

透過本計畫之執行，可整合DRAM與邏輯製程於一體，開發突破人工智慧運算瓶頸，實現低成本、低能耗與高頻寬資料流量之AIM SoC晶片，加速我國AI 晶片領域的技術研發與產業鏈的形成。

* 促進國內相關產業上中下游供應鏈產值提升

透過本計畫之執行，將可結合國內IC設計公司、記憶體設計公司、AI領域應用公司、大數據服務公司及系統整合業者等產業之技術能量，促進整體上中下游供應鏈之互助合作，共同將研發技術商業化，提升產品產值與產業效益。

6.1.2中長期質化效益

* 提供記憶體內運算整體解決方案

透過本之執行計畫，可望開發開發具世界領先之記憶體內運算 (In-Memory Computing) 晶圓製造創新服務平台，同時將此一記憶體內運算解決方案導入量產，以呼應政府AI產業化政策，提升我國半導體相關產業之國際競爭力。

* 推動創新AIM 晶片應用

AIM SoC晶片之技術研發，預期可有效應用於自動駕駛行為偵測、安全監控視覺辨識、智慧醫療系統應用與 IoT 互聯網等相關領域，具體落實產業 AI 化之成效。

1. 產業量化效益

計畫執行之具體創造價值創造之量化效益如 表2.15所示。

表2.15 計畫預期之量化效益

****

1. 產業外溢效益
   * 1. 促進AI晶片設計整體供應鏈互助合作，提升垂直領域應用與矽智財共享之產業效益 (如圖2.43與2.44所示)

* IC設計公司

本計畫所開發的AIM技術，將可提升更高效能及更低功耗之AI 晶片，為我國IP供應商、IC設計軟硬體服務商及晶圓代工廠帶來新產品商機，並推動Edge AI 相關領域之應用。

* 記憶體公司

本計畫所規劃研發之AIM SoC晶片，將整合DRAM與邏輯製程於一體，計畫研發成功後，預期將推動國內相關記憶體設計業者，記憶體內運算之研發動能及新興記憶體技術能量之提升，同時亦可逐步於國內晶圓代工廠佈建AIM IP設計平台，進一步增強相關產業之AIM晶片技術研發與生產。

* AI領域應用公司

本計畫所規劃之AIM SoC晶片之技術研發，乃是以先進駕駛輔助系統 (ADAS) 為應用載具，提供自駕車場域即時性高速之辨識能力，除此之外，計畫產出預期可有效應用於影像監控、無人機/工控及醫療影像等相關AI領域。

* 大數據服務公司

本計畫所開發的AIM技術，乃是將計算與儲存合為一體，可大幅提升人工智慧運算效率，即本計畫之產出可提供高頻寬資料流之運行，具體應用於人工智慧大數據分析與存取。

* 系統整合業者

本計畫乃是整合CPU、DRAM及邏輯運算單元等元件之功能於一體，開發高能效之AIM SoC晶片，可協助AI晶片相關系統整合業者技術能量之提升及創新產品之研發，落實AI產業化之成效。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.43 整體供應鏈產業效益

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.44 垂直領域應用產業效益

* + 1. 鏈結 AI on Chip 計畫價值創造、

配合政府政策，鏈結 AI on Chip 既定規劃之半通用晶片與AI系統整合設計軟體平台，提供記憶體內運算AIM SoC之整體解決方案，同時規劃將開發之解決方案導入量產，以促進AI晶片相關產業全面升級，進而提升我國半導體相關產業之國際競爭力，創造國際領先優勢 (如圖2.45所示)。

一張含有 螢幕擷取畫面 的圖片

自動產生的描述

圖2.45 鏈結AI on Chip之產業外溢效益

七、風險評估與因應對策

7.1 技術研發風險

(Please, content by PSMC and AutoSys)

7.2 技術推廣風險

AI晶片相關研發技術已隨風潮崛起，國內指標性大廠及國外各投資機構如：英特爾、微軟、亞馬遜、nVidia、Google、Graphcore等，甚至美國及中國政府都相繼投入計算/儲存一體之研發資源，掀起了記憶體內運算之AI晶片設計風潮，市場機制亦開始產出應用於記憶體內運算之新興非揮發性記憶體，撼動AI晶片市場現況。

因應策略：

本公司在記憶體內運算之相關研發，已深根多年，本計畫將依規劃開發整合邏輯元件核心處理器與DRAM 於一體之AIM 晶圓製造創新服務平台，並以先進駕駛輔助系統(Advanced Driver Assistance System, ADAS)為應用載具，提供自駕車場域即時性高速之辨識能力；然而，技術推廣能否順利執行與推動，仍需政府相關部門的政策之指導與及費挹注之支持，以協助推動計畫產出給國內外相關產業，提升我國記憶體內運算 AI 晶片技術能量之影響力。

7.3 人才招募風險

台灣本土人才缺乏，而受到對岸挖角，半導體業人才流失情況愈來愈嚴重; 而AI晶片相關產業所需的研發人才，需要兼具軟體工程實務背景與硬體設計知識，這類的人才尤其欠缺，恐影響招募時程。

因應策略

* + 深化校園舉辦相關人才招募活動，同時與產學研各界建立並維持良好之研發夥伴關係，建立多元人才培育與招募管道。
  + 當前國內業者對外國 (含中國大陸) 高階技術白領人才的引進，仍受既有政策限制導致國外專業人才招募不易，建議能放寬引進相關人才的政策或擴大國際攬才的額度。

八、智慧財產權說明

8.1 力晶積成電子公司

8.2 先進車系統公司