

## 实验 07 组合逻辑综合设计与实践

### 实验学生个人信息栏

课序号： 04 班级： 2307 学号： 2023224110 姓名： 刘晨旭

### 实验 07 得分：

实验教师（签字）： \_\_\_\_\_

#### 一、实验目的

通过使用 Proteus 8 软件绘制仿真了基于 4-16 译码器的 2 位二进制乘法器电路

#### 二、实验设备与器件

- （1）使用软件：Proteus 8
- （2）使用元件及其符号

表格 1 使用元件及其符号

元件名称	元件符号
LOGICSTATE	
4-16 译码器芯片 74HC154	U1
与非门芯片 74HC04；74HC20；74HC30	U2:A,B;U3,U4:A
共阴极数码管 7SEG-MPX1-CC	
共阴极七段数码管驱动芯片 CD4511	U5
限流（排）电阻 RES16DIPIS	RN1

#### 三、实验操作过程及结果分析

（1）本实验的核心任务在于设计一个“两个 2 位二进制数乘法器电路”。该电路的主要功能是实现两个 2 位二进制数的乘法运算，即接受两个 2 位的二进制输入，并输出一个 4 位的二进制乘积结果。这一组合逻辑设计项目对于理解数字电路中的乘法操作具有重要意义。

（2）电路真值表

表格 2 电路真值表

输入				输出			
A	B	C	D	Z3	Z2	Z1	Z0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0

1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

(3) 根据真值表写出逻辑表达式

$$Z_3 = \overline{m_{15}} \quad (1)$$

$$Z_2 = \overline{m_{10}} \cdot \overline{m_{11}} \cdot \overline{m_{14}} \quad (2)$$

$$Z_1 = \overline{m_6} \cdot \overline{m_7} \cdot \overline{m_9} \cdot \overline{m_{11}} \cdot \overline{m_{13}} \cdot \overline{m_{14}} \quad (3)$$

$$Z_0 = \overline{m_5} \cdot \overline{m_7} \cdot \overline{m_{13}} \cdot \overline{m_{15}} \quad (4)$$

(4) 根据上述的逻辑表达式在软件 Proteus 8 进行接线，详细图纸见附件 7.2

(5) 如附录 7.2 所示，当输入端 A、B、C、D 分别被设置为 1、0、1、0 时，这代表了一个二进制输入 1010，其十进制转换值为 2 乘以 2，即 4。在电路的输出端，我们观察到正确的结果显示为 4，这验证了 2 乘以 2 等于 4 的运算结果，从而证实了仿真过程的成功执行，与实际情况相符。

#### 四、实验总结、建议和质疑

在本次实验中，我们成功设计并仿真了基于 4-16 译码器（74HC154）的 2 位二进制乘法器电路。实验的核心在于利用 4-16 译码器实现二进制乘法运算，通过精确的逻辑设计和仿真验证，我们成功实现了将输入的 2 位二进制数进行乘法运算，并输出相应的乘积结果。

在电路设计中，我们充分利用了 4-16 译码器的解码功能，将其与适当的逻辑门电路相结合，实现了乘法运算的逻辑处理。通过精确的真值表推导和逻辑表达式计算，我们确保了电路的正确性和可靠性。此外，为了直观地显示乘法运算的结果，我们采用了译码显示器和共阴极七段数码管驱动芯片 CD4511。这些设备能够准确地将电路输出的二进制乘积转换为十进制数，并通过数码管显示出来，方便我们观察和验证实验结果。在实验中，我们还特别关注了电路中的限流（排）电阻 RES16DIPIS 的使用，以确保电路的稳定性和安全性。通过合理的电阻选择和布局，我们有效地防止了电流过大对电路造成的损害。

整个实验过程不仅提升了我们的电路设计能力，也加深了我们对数字电路和逻辑运算的理解。通过亲手搭建和调试电路，我们更加深入地了解电路的工作原理和实际应用，为今后的学习和工作打下了坚实的基础。

#### 五、附录

附录 7.1 课堂实践部分

附录 7.2 基于 4-16 译码器的 2 位二进制乘法器电路设计

## 附录 7.1 组合逻辑综合设计课堂实践部分

个人信息栏	得分（百分制）
课序号： <u>04</u> 实验台号： <u>64</u> 班级： <u>2307</u> 姓名： <u>刘景旭</u> 学号： <u>20232241110</u>	

**重要提示：**以下操作及全部数据的手动填写需要在课堂上完成，因此，课前请大家将此文档打印出来，上课时随身携带!!!

验收“两个 2 位二进制数相乘的乘法器电路”的实际功能，验收原则如下：

1、实验箱上建立电路

按照仿真电路原理图在实验箱上实现真实的两个 2 位二进制数相乘的乘法器电路，其中“积”用实验箱上的十进制七段 LED 数码管来显示。

2、实验结果检查

(1) 按照下表检查乘法器的所有功能，指出错误和问题，提示学生改正，直到问题完全解决。

两个 2 位二进制数相乘的乘法器的输入输出功能表（实验教师填写）

检查内容	是否正确	错误原因	检查内容	是否正确	错误原因	检查内容	是否正确	错误原因
$0 \times 0 = 0$			$1 \times 2 = 2$			$3 \times 0 = 0$		
$0 \times 1 = 0$			$1 \times 3 = 3$			$3 \times 1 = 3$		
$0 \times 2 = 0$			$2 \times 0 = 0$			$3 \times 2 = 6$		
$0 \times 3 = 0$			$2 \times 1 = 2$			$3 \times 3 = 9$		
$1 \times 0 = 0$			$2 \times 2 = 4$					
$1 \times 1 = 1$			$2 \times 3 = 6$					

(2) 如果学生在有问题的情况下不想继续实验，则告知学生，只能按最后时刻完成记分，并在上表中记录问题，在给成绩时予以额外扣分。

(3) 如果临近课程结束的规定时间仍有问题没能解决，指导教师则应填写上表记录问题，在给成绩的时候予以额外扣分。

(4) 检查完毕后指导教师签字并记录完成时刻，立即将电路拆除。

记录完成时刻：

实验教师（签字）：

（选做）其它实验 06 的组合逻辑实验：

(1) 用 74HC86（1 片）、74HC08（1 片）和 74HC32（1 片）设计实现的一位全加器电路。

(2) 用 74HC00（2 片）设计实现的 3 人多数表决电路。

(3) 用数据选择器 74HC153 和 74HC04 设计实现的一位全加器电路。

(4) 用数据选择器 74HC151 设计实现的 3 人多数表决电路。

(5) 用 3-8 译码器 74HC138 和 74HC20 设计实现的一位全加器电路。

实验教师（签字）：

**本实践部分无需课上提交，在与实验指导教师确认签字后要扫描成 PDF 与实验作业合并提交！**

## 附录7.2 基于4-16译码器的2位二进制乘法器电路设计

课序号：04 班级：软2307 学号：20232241110 姓名：刘晨旭

