# 实验 07 组合逻辑综合设计与实践

# 实验学生个人信息栏

课序号: <u>04</u> 班级: <u>2307</u> 学号: <u>2023224110</u> 姓名: <u>刘晨旭</u>

实验 07 得分:

	实验教师	(签字):	
--	------	-------	--

### 一、实验目的

通过使用 Proteus 8 软件绘制仿真了基于 4-16 译码器的 2 位二进制乘法器电路

# 二、实验设备与器件

- (1) 使用软件: Proteus 8
- (2) 使用元件及其符号

表格 1 使用元件及其符号

元件名称	元件符号	
LOGICSTATE		
4-16 译码器芯片 74HC154	U1	
与非门芯片 74HC04; 74HC20; 74HC30	U2:A,B;U3,U4:A	
共阴极数码管 7SEG-MPX1-CC		
共阴极七段数码管驱动芯片 CD4511	U5	
限流(排)电阻 RES16DIPIS	RN1	

#### 三、实验操作过程及结果分析

(1)本实验的核心任务在于设计一个"两个2位二进制数乘法器电路"。该电路的主要功能是实现两个2位二进制数的乘法运算,即接受两个2位的二进制输入,并输出一个4位的二进制乘积结果。这一组合逻辑设计项目对于理解数字电路中的乘法操作具有重要意义。

#### (2) 电路真值表

表格 2 电路真值表

输入			输出				
A	В	C	D	<b>Z</b> 3	Z2	<b>Z</b> 1	Z0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0

1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

(3) 根据真值表写出逻辑表达式

$$Z_3 = \overline{m_{15}} \tag{1}$$

$$Z_2 = \overline{m_{10}} \cdot \overline{m_{11}} \cdot \overline{m_{14}} \tag{2}$$

$$Z_1 = \overline{m_6} \cdot \overline{m_7} \cdot \overline{m_9} \cdot \overline{m_{11}} \cdot \overline{m_{13}} \cdot \overline{m_{14}}$$
 (3)

$$Z_0 = \overline{m_5} \cdot \overline{m_7} \cdot \overline{m_{13}} \cdot \overline{m_{15}} \tag{4}$$

(4)根据上述的逻辑表达式在软件 Proteus 8 进行接线,详细图纸见附件 7.2

(5) 如附录 7.2 所示,当输入端 A、B、C、D 分别被设置为 1、0、1、0 时,这代表了一个二进制输入 1010,其十进制转换值为 2 乘以 2,即 4。在电路的输出端,我们观察到正确的结果显示为 4,这验证了 2 乘以 2 等于 4 的运算结果,从而证实了仿真过程的成功执行,与实际情况相符。

#### 四、实验总结、建议和质疑

在本次实验中,我们成功设计并仿真了基于 4-16 译码器(74HC154)的 2 位二进制乘法器电路。 实验的核心在于利用 4-16 译码器实现二进制乘法运算,通过精确的逻辑设计和仿真验证,我们成功实 现了将输入的 2 位二进制数进行乘法运算,并输出相应的乘积结果。

在电路设计中,我们充分利用了 4-16 译码器的解码功能,将其与适当的逻辑门电路相结合,实现了乘法运算的逻辑处理。通过精确的真值表推导和逻辑表达式计算,我们确保了电路的正确性和可靠性。此外,为了直观地显示乘法运算的结果,我们采用了译码显示器和共阴极七段数码管驱动芯片 CD4511。这些设备能够准确地将电路输出的二进制乘积转换为十进制数,并通过数码管显示出来,方便我们观察和验证实验结果。在实验中,我们还特别关注了电路中的限流(排)电阻 RES16DIPIS 的使用,以确保电路的稳定性和安全性。通过合理的电阻选择和布局,我们有效地防止了电流过大对电路造成的损害。

整个实验过程不仅提升了我们的电路设计能力,也加深了我们对数字电路和逻辑运算的理解。通过亲手搭建和调试电路,我们更加深入地了解了电路的工作原理和实际应用,为今后的学习和工作打下了坚实的基础。

#### 五、附录

附录 7.1 课堂实践部分

附录 7.2 基于 4-16 译码器的 2 位二进制乘法器电路设计