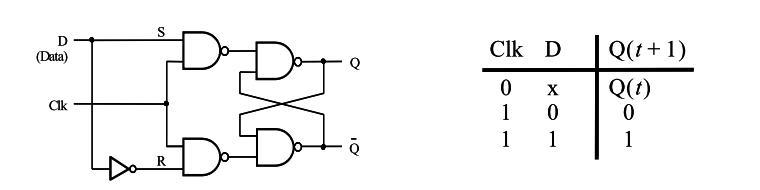
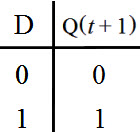
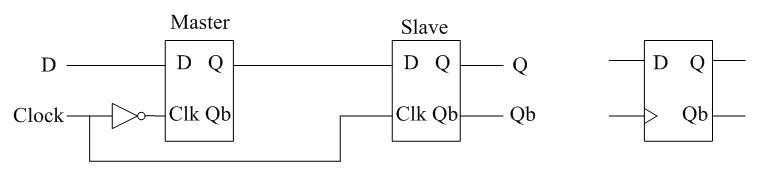
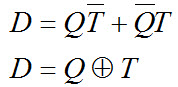
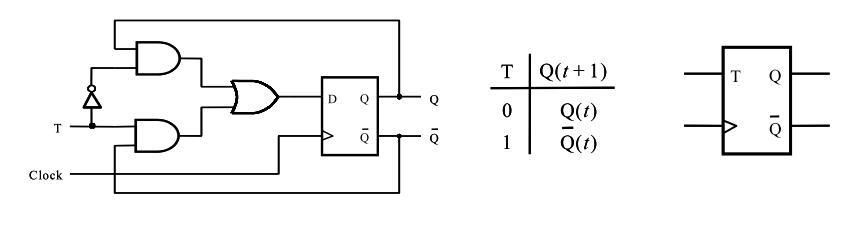
**邏輯設計實驗–Lab9 2018/05/16 09:10~12:00**

第一部分： D-latch

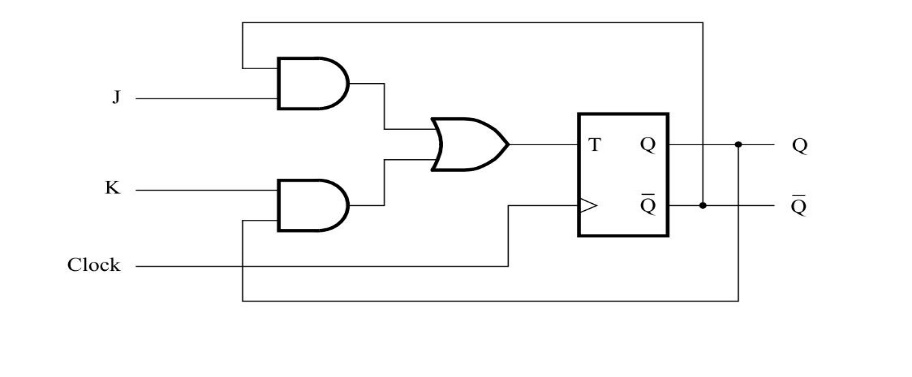


第二部分： 正緣觸發D flip-flop

第三部分： T flip-flop

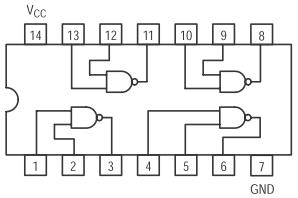
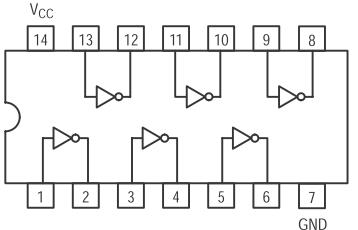
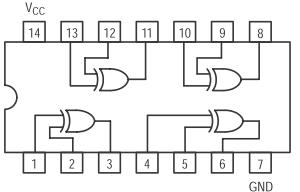


第四部分： JK flip-flop





◎TTL IC connection diagram：

NOT gate (7404) NAND2 gate (7400) XOR2 gate(7486)

組別:\_\_\_\_\_\_\_\_\_\_\_

組員:\_\_\_\_\_\_\_\_\_\_\_ 學號:\_\_\_\_\_\_\_\_\_\_\_ 分數:\_\_\_\_\_\_\_\_\_\_\_

組員:\_\_\_\_\_\_\_\_\_\_\_ 學號:\_\_\_\_\_\_\_\_\_\_\_ 分數:\_\_\_\_\_\_\_\_\_\_\_