**邏輯設計實驗–Lab13 2018/06/13 09:10~12:00**

Lab13實習內容：

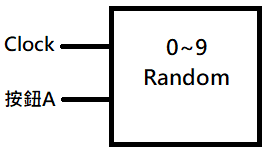
一、一位數的亂數產生器

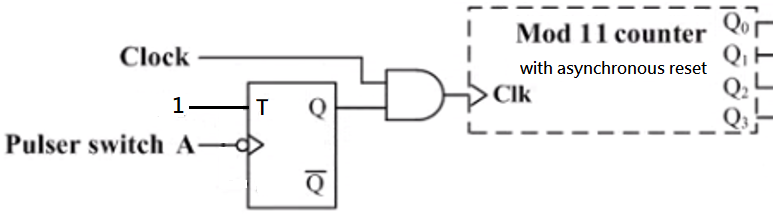
( Input：為Pulser switches、**Clock**為Pulse generator)

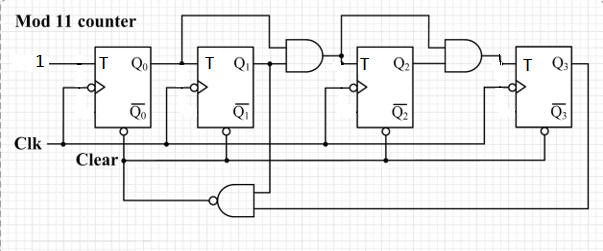
說明：當按下按鈕A時，計數器停止計時並停留在目前數字，再次按下按鈕A，則從目前的數字繼續計數。

* **JK-FF中的Preset跟Clear都要”接訊號”**

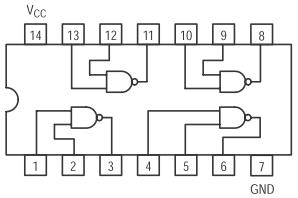
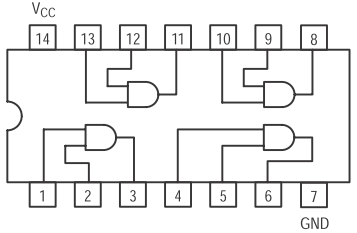
◎Design circuit diagram：亂數產生器 (with asynchronous reset)

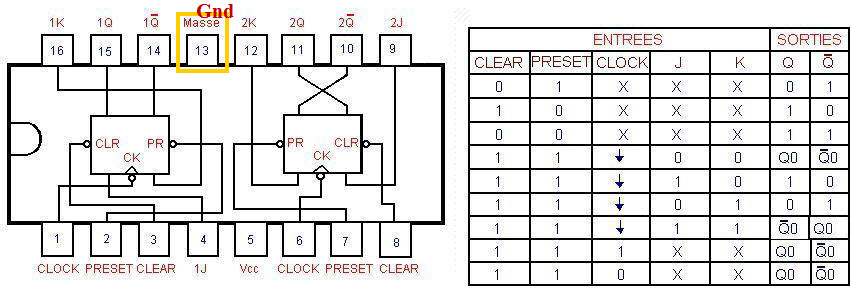






◎TTL IC Connection diagram：

 AND2(7408) NAND2(7400)

JK-FF(7476)

組別:\_\_\_\_\_\_\_\_\_\_\_

組員:\_\_\_\_\_\_\_\_\_\_\_ 學號:\_\_\_\_\_\_\_\_\_\_\_ 分數:\_\_\_\_\_\_\_\_\_\_\_

組員:\_\_\_\_\_\_\_\_\_\_\_ 學號:\_\_\_\_\_\_\_\_\_\_\_ 分數:\_\_\_\_\_\_\_\_\_\_\_