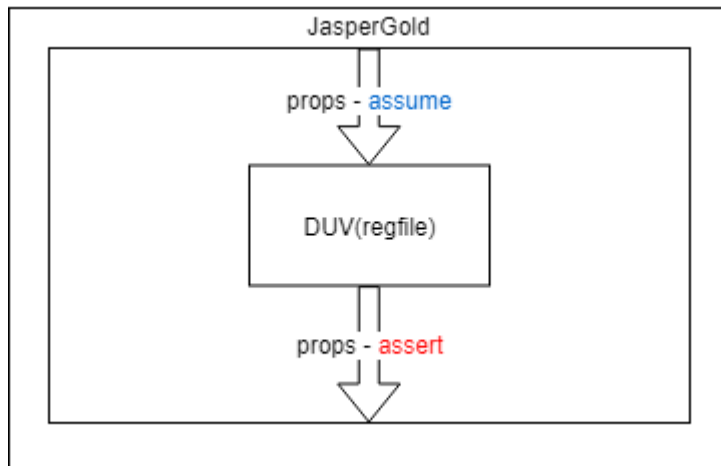
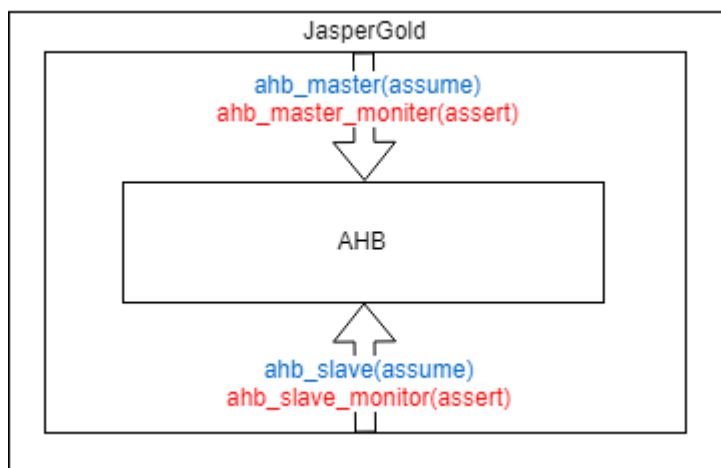


1. 在 JasperGold Tutorial 的 JG\_exercise 中，sva 檔有 **assume** 和 **assert** 兩種 property，**assume** 用來限制 DUV inputs，**assert** 用來驗證 DUV outputs。



在 HW2 中 ahb.sva 中僅有 **assume**，用來限制 Masters 和 Slaves 輸入到 AHB 的訊號；而 ahb\_monitor.svp 中的 **assert** 則用來驗證這些訊號。



## 2. Property 說明：

- a. 如果一個 property 內不含 Implication ( $\rightarrow$  或是  $\Rightarrow$ )，表示從模擬開始到結束 property expression 都必須成立。

EX: \$stable(a) 表示「從模擬開始至結束，a 的值都會維持穩定」

- b. 如果一個 property 內含 Implication ( $\rightarrow$  或是  $\Rightarrow$ )，表示 Precondition 成立後，後面的 property expression 必須成立。

EX: (precond == 1)  $\Rightarrow$  \$stable(a) 表示「如果 precond 為 1 的話，a 在下個 cycle 的值會維持穩定(a 到下個 cycle 的值維持不變)」

- c. 如果一個 property 內含 disable iff，表示在某種情況下這個 property 是失效的。

EX: disable iff (rst) 表示「如果 rst 為 1 的話，這條 property 略過不看」

### 3. HW2 Problem 1 的提示：

- a. 先完成 AHB 各個 submodule 之設計
- b. 完成 sva 內 glue logic 之設計
- c. 先註解須完成之 assume property
- d. 使用「make jg」看\*\_path 的 assert property 是否找到 CEX (counterexample)，如果有的話即是 AHB 設計有誤，請參照註解的地方至 Spec 查詢

EX: HWRITE\_path 出現✖，表示 AHB 內產生 HWRITE 的地方有誤

- e. 看已提供 assume property 的 precondition 是否 unreachable，如果是的話即是 glue logic 設計有誤，請參照註解的地方至 Spec 查詢

EX: HSIZE\_wait\_stable(原本在 ahb.sva 已經提供完整的 property 敘述)出現

❗，表示 address\_phase 這個 glue logic 有誤

- f. 把註解的 assume property 一一完成達成 full prove

### 4. HW2 Problem 2 的提示：

- a. Master 與 Slave Wrappers 的時序應與 ahb.sva 內的 assume 的相同，可以暫時把 jg.tcl 改成如下來驗證 Wrapper 的時序是否正確：

```
clear -all

analyze -sv +incdir+../include+../src/AHB ../src/top.sv ../sva/ahb_monitor.svp
elaborate -bbox true -bbox_m CPU -bbox_m SRAM -top top

# Setup clock and reset
clock clk
reset -expression {rst}

prove -all
```

-bbox\_m 把指定的 module 設成 blackbox，讓 JasperGold 可以只關注 Wrapper 及 AHB 的時序，加速 Prove 的時間。

驗證完成後請務必把 jg.tcl 改回原本的樣子，以免對 Problem 1 造成影響

- b. 因 SRAM 的動作不一定能在一個 cycle 內完成，請在這個時候將 HREADY 變為 0 來延長 data phase 的 cycle 數